

*Н.А.Аваев
Ю.Е.Наумов
В.Т.Фролкин*

ОСНОВЫ МИКРОЭЛЕКТРОНИКИ

Допущено Государственным комитетом СССР
по народному образованию в качестве
учебного пособия для студентов
радиотехнических специальностей вузов



**Москва
«Радио и связь»
1991**

ББК 32.852
А18
УДК 621.3.049.77 (075)

Рецензенты: кафедра радиоэлектронки МИЭТ и кафедра радиоконструирования и производства радиоаппаратуры КПИ

Редакция литературы по электронике

Аваев Н. А. и др.

А18 Основы микроэлектроники: Учебное пособие для вузов / Н. А. Аваев, Ю. Е. Наумов, В. Т. Фролкин. — М.: Радио и связь, 1991. — 288 с.: ил.

ISBN 5-256-00692-4.

Рассматриваются техиологические основы, структуры и параметры биполярных и полевых транзисторов, а также пассивных элементов интегральных микросхем. Анализируются важнейшие логические и запоминающие элементы на биполярных и полевых транзисторах, в том числе для сверхбольших и сверхскоростных интегральных микросхем. Описываются основные типы цифровых и аналоговых интегральных микросхем. Дается представление о приборах с зарядовой связью, элементах интегральной опто-, акусто- и магнитоэлектроники.

Для студентов вузов, обучающихся по специальности «Радиотехника».

А 2302030700-010
046(01)-91 81-91

ББК 32.852

Учебное издание

**АВАЕВ НИКОЛАЙ АЛЕКСАНДРОВИЧ, НАУМОВ ЮРИЙ ЕВГЕНЬЕВИЧ,
ФРОЛКИН ВИКТОР ТИХОНОВИЧ**

ОСНОВЫ МИКРОЭЛЕКТРОНИКИ

Учебное пособие

Заведующий редакцией Ю. Н. Рысев
Редактор И. П. Леонтьева
Переплет художника В. Я. Виганта
Художественный редактор Н. С. Шейн
Технический редактор И. Л. Ткаченко
Корректор Н. Л. Жукова

ИБ № 1738

Сдано в набор 31.05.90. Подписано в печать 26.09.90.
Формат 60×88¹/₁₆. Бумага офсетная № 2. Гарнитура литературная.
Печать офсетная. Усл. печ. л. 17,64. Усл. кр.-отт. 17,64. Уч.-изд. л. 20,02.
Тираж 70 000 (2 зав. 40 001—70 000 экз.) Изд. № 22190 Зак. № 366 Цена 2 руб.
Издательство «Радио и связь» 101000 Москва, Почтамт, а/я 693

Московская типография № 4 Госкомпечати СССР.
129041, Москва, Б. Переяславская 46.

ISBN 5-256-00692-4

© Аваев Н. А., Наумов Ю. Е., Фролкин В. Т., 1991

ПРЕДИСЛОВИЕ

Микроэлектроника — динамично развивающееся научно-техническое направление, базирующееся на достижениях в области физики твердого тела, технологии, микросхемотехники и системотехники.

Знание основ микроэлектроники необходимо радиоинженеру для рационального выбора и применения элементной базы при создании радиоэлектронной аппаратуры, обоснованного задания технических требований на разработку функционально-специализированных изделий микроэлектроники, а также их схемотехнического проектирования.

Данная книга была задумана как продолжение учебника «Электронные приборы» [3], в котором подробно рассмотрены физические принципы работы, электрические параметры и характеристики полупроводниковых приборов. Поэтому в гл. 3—5 анализируются только особенности структур и параметров транзисторов и диодов интегральных микросхем. С учетом радиотехнической направленности издания дается лишь общее представление о технологических основах микроэлектроники (гл. 2), а главное внимание уделяется схемотехническим основам.

В книге подробно анализируются электрические параметры и характеристики логических элементов на биполярных (гл. 7) и полевых (гл. 8) транзисторах и элементов памяти (гл. 9), выявляются взаимосвязи между электрическими параметрами микросхем и их элементов, а также особенности полупроводниковых структур. Описываются основные типы цифровых (гл. 10) и аналоговых (гл. 12) микросхем, приборы с зарядовой связью (гл. 11), используемые в радиотехнических устройствах обработки информации. Краткий обзор достижений в смежных с микроэлектроникой научно-технических направлениях: опто-, акусто- и магнитоэлектронике, приводится в гл. 13.

Описываются новые структуры биполярных (гл. 3) и полевых (гл. 4, 5) транзисторов (в том числе арсенид-галлиевых), а также трехмерные структуры элементов (гл. 4, 9), эффекты короткого канала в МДП-транзисторах (гл. 4), структуры элементов БИС с инжекционным питанием, отличающиеся повышенным быстродействием (гл. 7), логические элементы на арсенид-галлиевых полевых транзисторах (гл. 8), новые структуры элементов памяти для оперативных и электрически стираемых постоянных запоминающих устройств (гл. 9), акустоэлектронные компоненты и принципы построения элементов памяти на вертикальных блоховских линиях (гл. 13).

В основу книги положены лекции, читаемые авторами в Московском авиационном институте.

Главы 2, 4, 6, 9, 13 и § 8.1—8.4 написаны Н. А. Аваевым, гл. 1, 3, 5, 7, 10, 11 и § 8.5 — Ю. Е. Наумовым, гл. 12 — В.Т. Фролкиным.

Авторы признательны Л. Н. Попову за помощь в подготовке гл. 12.

ОСНОВНЫЕ УСЛОВНЫЕ ОБОЗНАЧЕНИЯ

- $A_{\text{пер}}$ — работа переключения
 a — длина
 b — ширина
 $C_{\text{э}}, C_{\text{к}}$ — емкости эмиттерного и коллекторного p - n переходов
 $C_{\text{бар}}, C_{\text{д}}$ — барьерная и диффузионная емкости p - n переходов
 $C_{\text{до}}, C_{\text{д}}$ — удельная и полная емкость диэлектрика
 $C_{\text{н}}$ — емкость нагрузки
 $C_{\text{пар}}$ — паразитная емкость
 $C_{\text{сп}}, C_{\text{зи}}, C_{\text{ип}}$ — емкости сток — подложка, затвор — исток, исток — подложка
 $C_{\text{пров}}$ — емкость проводника
 C_{R} — емкость резистора
 $C_{\text{X}}, C_{\text{Y}}$ — емкости шин X и Y
 D — коэффициент диффузии
 $d_{\text{д}}$ — толщина диэлектрика
 $d_{\text{к}}$ — толщина канала
 E — напряженность электрического поля
 $E_{\text{п}}, E_{\text{в}}$ — энергия, соответствующая границам зон проводимости и валентной
 $E_{\text{ф}}$ — энергия (уровень) Ферми
 f — частота
 $f_{\text{гр}}$ — граничная частота
 $f_{\text{т}}$ — тактовая частота
 $I_{\text{б}}, I_{\text{к}}, I_{\text{э}}$ — токи базы, коллектора, эмиттера биполярного транзистора
 $I_{\text{э0}}, I_{\text{к0}}, I_{\text{из0}}$ — тепловые токи коллекторного, эмиттерного и изолирующего p - n переходов
 $I_{\text{и}}$ — ток инжектора
 $I_{\text{обр}}$ — обратный ток
 $I_{\text{с}}$ — ток стока полевого транзистора
 $I_{\text{с нас}}$ — ток стока насыщения
 $I_{\text{ут}}$ — ток утечки
 K — удельная крутизна
 $K_{\text{п}}, K_{\text{р}}, K_{\text{а}}, K_{\text{п}}$ — удельная крутизна n -, p -канального, активного и пассивного транзисторов

- $K_{\text{подл}}$ — коэффициент подложки
 k_n^0, k_n^1 — коэффициенты помехоустойчивости при напряжениях низкого и высокого уровней на входе
 $k_i^{0,1}, k_i^{1,0}$ — временные коэффициенты при переходе выходного сигнала из состояния лог. 0 в состояние лог. 1 и наоборот
 L — длина канала
 L_z — длина затвора
 $L_{\text{об}}$ — толщина обедненного слоя
 $l_{\text{из}}$ — ширина изолирующей области
 $M_{\text{сф}}$ — коэффициент ослабления синфазных входных напряжений
 m — коэффициент объединения по входу
 N_a, N_d — концентрации акцепторов и доноров
 $N_{\text{л. а}}, N_{\text{л. д}}$ — дозы легирования акцепторами и донорами
 $N_{\text{а. п}}$ — концентрация акцепторов в подложке
 $N_{\text{пред}}$ — предельная растворимость примесей
 n — число нагрузок
 $P_{\text{ср}}$ — средняя потребляемая мощность
 Q — добротность
 $Q_{\text{пов}}$ — поверхностный заряд
 q — заряд электрона
 $R_{\text{сл}}$ — сопротивление слоя
 R_X, R_Y — сопротивления шин X и Y
 r'_b, r'_k, r'_n — сопротивления областей базы, коллектора, истока
 S — крутизна транзистора
 S_a, S_k — площади эмиттерного и коллекторного $p-n$ переходов
 T — температура
 T_T — период импульсов
 $t^{1,0}, t^{0,1}$ — времена перехода при включении и выключении логического элемента
 $t_{\text{зд}}^{1,0}, t_{\text{зд}}^{0,1}$ — времена задержки включения и выключения логического элемента
 $t_{\text{зд. р.}}^{1,0}, t_{\text{зд. р.}}^{0,1}$ — времена задержки распространения сигнала при включении и выключении логического элемента
 $t_{\text{зд. р. ср}}$ — среднее время задержки распространения (средняя задержка)
 $t_{\text{зд. ср}}$ — среднее время задержки
 $t_{\text{рас}}$ — время рассасывания
 t_n — длительность импульса
 $t_{\text{сч}}$ — время считывания

- $U_{кэ}, U_{бэ}, U_{БК}, U_{КП}$ — напряжения коллектор — эмиттер, база — эмиттер, база — коллектор, коллектор — подложка
 $U_{си}, U_{зи}, U_{ип}$ — напряжения сток — исток, затвор — исток, исток — подложка
 $U_{кэ\text{ нас}}$ — напряжение насыщения коллектор — эмиттер
 $U_{си\text{ нас}}$ — напряжение насыщения сток — исток
 $U_{и.п}$ — напряжение источника питания
 $U_{л}$ — напряжение логического перепада
 $U_{оп}$ — опорное напряжение
 $U_{пор\ n}, U_{пор\ p}, U_{пор\ a}, U_{пор\ п}$ — пороговое напряжение n -, p -канального, активного и пассивного транзисторов
 $U_{пор\ 0}$ — пороговое напряжение при $U_{ип} = 0$
 $U_{пр}$ — прямое напряжение
 $U_{проб}$ — пробивное напряжение
 $U_{см}$ — напряжение смещения
 $U_{смк}$ — напряжение смыкания
 U_X, U_Y — напряжения на шинах X и Y
 U^0, U^1 — напряжения низкого и высокого уровней
 $U_{п}^0, U_{п}^1$ — допустимые напряжения помехи при напряжениях низкого и высокого уровней на входе
 $U_{пор}^0, U_{пор}^1$ — пороговые напряжения переключения
 $v_{ак}$ — скорость акустической волны
 $v_{нас}$ — скорость насыщения
 W_b — толщина базы
 $W_{эп}$ — толщина эпитаксиального слоя
 X — шина строки
 Y — шина столбца
 z_0 — волновое сопротивление
 α — коэффициент передачи тока биполярного транзистора в схеме с общей базой
 α_I, α_N — коэффициенты передачи тока при инверсном и нормальном включениях транзистора в схеме с общей базой
 $\alpha_{I\ п}$ — инверсный коэффициент передачи тока переключательного транзистора
 $\alpha_{N\ п}, \alpha_{N\ т}$ — коэффициенты передачи тока переключательного и токозадающего транзисторов при нормальном включении
 $\alpha_{N\ эк}$ — эквивалентный коэффициент передачи тока транзистора при нормальном включении
 $\alpha_{п}$ — коэффициент передачи тока паразитного транзистора при нормальном включении
 $\alpha_{п\ I}$ — инверсный коэффициент передачи тока паразитного транзистора

- β — коэффициент передачи тока базы биполярного транзистора в схеме с общим эмиттером
 β_I — инверсный коэффициент передачи тока транзистора
 $\beta_{N эк}$ — эквивалентный коэффициент передачи тока транзистора при нормальном включении
 Δ — минимальный топологический размер
 ΔE_g — ширина запрещенной зоны
 δ — точность совмещения рисунков в литографии
 ϵ_0 — диэлектрическая проницаемость вакуума
 $\epsilon_d, \epsilon_p, \epsilon_{подл}$ — относительная диэлектрическая проницаемость диэлектрика, полупроводника, подложки
 λ — длина волны
 $\lambda_{ак}$ — длина акустической волны
 μ_n, μ_p — подвижности электронов и дырок
 $\mu_{n 0}, \mu_{p 0}$ — подвижности электронов и дырок в слабом электрическом поле
 σ — удельная электрическая проводимость
 $\tau_{рас}$ — постоянная времени рассасывания
 $\Phi_{пор}$ — пороговый поверхностный потенциал
 $\Phi_{мп 0}$ — контактная разность потенциалов металл — полупроводник
 $\Phi_{0в}$ — контактная разность потенциалов затвор — канал
 Φ_T — тепловой потенциал

1.1. ОСНОВНЫЕ ТЕРМИНЫ И ОПРЕДЕЛЕНИЯ

Микроэлектроника — это раздел электроники, включающий исследование, конструирование и производство интегральных микросхем и радиоэлектронной аппаратуры на их основе.

Интегральная микросхема (микросхема) — это микроэлектронное изделие, выполняющее определенную функцию преобразования, обработки сигнала и (или) накопления информации и имеющее высокую плотность упаковки электрически соединенных элементов (или элементов и компонентов), которое с точки зрения требований к испытаниям, приемке, поставке и эксплуатации рассматривается как единое целое.

Элемент — это часть микросхемы, реализующая функцию какого-либо электрорадиоэлемента, которая не может быть выделена как самостоятельное изделие. Под электрорадиоэлементом понимают транзистор, диод, резистор, конденсатор и др. Элементы могут выполнять и более сложные функции, например логические (логические элементы) или запоминание информации (элементы памяти).

Компонент — это часть микросхемы, реализующая функцию какого-либо электрорадиоэлемента, которая может быть выделена как самостоятельное изделие. Компоненты устанавливаются на подложке микросхемы при выполнении сборочно-монтажных операций. К простым компонентам относятся бескорпусные диоды и транзисторы, специальные типы конденсаторов, малогабаритные катушки индуктивности и др. Сложные компоненты содержат несколько элементов, например диодные сборки.

Плотность упаковки — это отношение числа простых компонентов и элементов, в том числе содержащихся в составе сложных компонентов, к объему микросхемы без учета объема выводов.

С точки зрения внутреннего устройства микросхема представляет собой совокупность большого числа элементов и компонентов, размещенных на поверхности или в объеме общей диэлектрической или полупроводниковой подложки. Термин «интегральная» отражает конструктивное объединение элементов и компонентов, а также полное или частичное объединение технологических процессов их изготовления.

При использовании в радиоэлектронной аппаратуре сами микросхемы являются элементами, т. е. простейшими неделимыми единицами. В этом смысле они составляют элементную базу радиоэлектронной аппаратуры.

Критерием оценки сложности микросхемы, т. е. числа N содержащихся в ней элементов и простых компонентов, является *степень интеграции*. Она определяется коэффициентом $K = \lg N$, значение которого округляется до ближайшего большего целого числа. Так, микросхема первой степени интеграции ($K = 1$) содержит до 10 элементов и простых компонентов, второй степени интеграции ($K = 2$) — свыше 10 до 100, третьей степени интеграции ($K = 3$) — свыше 100 до 1000 и т.д. В настоящее время микросхему, содержащую 500 и более элементов, изготовленных по биполярной технологии, или 1000 и более элементов, изготовленных по МДП-технологии, называют *большой интегральной микросхемой* (БИС). Если число элементов превышает 10 000, то микросхему называют *сверхбольшой* (СБИС).

Микросхемотехника (интегральная схемотехника) как одна из основ микроэлектроники охватывает исследования и разработку оптимальных схем. Многие современные микросхемы являются очень сложными электронными устройствами, поэтому при их описании и анализе используются по меньшей мере два уровня схемотехнического представления. Первый наиболее детальный уровень — это *электрическая схема*. Она определяет электрические соединения элементов (транзисторов, диодов, резисторов и др.); на этом уровне устанавливается связь между электрическими параметрами схемы и параметрами входящих в нее элементов. Второй уровень — это *структурная схема*. Она определяет функциональное соединение отдельных каскадов, описываемых электрическими схемами.

По функциональному назначению микросхемы подразделяются на *цифровые* и *аналоговые*. Цифровая микросхема предназначена для преобразования и обработки сигналов, изменяющихся по закону дискретной функции. В аналоговых микросхемах сигналы изменяются по закону непрерывной функции. Самый распространенный тип аналоговых микросхем — это операционные усилители. Частным случаем аналоговых являются микросхемы диапазона СВЧ.

1.2. КОНСТРУКТИВНО-ТЕХНОЛОГИЧЕСКИЕ ТИПЫ ИНТЕГРАЛЬНЫХ МИКРОСХЕМ

Конструктивно-технологическая классификация микросхем учитывает способ изготовления и получаемую при этом структуру. По конструктивно-технологическим признакам различают *полупроводниковые* и *гибридные* микросхемы.

В полупроводниковой микросхеме все элементы и межэлементные соединения выполнены *в объеме и на поверхности полупроводника*. Структура, содержащая элементы, межэлементные соединения и кон-

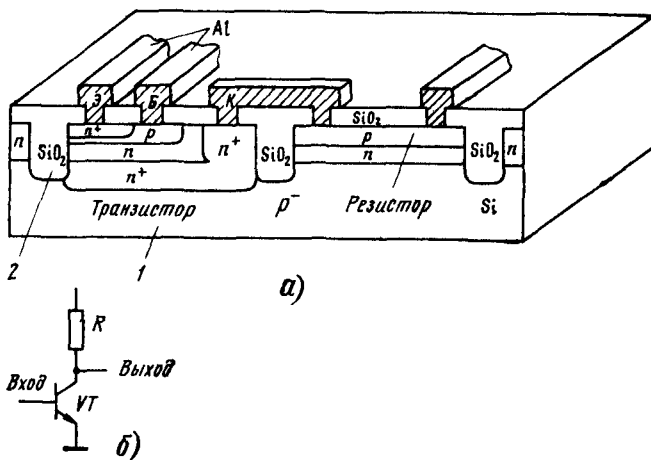


Рис. 1.1

тактные площадки (металлизированные участки, служащие для присоединения внешних выводов), называется *кристаллом интегральной микросхемы*. В большинстве полупроводниковых микросхем элементы располагаются в тонком (толщиной 0,5 ... 10 мкм) приповерхностном слое полупроводника. Поскольку удельное сопротивление полупроводника невелико (1...10 Ом·см), а элементы должны быть изолированными друг от друга, необходимы специальные *изолирующие области*.

На рис. 1.1, а, б показаны соответственно структура и электрическая схема простейшей полупроводниковой микросхемы, состоящей из биполярного *n-p-n* транзистора и резистора. Структура содержит слаболегированную подложку *1* *p*-типа, активный полупроводниковый слой *n*-типа, в котором кроме транзистора и полупроводникового резистора (слой *p*-типа) созданы изолирующие области *2* из диоксида кремния. На поверхности полупроводника сформирован диэлектрический слой диоксида кремния, на котором расположены металлические проводники.

Основным полупроводниковым материалом микросхем является кремний. Важное конструктивно-технологическое преимущество кремния связано со свойствами слоев диоксида кремния, получаемых на его поверхности при окислении. Эти слои используют в качестве масок при локальном легировании кремния примесями, для изоляции элементов (см. рис. 1.1, а), в качестве подзатворного диэлектрика МДП-транзистора, а также для защиты поверхности кристалла от влияния окружающей среды и др. Достаточно большая ширина запрещенной зоны кремния обуславливает малые обратные токи *p-n* переходов, что позволяет создавать микросхемы, работающие при повышен-

ных температурах (до 125 °С) и при малых токах транзисторов (менее 1 мкА), т. е. низкой потребляемой мощности.

В последнее десятилетие в ограниченных масштабах начато применение арсенида галлия, отличающегося большей подвижностью электронов. На его основе создают микросхемы с повышенным быстродействием или более высокими рабочими частотами (диапазон СВЧ). Однако арсенид галлия очень дорогой материал, а технология арсенид-галлиевых микросхем сложнее, чем кремниевых.

В некоторых микросхемах слой кремния, в котором формируются элементы, выращивают на диэлектрической подложке, в частности из сапфира (структура типа «кремний на сапфире»). Она обеспечивает повышенную радиационную стойкость.

Разновидностью полупроводниковых являются *совмещенные микросхемы*, в которых транзисторы размещают в активном слое кремния, а пленочные резисторы и диоды, как и проводники, — на слое диоксида кремния.

Важным показателем качества технологии и конструкции является *плотность элементов на кристалле*—число элементов, приходящихся на единицу его площади. Для повышения плотности элементов применяют *метод совмещения*: некоторые области полупроводникового слоя используют для выполнения нескольких (обычно двух) функций, например базы биполярного *n-p-n* транзистора и коллектора *p-n-p* транзистора, стоковой области одного МДП-транзистора и истоковой области другого. С этой же целью проводятся исследования и разработки *трехмерных структур*: элементы изготавливают в нескольких (обычно двух) слоях кремния, разделенных диэлектрическими прослойками, или создают канавки в кремниевой подложке и формируют элементы на их боковых поверхностях.

Основные тенденции развития полупроводниковых микросхем — увеличение степени интеграции и быстродействия. Согласно эмпирическому закону число элементов N для наиболее сложных микросхем в среднем ежегодно удваивалось (прямая 1 на рис. 1.2). Отклонение от закона удвоения в последние годы (кривая 2) обусловлено приближением размеров элементов к их физическим пределам, сильным усложнением технологических процессов и оборудования. Рост числа элементов происходил в основном за счет уменьшения их топологических размеров, т. е. размеров в плоскости, параллельной поверхности кристалла (кривая 3), и в меньшей степени — за счет разработки новых конструкций элементов и совершенствования схемотехники (кривая 4), а также увеличения размеров кристалла (кривая 5).

Уровень технологии характеризуется *минимальным топологическим размером Δ* , т. е. наименьшими достижимыми размерами легированной области в полупроводниковом слое или пленочного слоя на поверхности, например минимальными шириной эмиттера биполярного транзистора, шириной проводников, расстояниями между ними.

Для полупроводниковых микросхем уменьшение Δ по мере совершенствования технологии показано на рис. 1.3, где заштрихованная

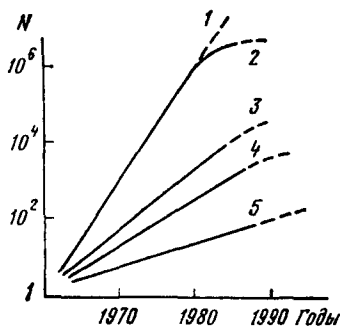


Рис. 1.2

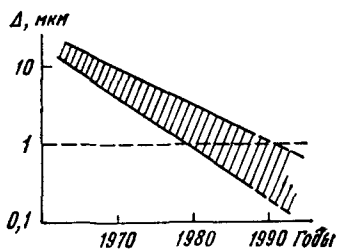


Рис. 1.3

область соответствует достигнутым на разных этапах развития микроэлектроники значениям Δ . При $\Delta = 0,3 \dots 0,5$ мкм возникают проблемы, связанные с приближением размеров элементов, прежде всего транзисторов, к их физическим пределам. Уменьшение размеров элементов до указанных значений вызывает процессы деградации структуры кристалла вследствие повышения плотности тока, напряженности электрических полей и плотности выделяемой энергии. Особую проблему при использовании элементов малых размеров представляет формирование надежных внутрисхемных соединений. Их поперечное сечение уменьшается, а плотность тока растет. Это может приводить к разрушению проводников, расположенных на рельефной (не идеально плоской) поверхности, к коротким замыканиям проводников, сформированных в разных слоях друг над другом, вследствие пробоя или нарушения разделяющего их тонкого диэлектрического слоя.

Уменьшение топологических размеров элементов приводит к улучшению электрических параметров микросхем, в частности к повышению быстродействия из-за снижения паразитных емкостей $p-n$ переходов, увеличению крутизны полевых транзисторов и др. Однако и здесь ограничивающим фактором являются внутрисхемные соединения, задержка сигнала в которых не позволяет полностью использовать достигаемое высокое быстродействие элементов.

При разработке полупроводниковых микросхем конструкторы и технологи сталкиваются и с другими серьезными проблемами и ограничениями. Одна из самых трудных проблем — обеспечение конструктивно-технологической совместимости различных элементов, создаваемых внутри одного полупроводникового слоя. Он характеризуется строго определенными электрофизическими параметрами, оптимальными для одних элементов и малопригодными для других. Кроме того, для изготовления различных элементов, например биполярных и МДП-транзисторов, необходимы свои технологические операции, так что одновременное формирование этих элементов на одном кристалле затруднено. Поэтому для полупроводниковых микросхем характерен крайне ограниченный набор типов элементов в кристалле. Этим же объ-

ясняется их разделение по типу применяемых активных элементов (транзисторов) на два основных вида: *микросхемы на биполярных транзисторах* и *микросхемы на МДП-транзисторах (МДП-микросхемы)*.

Основным активным элементом биполярных микросхем является транзистор типа *n-p-n*. Кроме того, используются диоды на основе *p-n* переходов и переходов металл — полупроводник (диоды Шотки), полупроводниковые резисторы, пленочные резисторы (в совмещенных микросхемах), изготавливаемые, например, в поликристаллическом слое кремния, и в редких случаях — конденсаторы небольшой емкости. Транзисторы типа *p-n-p* применяют значительно реже, чем *n-p-n*. Параметры полупроводниковых слоев и последовательность технологических операций при изготовлении биполярных микросхем выбираются прежде всего с учетом обеспечения наилучших электрических параметров биполярных транзисторов типа *n-p-n*. Другие элементы формируются в аналогичных слоях одновременно с транзисторами. Использование пассивных элементов (резисторов, конденсаторов) ограничено, так как по сравнению с транзисторами они занимают большую площадь на кристалле.

Основными элементами современных МДП-микросхем являются МДП-транзисторы с каналом *n*-типа. Площадь этих транзисторов на кристалле значительно меньше, чем биполярных, поэтому для микросхем на *n*-канальных МДП-транзисторах достигается самая высокая степень интеграции, но они уступают биполярным по быстродействию. В комплементарных МДП-микросхемах применяют МДП-транзисторы с индуцированными каналами *n*- и *p*-типа, для этих микросхем характерна очень малая потребляемая мощность.

В специальных случаях в полупроводниковых микросхемах используют биполярные транзисторы в сочетании с МДП- либо полевыми транзисторами с управляющим *p-n* переходом. Для изготовления таких микросхем требуется более сложная технология.

В арсенид-галлиевых полупроводниковых микросхемах активными элементами служат полевые транзисторы с управляющим переходом металл-полупроводник (МЭП-транзисторы), кроме того, используют диоды Шотки и полупроводниковые резисторы.

Характеристики и параметры дискретных биполярных, МДП- и МЭП-транзисторов рассмотрены в [3]. Для транзисторов полупроводниковых микросхем они в основном такие же. Специфика обусловлена конструкцией транзисторов, меньшими размерами, наличием изолирующих областей, малыми рабочими токами и напряжениями.

Полупроводниковые микросхемы в большинстве случаев являются изделиями широкого применения: одни и те же микросхемы используются в микроэлектронной аппаратуре различного назначения. Они выпускаются большими партиями; только при этом условии окупаются высокие затраты на разработку новых типов микросхем.

Гибридная интегральная микросхема содержит пленочные пассивные элементы и навесные компоненты. На рис. 1.4, *a* представлена структура простейшей гибридной микросхемы. На диэлектрическую

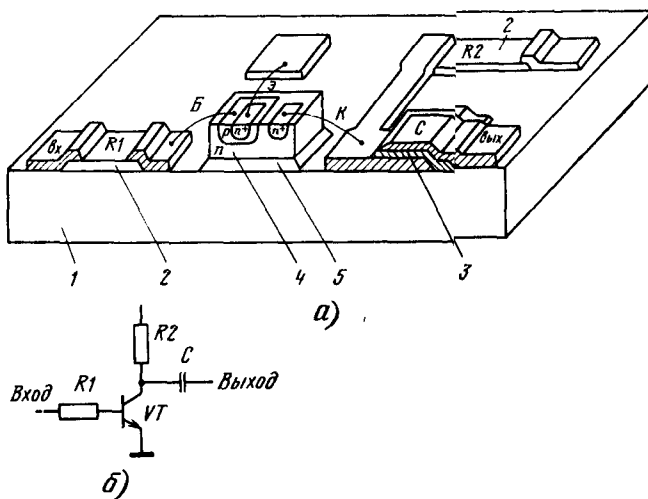


Рис. 1.4

подложку 1 нанесены пленочные резисторы 2 и пленочный конденсатор 3. С помощью клея (слой 5) на подложку установлен бескорпусный биполярный $n-p-n$ транзистор 4 с проволочными выводами, соединенными с металлическими слоями. Соответствующая электрическая схема приведена на рис. 1.4, б.

В гибридных микросхемах используются как простые, так и сложные компоненты, например бескорпусные кристаллы полупроводниковых микросхем. Электрические связи между элементами, компонентами и кристаллами осуществляют с помощью пленочных и проволочных проводников. Подложка с расположенными на ее поверхности пленочными элементами, проводниками и контактными площадками называется *платой*.

Многокристалльная гибридная микросхема представляет собой совокупность нескольких бескорпусных полупроводниковых микросхем, установленных на одной диэлектрической подложке, соединенных между собой проводниками и заключенных в герметизированный корпус.

В зависимости от способа нанесения пленок на поверхность диэлектрической подложки и их толщины различают *тонкопленочные* (толщина пленок менее 1 мкм) и *толстопленочные* (толщина пленок более 1 мкм) гибридные микросхемы. Помимо количественных существуют и качественные различия, определяемые технологией изготовления пленок. Тонкопленочные элементы формируют, как правило, с помощью термического вакуумного испарения и ионного распыления, а толстопленочные элементы наносят на подложку методом трафаретной печати с последующим вжиганием.

Широкое использование гибридных микросхем обусловлено сравнительно невысокими первоначальными затратами при организации производства, возможностью применения разнообразных компонентов

с требуемыми рабочими характеристиками и простотой изготовления плат (особенно с толстопленочными элементами). Однако гибридные микросхемы отличаются от полупроводниковых большими размерами и более сложной технологией сборки.

Глава 2. ТЕХНОЛОГИЧЕСКИЕ ОСНОВЫ МИКРОЭЛЕКТРОНИКИ

Структуры, электрические параметры микросхем и их элементов определяются технологией изготовления. В данной главе даются сведения о типовых технологических процессах и операциях, применяемых для создания полупроводниковых и гибридных микросхем. Совокупность технологических процессов и операций, проводимых в определенной последовательности, составляет *технологический цикл* изготовления микросхем.

2.1. ОБЩИЕ СВЕДЕНИЯ О ТЕХНОЛОГИИ ИЗГОТОВЛЕНИЯ ПОЛУПРОВОДНИКОВЫХ МИКРОСХЕМ

Создание микросхем начинается с подготовки полупроводниковых пластин. Их получают разрезанием монокристаллических полупроводниковых слитков цилиндрической формы с последующими шлифовкой, полировкой и химическим травлением для удаления верхнего дефектного слоя и получения зеркальной поверхности с шероховатостью (высотой неровностей) 0,03 ... 0,05 мкм. Диаметр пластин не превышает 150 мм, толщина около 0,5 мм, допустимый прогиб и отклонение от параллельности поверхностей не более 10 мкм по всему диаметру. Пластины характеризуются типом (n или p) электрической проводимости (электропроводности), удельным сопротивлением, а также кристаллографической ориентацией поверхности.

Для последующих операций исключительно важна чистота поверхности. Поэтому перед началом, а также неоднократно в течение технологического цикла производят очистку, удаляя посторонние вещества с помощью промывки, растворения и т. п. Эффективна ультразвуковая очистка, когда пластины погружают в ванну с растворителем, перемешиваемым с помощью ультразвука.

Технологический цикл может быть разделен на два больших этапа — обработки пластин и сборочно-контрольный.

Первый этап включает процессы (см. § 2.2—2.10), формирующие на пластинах структуры микросхем, т. е. их элементы и соединения. Для реализации элементов в определенных местах пластины создают области с требуемыми типом электропроводности и удельным сопротивлением, вводя соответствующие примеси или наращивая слои на поверх-

ность. Проводники соединений, а в совмещенных микросхемах резисторы и конденсаторы получают нанесением на поверхность пластин пленок. Геометрия легированных областей и тонкопленочных слоев задается масками, формируемыми с помощью *литографии*. В результате на пластинах образуется матрица одинаковых структур, каждая из которых соответствует одной микросхеме, т. е. на данном этапе микросхемы создаются *групповыми методами*.

Второй этап начинается с контроля функционирования микросхем на пластине. Электрические контакты с отдельными микросхемами осуществляются с помощью механических зондов — тонких игл, устанавливаемых на контактные площадки микросхем. Зондовый контроль производится на автоматизированных установках, дефектные микросхемы маркируются. Повышение степени интеграции и разработка СБИС ставят задачу проверки целостности связей и выявления всех дефектных элементов на пластинах. Для этой цели разработаны более сложные и эффективные методы контроля: электронно-лучевое зондирование, исследование поверхности пластин с помощью электронного микроскопа и др. Для повышения процента выхода годных микросхем в некоторых СБИС предусматривают резервирование отдельных элементов или узлов. После выявления дефектных элементов или участков устраняют их связи со всей схемой, например, пережиганием проводников с помощью остросфокусированного лазерного луча.

После контроля пластины разрезают на *кристаллы*, соответствующие отдельным микросхемам, и дефектные кристаллы отбраковывают. Кристаллы устанавливают в корпус, соединяют контактные площадки кристаллов с выводами корпуса (монтаж выводов) и герметизируют корпус (см. § 2.11). Затем производят контроль и испытания готовых микросхем с помощью автоматизированных систем, работающих по заданной программе. Различают тестовый контроль (проверка функционирования) и параметрический, заключающийся в измерении электрических параметров и проверке их соответствия нормам технических условий.

Контрольно-сборочные операции производятся индивидуально для каждой микросхемы в отличие от групповых процессов создания микросхем на этапе обработки пластин, поэтому они в значительной степени (30 ... 40 %) определяют трудоемкость изготовления, стоимость и надежность микросхем.

2.2. ЭПИТАКСИЯ

Эпитаксия — это процесс наращивания на пластину (подложку) монокристаллического слоя (эпитаксиальной пленки), повторяющего структуру подложки и ее кристаллографическую ориентацию. В большинстве случаев материалы пленки и подложки одинаковы, но могут применяться и разные материалы с близкой кристаллической структурой, например пленка кремния на сапфировой подложке. Эпитаксиальная пленка создается на всей поверхности подложки, одновре-

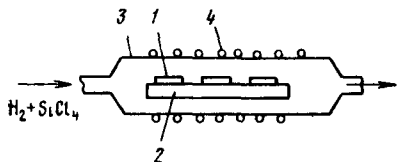


Рис. 2 1

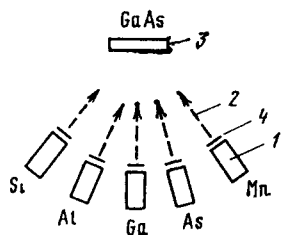


Рис 2 2

менно в нее вводятся примеси, распределяющиеся равномерно по объему пленки. На границе раздела пленки с подложкой можно сформировать $p-n$, n^+-n или p^+-p переход. Для создания многослойной структуры проводят несколько последовательных эпитаксий.

В технологии кремниевых микросхем распространена *газофазная эпитаксия*, осуществляемая в эпитаксиальном реакторе (рис. 2.1). Пластины 1 на графитовом держателе 2 помещаются в кварцевую трубу 3 с высокочастотным нагревателем 4. Через трубу пропускают поток водорода с небольшим (доли процента) содержанием тетрахлорида кремния, а также газообразных соединений доноров (например, PH_3 , PCl_3) или акцепторов (VBg_3 , V_2H_6). На поверхностях пластин, где устанавливается и поддерживается с большой точностью высокая температура (около $1200 \pm 3^\circ\text{C}$), происходит реакция $\text{SiCl}_4 + \text{H}_2 \rightarrow \text{Si} \downarrow + \text{HCl} \uparrow$. Образующиеся атомы кремния перемещаются (мигрируют) по поверхности, занимая положения в узлах кристаллической решетки, из-за чего растущая пленка продолжает кристаллическую структуру подложки. Атомы доноров (P) или акцепторов (B) образуются также в результате химических реакций. Скорость роста пленки (0,1 ... 1 мкм/мин) зависит от температуры, содержания SiCl_4 , скорости потока газа, а также кристаллографической ориентации поверхности. Из-за высокой температуры процесса примеси диффундируют из пленки в подложку и обратно. Это затрудняет создание резких переходов и тонких (менее 0,5 мкм) эпитаксиальных пленок. Толщина пленок лежит в пределах 1 ... 15 мкм. Более низкой температурой (1000°C) при сохранении достаточной скорости роста пленки характеризуется процесс на основе реакции разложения силана SiH_4 , но и он не позволяет получить пленку тоньше 0,1 ... 0,2 мкм.

Для реализации очень тонких (до нескольких нанометров) пленок и резких переходов, требуемых, например, в технологии арсенид-галлиевых микросхем, используют *молекулярно-лучевую эпитаксию*. Она основана на взаимодействии молекулярных пучков с подложкой, имеющей сравнительно невысокую температуру ($600 \dots 800^\circ\text{C}$), в сверхвысоком вакууме ($10^{-7} \dots 10^{-5}$ Па). Рис. 2.2 поясняет эпитаксию пленки арсенида галлия-алюминия $\text{Al}_x\text{Ga}_{1-x}\text{As}$ на подложку арсенида галлия. Несколько тиглей 1 содержат составные элементы пленки (Al, Ga, As) и легирующие примеси (Si — донор, Mn — акцептор).

При нагревании эти вещества испаряются, образуя молекулярные пучки 2, переносятся на подложку 3 и конденсируются на ней. Подбором температуры источников и подложки получают пленки с нужным химическим составом. Время процесса и толщина пленок регулируются заслонками 4, прерывающими попадание пучков на подложку.

2.3. ДИФФУЗИЯ ПРИМЕСЕЙ

Диффузия примесей — это технологическая операция *легирования* — введения примесей в пластину или эпитаксиальную пленку. При высокой температуре (около 1000 °С) примесные атомы поступают через поверхность и распространяются вглубь вследствие теплового движения.

Основной механизм проникновения примесного атома в кристаллическую решетку состоит в последовательном перемещении по *вакансиям* (пустым узлам) решетки. Возможны также, хотя и менее вероятно, перемещения по междоузлиям и обмен местами с соседними атомами. С другой стороны, известно, что атом примеси *электрически активен*, т. е. выполняет функцию донора или акцептора, только в том случае, если он занимает место в узле. Следовательно, для получения сильнолегированных областей и (или) сокращения времени диффузии необходимо иметь высокую концентрацию вакансий в поверхностном слое пластины. При нормальной температуре она очень мала (10^7 см^{-3}), но при температуре 500 ... 1200 °С достигает 10^{21} см^{-3} за счет поверхностного испарения атомов, диффузии атомов основного материала из глубины пластины к ее поверхности (что эквивалентно «диффузии» вакансий от поверхности вглубь), а также смещения атомов в междоузлия вследствие тепловых колебаний решеткой.

Как правило, легирование ведется через маску диоксида SiO_2 или нитрида Si_3N_4 кремния толщиной около 0,5 мкм (рис. 2.3). Концентрация введенных примесей (доноров $N_D(x)$ на рис. 2.4) максимальна у поверхности и спадает по направлению вглубь пластины. Расстояние x_0 , на котором она равна концентрации исходной примеси (акцепторов N_A на рис. 2.4), называют толщиной диффузионного слоя. Если вводится примесь противоположного по отношению к подложке типа, то x_0 соответствует металлургической границе образующегося *p-n* перехода. Так как примесь диффундирует также под

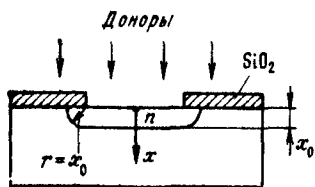


Рис. 2.3

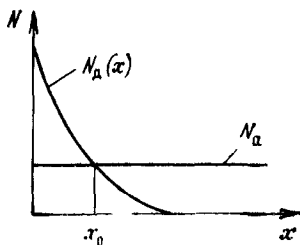


Рис. 2.4

маску, то p - n переход на краях имеет форму, близкую к цилиндрической или сферической с радиусом кривизны $r = x_0$, а размер диффузионного слоя в горизонтальном направлении у поверхности больше размера отверстия в маске на $2r$.

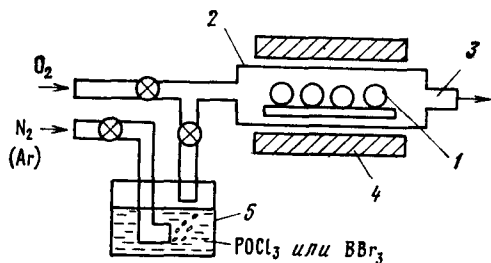


Рис. 2.5

Примеси характеризуются коэффициентом диффузии D , определяющим плотность потока Π диффундирующих атомов, т. е. атомов, проходящих в единицу времени через единицу поверхности, перпендикулярной направлению диффузии: $\Pi = -D \text{ grad } N$. Чем больше D , тем быстрее распространяются примесные атомы и меньше время получения слоя заданной толщины. Теоретические расчеты показывают, что $x_0 \sim \sqrt{Dt}$, следовательно, время диффузии $t \sim x_0^2/D$. Для бора или фосфора при $x_0 = 2 \dots 3$ мкм и температуре $T = 1100^\circ\text{C}$ оно составляет около одного часа, а для мышьяка или сурьмы (доноры) на порядок больше из-за меньшего D . Формирование слоев большой толщины (около 10 мкм) — длительный процесс, который применяется редко. Коэффициент диффузии существенно увеличивается с ростом температуры — на порядок на каждые 100°C . С этим связана необходимость поддержания температуры с высокой точностью: $\pm (0,1 \dots 0,2)^\circ\text{C}$.

Другой параметр примесей — предельная растворимость (максимально достижимая концентрация примесей $N_{\text{пред}}$) в отличие от D незначительно увеличивается с ростом температуры (в $2 \dots 3$ раза на каждые 300°C при $T < 1300^\circ\text{C}$). Она составляет $10^{20} \dots 10^{21}$ при $T = 1100^\circ\text{C}$.

Использовать чистые легирующие вещества затруднительно. Например, бор тугоплавок, мышьяк высокотоксичен, фосфор легко воспламеняется и т. д. В качестве источников примесей применяют их соединения в твердом (B_2O_3 , P_2O_5), жидком (BBr_3 , POCl_3) или газообразном (B_2H_6 , PH_3) состоянии, называемые *диффузантами*. В результате химических реакций на поверхностях пластин при высокой температуре выделяются нужные атомы примесей.

В качестве примера рассмотрим процесс с применением жидкого диффузанта, протекающий в однозонной диффузионной печи (рис. 2.5). Пластины 1 помещают в кварцевую трубу 2 с открытым выходным концом 3, в которой с помощью нагревателя 4 поддерживается нужная температура. Нейтральный газ-носитель (N_2 или Ar), проходя через сосуд с диффузантом 5, захватывает его пары и переносит их к поверхности пластин. Одновременно в трубу поступает небольшое количество кислорода. В результате реакции кислорода с диффузантом образуется ангидрид легирующего элемента (B_2O_3 или P_2O_5), при взаимодействии которого с кремнием выделяются атомы примеси (B или P).

Если над пластинами избыток диффузанта, то у их поверхности быстро устанавливается максимальная концентрация примесей, близкая к предельной растворимости, которая далее не изменяется. Распре-

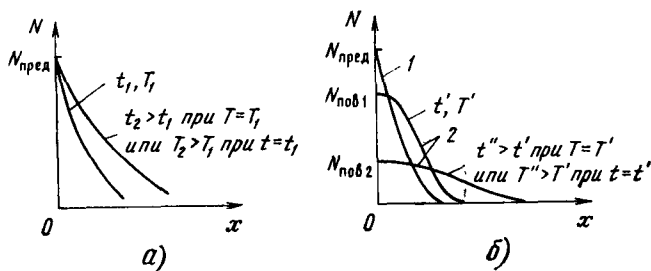


Рис. 2.6

деление концентрации примесей при таком режиме диффузии, называемом *загонкой* примесей, показано на рис. 2.6, а для разных температуры и времени процесса. Атомы примесей сосредоточены в узком приповерхностном слое. Назначение загонки обычно состоит во введении определенной дозы легирования (числа атомов, поступающих через единицу поверхности) $N_{л} = \int N(x) dx = N_{пред} \sqrt{Dt}$. Для окончательного формирования диффузионного слоя введенную примесь подвергают перераспределению на втором этапе, называемом *разгонкой* примесей. Подачу диффузанта прекращают, примеси распространяются вглубь при $N_{л} = \text{const}$, поверхностная концентрация $N_{пов}$ уменьшается, а толщина слоя возрастает. На рис. 2.6, б приведены графики функции $N(x)$ после загонки 1 и разгонки 2.

Для создания нескольких слоев с разными типами электропроводности диффузия проводится многократно. Например, при первой диффузии в пластине n -типа можно сформировать p -слой, а затем при второй диффузии ввести в него доноры на меньшую глубину, получив структуру типа $n-p-n$. При многократной диффузии концентрация каждой новой вводимой примеси должна превышать концентрацию предыдущей, чтобы изменился тип проводимости и образовался $p-n$ переход. Максимальная концентрация ограничена предельной растворимостью, поэтому число последовательных диффузий, как правило, не превышает трех. Последующие диффузии из-за высокой температуры вызывают нежелательную разгонку примесей, введенных на предыдущих этапах. Поэтому температуру и (или) время последующих диффузий надо выбирать меньше, а коэффициент диффузии и предельную растворимость примесей больше, чем для предыдущих.

2.4. ИОННОЕ ЛЕГИРОВАНИЕ

Ионное легирование — это технологическая операция введения примесей в поверхностный слой пластины или эпитаксиальной пленки путем бомбардировки ионами примесей [17]. Получение ионов, их ускорение и фокусировку производят в специальных вакуумных установках. Пары легирующих элементов поступают в ионизационную камеру, где возбуждается высокочастотный или дуговой электрический

разряд. Образовавшиеся ионы (P^+ , As^+ , B^+ и др.) вытягиваются из камеры с помощью экстрагирующего электрода, на который подается высокий отрицательный потенциал (10 ... 20 кВ), и поступают в магнитный масс-сепаратор. Последний устраняет посторонние ионы, присутствующие в газовом разряде. Принцип действия масс-сепаратора основан на зависимости траектории движения в постоянном поперечном магнитном поле от массы иона. Поэтому на его выход попадают только нужные ионы. Далее ионы ускоряются в электрическом поле (ускоряющее напряжение до 300 кВ) и фокусируются в пучок с плотностью тока до 100 А/м^2 и площадью сечения $1 \dots 2 \text{ мм}^2$. Система сканирования обеспечивает перемещение пучка, что позволяет последовательно облучить всю поверхность пластины.

Легирование обычно осуществляют через маску SiO_2 или Si_3N_4 толщиной около $0,5 \text{ мкм}$, превышающей длину пробега ионов в этих материалах. Так как ионный пучок направлен перпендикулярно поверхности, а боковое рассеяние ионов невелико, то горизонтальные размеры легированной области точно соответствуют отверстию в маске (рис. 2.7). Это является преимуществом по сравнению с легированием путем диффузии, так как позволяет получать области меньших размеров (ср. рис. 2.7 и 2.3). Принципиально возможно локальное легирование без применения маски с помощью сканирования острогофокусированного ионного пучка, включаемого и выключаемого по заданной программе.

На рис. 2.8 показаны распределения концентраций примесей бора $N_a(x)$ для одной и той же дозы легирования $N_{л.а}$, но разных энергий ионов. Длина пробега ионов является случайной величиной, распределенной по нормальному закону, и характеризуется средним значением \bar{l} и среднеквадратическим отклонением σ . Обе величины \bar{l} и σ увеличиваются с ростом энергии ионов. Положение максимума распределения $N_a(x)$ соответствует \bar{l} , толщина легированного слоя («ширина» распределения $N_a(x)$) пропорциональна σ , а максимальная концентрация определяется дозой легирования: $N_{макс} = N(\bar{l}) = N_{л.а}/(\sqrt{2\pi}\sigma)$. При малой энергии ионов тонкий слой p -типа образуется у поверхности, а его толщина определяется из условия

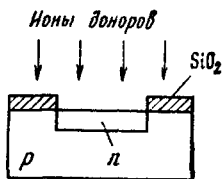


Рис. 2.7

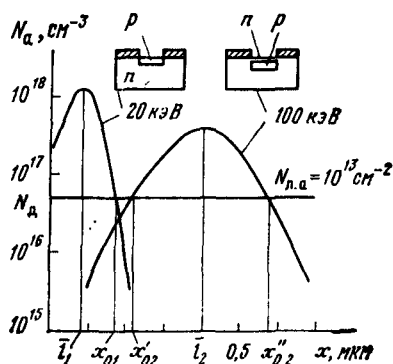


Рис. 2.8

$N_a(x_{01}) = N_d$, где N_d — исходная концентрация доноров в пластине n -типа ($N_d = 5 \cdot 10^{16} \text{ см}^{-3}$). На расстоянии x_{01} от поверхности образуется p - n переход. При большой энергии ионов слой p -типа располагается на расстоянии x'_{02} от поверхности и имеет толщину $\Delta x = (x'_{02} - x''_{02}) \sim \sigma_2$. Точки x'_{02} , x''_{02} соответствуют металлургическим границам p - n переходов.

С ростом энергии ионов увеличивается число радиационных дефектов в кристалле (смещений атомов), поэтому энергию обычно ограничивают (до 200 кэВ). Значение \bar{l} не превышает 0,5 ... 0,7 мкм. Доза легирования регулируется током ионного пучка и временем легирования (порядка нескольких минут). При большой дозе можно получить концентрацию примесей выше, чем при диффузии (больше предельной растворимости), но одновременно растет и число дефектов вплоть до разрушения поверхностного кристаллического слоя и превращения его в аморфный. На практике дозу ограничивают значением $10^{14} \dots 10^{15} \text{ см}^{-2}$. Ускоряющее напряжение и ток пучка поддерживают с большой точностью, что обеспечивает высокую воспроизводимость параметров легированных слоев.

После ионного легирования производят отжиг пластин при температуре 600 ... 900 °С с целью снижения числа радиационных дефектов и активации примесей. При отжиге смещенные атомы основного полупроводника возвращаются в нормальные положения в узлах кристаллической решетки. Примесные атомы перемещаются в пустые узлы (происходит активация) — только в этом случае они будут действовать как доноры или акцепторы.

В некоторых случаях при получении слоев большой толщины ионное легирование применяют в качестве первого этапа — загонки, а затем осуществляют второй этап легирования — разгонку при высокой температуре (900 ... 1000 °С), совмещая ее с отжигом. Такой способ загонки по сравнению с диффузионным обеспечивает более точное дозирование вводимой примеси.

Ионное легирование широко используется при создании БИС и СБИС. По сравнению с диффузией оно позволяет создавать слои с субмикронными горизонтальными размерами толщиной менее 0,1 мкм с высокой воспроизводимостью параметров. Процесс ионного легирования занимает меньше времени, обеспечивая высокую производительность. Он происходит при меньшей температуре и мало изменяет распределения примесей, полученные на предыдущих этапах. Возможно внедрение практически любых элементов. При этом обеспечивается высокая степень чистоты вследствие проведения процесса в вакуумной камере и магнитного сепарирования ионов. Ионное легирование технологически хорошо совместимо с другими вакуумными процессами, перспективными для СБИС. К недостаткам относятся сложность оборудования, малая глубина залегания слоев и образование дефектов кристаллической структуры, не полностью устранимых отжигом.

2.5. ТЕРМИЧЕСКОЕ ОКИСЛЕНИЕ И СВОЙСТВА ПЛЕНКИ ДИОКСИДА КРЕМНИЯ

Термическое (высокотемпературное) окисление позволяет получить на поверхности кремниевых пластин пленку диоксида кремния, что широко используется для создания масок при легировании (см. рис. 2.3, 2.7), формировании подзатворного диэлектрика в МДП-транзисторах, а также изолирующих слоев между элементами. Применение пленки SiO_2 в качестве маски при диффузии примесей основано на том, что коэффициент диффузии ряда примесей (P, B, As, Sb и др.) в ней значительно меньше, чем в кремнии. При ионном легировании маскирующее свойство слоя SiO_2 основано на том, что длина пробега ионов меньше толщины слоя.

Пленка SiO_2 прозрачна, имеет блестящую стеклянную поверхность и при толщине в десятые доли микрометра кажется окрашенной вследствие интерференции света, отраженного от ее поверхности и поверхности кремния. По этой окраске можно приближенно определить ее толщину. Например, зеленый цвет соответствует толщине 0,27 мкм. Диоксид кремния и кремний имеют близкие температурные коэффициенты расширения (ТКР), благодаря чему не происходит механических повреждений пленки при изменениях температуры. Диэлектрическая проницаемость SiO_2 составляет 0,3 пФ/см, а электрическая прочность — 600 В/мкм. Плотность поверхностных состояний (ловушек) и скорость поверхностной рекомбинации на границе Si — SiO_2 гораздо меньше, чем на поверхности неокисленного кремния и составляют соответственно $10^9 \dots 10^{11} \text{ см}^{-2}$ и $1 \dots 100 \text{ см/с}$, причем минимальные значения достигаются для ориентации (100), а максимальные — для ориентации (111)*. В пленке SiO_2 вблизи границы раздела с кремнием существует положительный заряд, образованный ионами Si^+ , — *фиксированный поверхностный заряд* [3]. Его плотность $Q_{\text{пов}}$ минимальна для ориентации (100) ($Q_{\text{пов}}/q \lesssim 3 \cdot 10^{10} \text{ см}^{-2}$, q — заряд электрона) и максимальна (на порядок больше) для ориентации (111). Величина $Q_{\text{пов}}$ коррелирует с плотностью поверхностных состояний. Слой SiO_2 защищает поверхность кремния от проникновения посторонних химических веществ и влаги.

Окисление выполняют в эпитаксиальных или диффузионных установках, пропуская над поверхностью пластин газ-окислитель кислород, водяной пар или их смесь (влажный кислород) при температуре 1000...1300 °С. Скорость роста пленки в зависимости от температуры и содержания водяного пара в смеси изменяется в пределах 0,05...1 мкм/час.

Окисление влияет на концентрацию примесей у поверхности. Во-первых, из-за высокой температуры происходит разгонка примесей — она может быть как полезной, так и нежелательной. Во-вторых, происходит *сегрегация* (перераспределение) примеси между кремнием и диоксидом кремния. Если растворимость

* Кристаллографическая ориентация плоскостей и перпендикулярных им направлений обозначается индексами Миллера, заключаемыми соответственно в круглые или квадратные скобки. Их определение дается в курсах физики и полупроводниковых приборов [1.8].

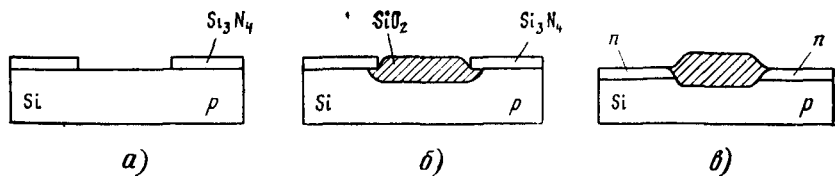


Рис. 2.9

примесь в диоксиде значительно меньше, чем в кремнии, то растущий в глубь пластины диоксид «вытесняет» примесь и ее концентрация у границы раздела повышается. Это характерно для фосфора: происходит обогащение поверхностного слоя n -типа атомами доноров и повышается проводимость. Для бора, наоборот, растворимость в SiO_2 больше, чем в кремнии, и растущий диоксид поглощает примесь. В результате поверхностный слой p -типа обедняется акцепторами и его проводимость снижается.

Во многих микросхемах слои SiO_2 необходимо выращивать локально, на определенных участках кристалла. Для этого используют маску нитрида кремния (рис. 2.9, а). Диоксид растет вверх, вниз и в боковых направлениях (под маску) примерно с одинаковой скоростью (рис. 2.9, б). Прорастание диоксида в глубь кристалла позволяет использовать его для изоляции соседних слоев. Например, если после окисления удалить маску Si_3N_4 и провести неглубокое легирование донорами, то получат изолированные друг от друга слои n -типа (рис. 2.9, в). Рост диоксида в боковом направлении обуславливает характерную вытянутую заостренную форму на краях, препятствующую получению малых расстояний между соседними изолированными областями, а рост вверх приводит к неровностям поверхности. Для получения ровной поверхности перед окислением вытравливают канавки глубиной в половину толщины диоксида, используя ту же маску Si_3N_4 .

2.6. ТРАВЛЕНИЕ

Травление представляет собой удаление поверхностного слоя не механическим, чаще всего химическим, путем. Его применяют для получения максимально ровной бездефектной поверхности пластин, не достижимой механическими способами обработки, удаления SiO_2 и других слоев с поверхности. Локальное травление используется для получения необходимого рельефа поверхности, формирования рисунка тонкопленочных слоев, а также масок.

Жидкостное травление. В основе жидкостного травления лежит химическая реакция жидкого травителя и твердого тела, в результате которой образуется растворимое соединение. Подбором химического состава, концентрации и температуры травителя обеспечивают заданную скорость травления (порядка 0,1 мкм/мин) и толщину удаляемого слоя. Локальное травление осуществляют через маску. Оно может быть *изотропным* и *анизотропным*.

Изотропное травление идет с одинаковой скоростью во всех направлениях — как вглубь, так и под маску. Примером такого процесса служит травление слоя SiO_2 через маску фоторезиста 1 (рис. 2.10). Основной компонент травителя — плавиковая кислота HF . Размер W вытравленной области больше размера отверстия W_0 в маске на величину $2d$, превышающую удвоенную толщину d слоя SiO_2 ($W > W_0 + 2d$). В связи с этим жидкостное изотропное травление не позволяет получить в слое SiO_2 отверстия достаточно малых размеров. Так как этот слой в свою очередь является маской при легировании, то не могут быть реализованы элементы микросхем достаточно малых размеров. Жидкостное травление обладает высокой *избирательностью*, количественно оцениваемой отношением скоростей травления требуемого слоя (например, SiO_2) и других слоев (например, кремния, фоторезиста).

Скорость химической реакции специальных травителей зависит от кристаллографического направления. Она минимальна в направлении $[111]$, так как в перпендикулярной ему плоскости (111) максимальна плотность атомов. Плоскость (100) характеризуется значительно меньшей плотностью атомов, и скорость реакций в направлении $[100]$ в 10...15 раз больше. На этом основано жидкостное анизотропное травление кремния.

Пусть поверхность пластины имеет ориентацию (100) и используется маска SiO_2 с прямоугольными отверстиями, стороны которых ориентированы по направлениям $[011]$, параллельным плоскостям (111) . После травления получается канавка, боковые стенки которой имеют ориентацию (111) , т. е. перпендикулярны направлению, соответствующему наименьшей скорости реакции. При малом времени процесса канавка имеет плоское дно (рис. 2.11, а), с ростом времени она углубляется и становится V-образной (рис. 2.11, б). После этого травление резко замедляется (практически останавливается), так как дальше оно возможно лишь в направлениях $[111]$. Угол α между стенками около 70° . Глубина канавки d определяется размерами отверстия в маске W_0 и составляет приблизительно $0,7W_0$.

Если же поверхность имеет ориентацию (011) , то стенки канавок получаются вертикальными, так как они соответствуют ориентации (111) (рис. 2.11, в). Таким способом можно сформировать канавки шириной менее

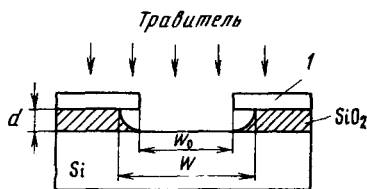


Рис. 2.10

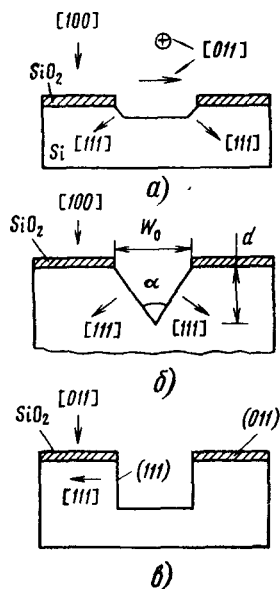


Рис. 2.11

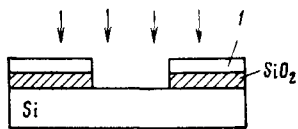


Рис. 2.12

1 мкм и глубиной около 10 мкм. Однако ориентации (011) соответствуют худшие электрофизические параметры поверхности.

Сухое анизотропное травление. Такое травление производят в вакуумной установке в плазме газового разряда. Различают *ионное травление*, основанное на физическом распылении материала при бомбардировке его ионами инертных газов, *плазмохимическое травление*, основанное на химическом взаимодействии активных частиц плазмы (ионов, атомов, молекул) с материалом, подвергающимся травлению, и комбинированное *реактивное ионное травление*.

Важнейшим достоинством сухого травления является его анизотропия: травление идет преимущественно в вертикальном направлении, в котором движутся частицы. Размер вытравленной области весьма точно соответствует размеру отверстия в маске. На рис. 2.12 показано травление слоя диоксида кремния через маску фоторезиста 1. Процесс позволяет получать отверстия в слое SiO_2 меньших размеров, чем при жидкостном травлении. Количественно анизотропия оценивается отношением скоростей травления в вертикальном и горизонтальном направлениях.

Ионное травление практически не обладает избирательностью. Поэтому несмотря на максимальную анизотропию использовать его для локального травления затруднительно. Ионное травление применяется в основном для очистки поверхности от загрязнений. Плазмохимическое травление производится при давлении порядка 500 Па в плазме высокочастотного газового разряда. На поверхность пластин попадают ионы с малыми энергиями (100 эВ) и нейтральные химически активные атомы и молекулы. Анизотропия в этом случае мала (2...5), но обеспечиваются высокая избирательность (до 50) и скорость травления 2...10 нм/с.

Наиболее широкие возможности имеет реактивное ионное травление. Оно производится при меньших давлениях (около 1 Па) и больших энергиях ионов (до 500 эВ). Скорость химических реакций нейтральных атомов и молекул с материалом, подвергаемым травлению, возрастает вследствие бомбардировки его ионами. При низких давлениях средняя длина свободного пробега молекул намного больше глубины травления, а скорость взаимодействия газа с горизонтальной поверхностью пластины больше, чем с боковыми стенками углублений. С другой стороны химические реакции, ослабляя связь атомов на поверхности, способствуют физическому распылению материала ионами. Все это обуславливает высокую анизотропию процесса (до 100) при хорошей избирательности (до 30) и достаточно высокой скорости (0,3...3 нм/с).

Для травления SiO_2 применяют газообразный четырехфтористый углерод CF_4 , который в плазме распадается на CF_2 и F. Последний взаимодействует с SiO_2 , в результате чего образуется SiF_4 . Добавление H_2 обеспечивает избирательность травления SiO_2 35 по сравнению с кремнием и 10 по сравнению с фоторезистами. Для травления кремния применяют CF_4 с добавлением O_2 .

2.7. НАНЕСЕНИЕ ТОНКИХ ПЛЕНОК

Тонкие пленки широко используются в полупроводниковых и гибридных интегральных микросхемах для создания проводников соединений, резисторов, конденсаторов и изоляции между элементами и проводниками. Помимо необхо-

димых электрофизических параметров от них требуется хорошая адгезия (прочность связи) к материалу, на который наносится пленка, например к кремнию или диоксиду кремния в полупроводниковых микросхемах, к диэлектрической подложке или ранее нанесенной пленке в гибридных микросхемах. Некоторые материалы имеют плохую адгезию с подложками (например, золото с кремнием). Тогда на подложку сначала наносят тонкий подслои с хорошей адгезией, а на него — основной материал, имеющий хорошую адгезию с подслоем. Для предотвращения поврежденных пленок при колебаниях температуры желательно, чтобы ТКР пленок и подложек как можно меньше отличались друг от друга.

Термическое вакуумное испарение. Наносимое вещество помещают вместе с подложками в вакуумную камеру. В результате нагревания происходит испарение и осаждение вещества на подложке. Скорости испарения и роста пленки сильно зависят от температуры. Практика показывает, что осаждение происходит с приемлемой скоростью, если достигается *условная температура испарения* $T_{\text{усл}}$, при которой давление паров вещества 1,3 Па. Если $T_{\text{усл}} < T_{\text{пл}}$ (Сг, Мо, Si, W), то вещества интенсивно испаряются из твердого состояния, а если $T_{\text{усл}} > T_{\text{пл}}$ (Al, Au, Pt) — то из жидкого.

Испаряемые материалы могут нагреваться прямым или косвенным путем. Прямой нагрев осуществляется при пропускании электрического тока через металлоческий материал (необходимо, чтобы выполнялось условие $T_{\text{усл}} < T_{\text{пл}}$), индукционным способом или электронной бомбардировкой (для тугоплавких металлов Мо, Та, W). Косвенный нагрев происходит вследствие теплопередачи от испарителя (тигля, ленты, спирали и т. п.). На процесс осаждения влияет температура подложки, выбираемая в пределах 200...400 °С. При слишком низкой температуре осаждаемые атомы не могут мигрировать по поверхности, что ведет к их неравномерному распределению и группированию в «островки» разной толщины. Слишком высокая температура вызывает обратное испарение осажденных атомов с подложки.

Высокий вакуум (10^{-4} ... 10^{-5} Па) обеспечивает чистоту пленок. Время осаждения (от нескольких секунд до нескольких минут) регулируется с помощью специальных заслонок, преграждающих доступ испаряемого вещества к подложкам.

Недостатками данного способа являются невысокая воспроизводимость параметров пленки из-за плохого контроля температуры и кратковременности процесса, а также невозможность воспроизведения химического состава испаряемого вещества (например, сплава или химического соединения) из-за разной скорости испарения входящих в него компонентов. Поэтому термическое вакуумное испарение применяется в основном только для чистых металлов.

Распыление ионной бомбардировкой. Процесс производится в вакуумной камере, заполненной инертным газом (например, аргоном), в котором возбуждается газовый разряд. Возникающие положительные ионы бомбардируют распыляемый материал (мишень), выбивая из него атомы или молекулы, которые осаждаются на подложках. Выбитые атомы на пути к подложке рассеиваются на атомах инертного газа. Это уменьшает скорость осаждения, но увеличивает равномерность осаждения пленки по подложке, чему также способствует большая площадь мишени. Скорость и время распыления (от нескольких минут до нескольких часов) регулируются напряжением на электродах и могут быть выдержаны с высокой точностью. По сравнению с термическим вакуумным испарением данный процесс позволяет получать пленки тугоплавких металлов; наносить диэлектрические пленки, соединения и сплавы, точно выдерживая их состав; обеспечивать равномерность и точное воспроизведение толщины пленок на подложках большой площади, а также малую инерционность процесса. Распыление ионной бомбардировкой имеет несколько разновидностей.

Катодное распыление. Распыляемый материал (обязательно металл) является электродом катода 1 (рис. 2.13). На заземленном аноде 2 располагаются подложки 3. Давление газа в камере 4 составляет 1...10 Па. На катод подается высокое отрицательное напряжение 2...5 кВ. Возникает газовый разряд, сопровождающийся образованием электронно-ионной плазмы. Положи-

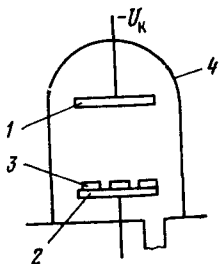


Рис. 2.13

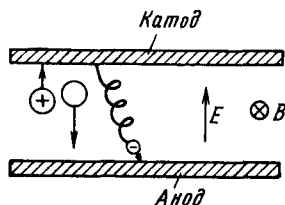


Рис. 2.14

тельные ионы образуются вследствие ионизации атомов газа электронами. В свою очередь, ионы, ускоряясь в сильном электрическом поле, выбивают из катода электроны, необходимые для поддержания разряда, а также атомы, которые, диффундируя через газ, осаждаются на подложках.

Для повышения концентрации ионов в разрядном пространстве и увеличения скорости распыления применяют *магнетронные распылительные системы*, в которых перпендикулярно электрическому полю E между катодом и анодом направлено постоянное магнитное поле B . Оно искривляет траектории электронов, вылетевших из катода вследствие ионной бомбардировки, стремясь возвратит их обратно на катод. Электроны, теряя энергию на ионизацию газа, движутся к аноду по сложным петлеобразным траекториям, подобным траекториям электронов в магнетронах СВЧ (рис. 2.14, где \ominus — электрон, \oplus — ион, \circ — атом, выбитый из катода). Увеличение длины пути электрона приводит к образованию значительно большего числа ионов, чем при отсутствии магнитного поля, что повышает скорость распыления или (при той же скорости) позволяет снизить давление газа и загрязнение пленки. Кроме того, электроны достигают анода с малой скоростью, что снижает нагревание анода и, следовательно, предотвращает испарение осаждаемой пленки, устраняет возможность ее рекристаллизации и изменения химического состава.

При *реактивном катодном распылении* в камеру вводят небольшое количество газа, способного образовывать химические соединения с распыляемым материалом. Например, добавляя кислород при распылении тантала или кремния, можно получать диэлектрические пленки Ta_2O_5 , SiO_2 .

Недостатками катодного распыления являются загрязненность пленок из-за сравнительно низкого вакуума, а также невозможность напыления через металлическую маску (трафарет), так как она искажает электрическое поле у анода.

Ионно-плазменное напыление. Давление газа в камере устанавливается порядка 10^{-3} Па, т. е. значительно ниже, чем при катодном распылении, что уменьшает загрязнение пленок. Длина свободного пробега выбитых из мишени атомов превышает расстояние мишень—подложка, благодаря чему отсутствует рассеяние атомов, что способствует повышению скорости осаждения. Получить достаточно большую концентрацию ионов (а значит, и скорость осаждения) в условиях пониженного давления можно, используя накаливаемый катод — источник электронов.

Схема установки показана на рис. 2.15. В нижней части вакуумной камеры 1 расположен вольфрамовый катод 2, а в верхней — анод 3, на который подается положительное напряжение около 100 В. На мишень 4 подается высокое отрицательное напряжение 2...3 кВ. Напротив расположена подложка 5 с нагревателем 6, обеспечивающим температуру, соответствующую нан-

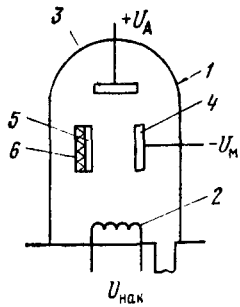


Рис. 2.15

лучшим условиям осаждения. Для увеличения концентрации ионов создают магнитное поле, направленное от катода к аноду. Электроны, вылетающие из катода под небольшими углами к вектору магнитного поля, двигаются к аноду по спиральным траекториям вокруг оси разряда, проходя путь, значительно больший расстояния катод—анод, и порождая на этом пути гораздо больше ионов.

Степень ионизации газа на 1...2 порядка выше, чем при катодном распылении и составляет единицы процентов. Начало и конец процесса определяются подачей и отключением напряжения на мишени.

Перед началом напыления проводится очистка поверхности подложки. Ионы с низкой энергией, ударяясь о поверхность подложки, удаляют с нее загрязнение (ионное травление, см. § 2.6). Так же может быть произведена и очистка мишени. Очистка мишени и подложки способствует чистоте пленок и их хорошей адгезии к подложкам. В отличие от катодного распыления подложка не влияет на напряженность электрического поля и скорость распыления, что обеспечивает равномерность толщины пленки и дает возможность напылять ее через металлический трафарет, накладываемый на подложку. При этом одновременно формируется и рисунок пленок, что существенно для гибридных микросхем.

Высоко частотное распыление. Рассмотренные выше методы распыления на постоянном токе применяют для напыления металлических и полупроводниковых материалов. В случае диэлектрической мишени попадающие на нее положительные ионы не могут нейтрализоваться электронами из внешней цепи; в результате потенциал мишени повышается и процесс прекращается. Поэтому для распыления диэлектрической мишени необходимо периодически менять знак потенциала на ней.

В установке на рис. 2.15 это достигается тем, что мишень 4 представляет собой диэлектрический слой, нанесенный на металлическую пластину, на которую помимо постоянного подают переменное высокочастотное напряжение большой амплитуды со стандартной частотой 13,56 МГц. При отрицательном напряжении мишень бомбардируется положительными ионами и распыляется, при положительном — на мишень поступает поток электронов, нейтрализующих заряд ионов (распыления нет из-за малой массы и энергии электронов).

Устройства высокочастотного распыления не всегда строятся по типу трех электродных (катод—анод—мишень) установок ионно-плазменного напыления с несамостоятельным разрядом. Распространены более простые двухэлектродные установки типа представленной на рис. 2.13, где на мишень 1 подают высокочастотное напряжение, вызывающее высокочастотный разряд. В нем может быть получена высокая концентрация ионов даже при низком давлении газа, характерном для ионно-плазменного напыления. Это объясняется тем, что период высокочастотного напряжения меньше времени пролета электронов от подложек до мишени и они долго находятся в средней части разрядного пространства, совершая колебательные движения и эффективно ионизируя газ. Для увеличения длины пути электронов и концентрации генерируемых ими ионов прикладывают магнитное поле, направленное по оси разряда.

Химическое осаждение из газовой фазы. Для получения пленок поликристаллического кремния и диэлектриков (SiO_2 , Si_3N_4) в технологии полупроводниковых микросхем широко используется химическое осаждение из газовой фазы. Осаждение происходит в результате химической реакции в газовой фазе при повышенной температуре и осуществляется в эпитаксиальных или диффузионных установках. Для осаждения пленок поликристаллического кремния на пластины, покрытые слоем SiO_2 , применяется реакция пиролиза (разложения) силана: $\text{SiH}_4 \rightarrow \text{Si} + \text{H}_2$ при $T = 650^\circ\text{C}$.

Пленки SiO_2 , используемые в качестве защитных покрытий пластины или изоляции между слоями соединений, осаждают окислением силана: $\text{SiH}_4 + \text{O}_2 \rightarrow \text{SiO}_2 + \text{H}_2$ при $T = 200...350^\circ\text{C}$.

Нитрид кремния получают в результате реакции силана с аммиаком: $\text{SiH}_4 + \text{NH}_3 \rightarrow \text{Si}_3\text{N}_4 + \text{H}_2$ при $T = 800^\circ\text{C}$.

Достоинствами химического осаждения из газовой фазы являются простота, хорошая технологическая совместимость с другими процессами создания полупроводниковых микросхем (эпитаксией, диффузией) и сравнительно невысокая температура, благодаря чему практически отсутствует нежелательная разгонка примесей в пластинах.

Скорость осаждения определяется температурой и концентрацией реагирующих газов в потоке нейтрального газа-носителя и составляет в среднем несколько сотых долей микрометра в минуту.

Химическое осаждение из водных растворов. Применяемое в технологии гибридных микросхем химическое осаждение из водных растворов основано на восстановлении металлов из растворов их солей. Электролитическое осаждение производится в электролитических ваннах, где проводящая подложка является катодом, а анод выполнен из материала осаждаемой пленки или инертного по отношению к электролиту металла. При пропускании электрического тока на катод осаждаются металлическая пленка, толщина которой зависит от тока и времени осаждения. Скорость процесса хорошо регулируется в широких пределах изменением тока. Таким образом, можно получать не только тонкие, но и толстые пленки (20 мкм и более), применяемые, например, для создания жестких и балочных выводов (см. § 2.12) бескорпусных полупроводниковых микросхем и транзисторов, а также металлических масок (трафаретов).

Разновидность электролитического осаждения — *анодное окисление (анодирование)*. Подложка или ранее нанесенная на нее металлическая пленка служит анодом. Выделяющиеся у анода атомы кислорода взаимодействуют с материалом подложки, образуя плотно сцепленную с ней окисную пленку. Таким способом получают, например, пленки окис тантала или алюминия, применяемые в качестве диэлектриков тонкопленочных конденсаторов или изолирующих слоев многослойных соединений. Пленки Ta или Al предварительно наносят вакуумным способом. Возможно также вакуумное анодирование в плазме газового разряда, содержащей ионы кислорода. Оно осуществляется в установках катодного или ионно-плазменного распыления.

2.8. МЕТОДЫ ПОЛУЧЕНИЯ СТРУКТУР ТИПА Si—SiO₂—Si

В полупроводниковых микросхемах широко применяются пленки поликристаллического кремния, легированные донорами или акцепторами, нанесенные на поверхность кремниевой пластины, покрытой диоксидом кремния. Такие пленки формируются обычно химическим осаждением из газовой фазы. В отличие от монокристаллического кремния в поликристаллических пленках малы подвижность электронов и дырок и время жизни неосновных носителей. Это объясняется наличием большого числа дефектов структуры, являющихся центрами рассеяния и рекомбинации. Поэтому параметры транзисторов, сформированных в поликристаллической пленке, значительно хуже, чем в монокристалле. Термическая обработка (отжиг) позволяет значительно повысить подвижность носителей заряда в пленке, что делает возможным создание в ней полевых (в частности, МДП) транзисторов с удовлетворительными параметрами.

В результате плавления поликремниевой пленки при отжиге и последующей рекристаллизации при охлаждении монокристаллические зерна кремния укрупняются и параметры пленки приближаются к параметрам монокристалла. Известны методы отжига с помощью лазерного луча, сканирующего по поверхности пластин, а также движущегося ленточного графитового нагревателя [7]. Последний способ по-

зволяет получать пластины со структурой типа $\text{Si} - \text{SiO}_2 - \text{Si}$ большого диаметра (более 75 мм), по своим параметрам не уступающие дорогостоящим пластинам со структурой типа кремний на сапфире, получаемым с помощью гетероэпитаксии.

При отжиге с помощью движущегося ленточного графитового нагревателя слой SiO_2 толщиной 0,4 ... 1 мкм наносится на кремниевую пластину всюду, за исключением ее крайних участков, а слой поликремния толщиной 0,5 мкм — на всю поверхность. Пластина 1 (рис. 2.16, а) помещается на неподвижный нагреватель 2, повышающий ее температуру до 1200 °С. Подвижный графитовый нагреватель 3 расположен на расстоянии около 1 мм от поверхности, имеет температуру свыше 1700 °С и перемещается от края пластины со скоростью примерно 2 мм/с. На краях слой поликремния 4 контактирует с монокристаллической пластиной 1 и после

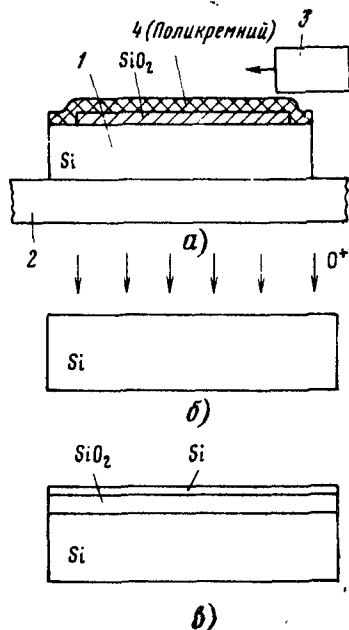


Рис. 2.16

плавления и рекристаллизации превращается в монокристалл с той же ориентацией, что и пластина. По мере движения нагревателя происходит плавление слоев, расположенных над диоксидом, которые после прохода нагревателя превращаются в монокристаллические, продолжающие структуру крайних участков. Полученная пленка кремния по сравнению с пластиной имеет повышенную плотность дефектов, особенно на границе раздела с диоксидом, поэтому подвижность носителей в ней в 1,5 ... 2 раза ниже, чем в монокристалле. По мере усовершенствования метода подвижность носителей будет повышаться.

Принципиально отличающимся методом создания структур типа $\text{Si} - \text{SiO}_2 - \text{Si}$ является метод ионного легирования исходной кремниевой пластины кислородом (рис. 2.16, б) с последующим прогреванием. В результате на малом расстоянии от поверхности (0,1 мкм) получается слой SiO_2 толщиной около 0,5 мкм (рис. 2.16, в). Тонкий приповерхностный слой сохраняет структуру монокристалла, поэтому, применяя эпитаксию, его толщину можно увеличить. Такой метод обеспечивает лучшее качество пленки, в том числе высокую подвижность носителей.

2.9. ПРОВОДНИКИ СОЕДИНЕНИЙ И КОНТАКТЫ В ПОЛУПРОВОДНИКОВЫХ МИКРОСХЕМАХ

Элементы в микросхемах соединяются тонкопленочными проводниками. Предварительно в слое SiO_2 , покрывающем поверхность пластины, вытравливают контактные отверстия. Проводящую пленку наносят на всю поверхность, а затем ее травят через маску и формируют рисунок соединений. Материал пленки должен обеспечивать омический контакт с кремнием, иметь низкое удельное сопротивление, хорошую адгезию к кремнию и диоксиду, без разрушения выдерживать высокую плотность тока. Он должен быть механически прочным, не повреждаться при изменениях температуры (из-за разных ТКР пленки, пластины и слоя SiO_2), а также не подвергаться коррозии и не образовывать химических соединений с кремнием. Металла, удовлетворяющего всем этим требованиям, не существует. Наиболее полно им отвечает алюминий, имеющий удельное сопротивление $2,6 \cdot 10^{-6}$ Ом·см. Он наносится термическим вакуумным испарением. При толщине 0,5...1 мкм сопротивление слоя равно 0,025 ... 0,05 Ом/□.

После создания рисунка соединений производится вжигание контактов при температуре 550 °С в течение 5 ... 10 мин. При этом имеет место реакция $\text{Al} + \text{SiO}_2 \rightarrow \text{Al}_2\text{O}_3 + \text{Si}$, улучшающая адгезию пленки к слою SiO_2 . В местах контактных отверстий удаляются возможные остатки SiO_2 , и алюминий внедряется в кремний (его поверхностная концентрация около $5 \cdot 10^{18}$ см⁻³). Это улучшает контакт и адгезию.

Алюминий является акцептором, поэтому контакт к областям *p*-типа всегда омический. Для получения омического контакта к области *n*-типа концентрация доноров в ней должна быть выше, чем алюминия. При низкой концентрации доноров произойдет перекомпенсация поверхностного слоя акцепторами (Al), изменение его типа проводимости с *n* на *p* и образование *p-n* перехода. При формировании омического контакта к *n*-слою с низкой концентрацией доноров необходимо предварительно создать сильнолегированную контактную *n*⁺-область (рис. 2.17) с концентрацией доноров порядка 10^{20} см⁻³.

В БИС (СБИС) недостаточно одного слоя соединений, так как не удается осуществить разводку проводников без пересечений. Поэтому создают два или три слоя проводников, разделенных слоями диэлектрика (обычно SiO_2), получаемыми методом осаждения из газовой фазы. В слое SiO_2 делают отверстия для контактов между проводниками соседних слоев.

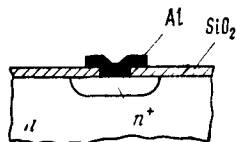


Рис. 2.17

Алюминий имеет ряд существенных недостатков, особенно как материал первого слоя. Например, в случае неглубоких *p-n* переходов (0,5 ... 1 мкм) диффузия алюминия в кремний при термообработке может приводить к их разрушению (замыканию). Высокая плотность тока

вследствие малых толщины и ширины проводников вызывает эффект *электромиграции* — переноса атомов Al, нарушающего однородность пленки вплоть до разрывов. Разрывы проводников чаще всего происходят в местах неровностей поверхности. Малая температура плавления алюминия затрудняет проведение последующих высокотемпературных операций. Легкая окисляемость с образованием пленки Al_2O_3 ухудшает контакты между слоями.

В качестве проводников первого слоя во многих микросхемах используют легированный поликристаллический кремний. Он образует омические контакты к областям того же типа проводимости и слабоинжектирующие переходы с областями противоположного типа. Иногда (например, в МДП-микросхемах) применяют два слоя поликремния и слой металла (верхний). Недостатком поликремниевых проводников является высокое сопротивление слоя (до $20 \dots 30 \text{ Ом}/\square$). Оно снижается на порядок, если вместо поликремния использовать *силициды* (соединения с кремнием) тугоплавких металлов: Ta, W, Mo и др. Они образуют хорошие омические и выпрямляющие контакты к кремнию, термостойки и обладают хорошей адгезией к кремнию и слою SiO_2 . Однако в СБИС при снижении толщины и ширины проводников из силицидов металлов, но сохранении достаточно большой длины их сопротивления все же недопустимо большие. В этом случае применяют тугоплавкие металлы, имеющие малое сопротивление слоя, плотность тока которых без электромиграции может быть в $20 \dots 40$ раз больше, чем Al (до $(1 \dots 2) \cdot 10^6 \text{ А}/\text{см}^2$). Например, молибденовый проводник шириной 3 мкм и толщиной 0,4 мкм имеет сопротивление слоя $0,14 \text{ Ом}/\square$ и предельный ток 10 мА. Для алюминия эти величины равны соответственно $0,06 \text{ Ом}/\square$ и 0,5 мА.

В полупроводниковых микросхемах широко применяются диоды со структурой металл—полупроводник, при создании которых ставится обратная задача: получить выпрямляющий (но не инжектирующий) контакт. Он может быть образован только к слаболегированным областям при концентрациях примесей не более 10^{16} см^{-3} . Практически все применяемые металлы (в том числе и алюминий) образуют контакты с лучшими выпрямляющими свойствами (большей высотой потенциального барьера $\phi_{\text{мп}}$) к областям *n*-типа, чем к областям *p*-типа. Величина $\phi_{\text{мп}}$ сильно зависит от степени загрязнения поверхности кремния (в частности, от наличия на ней остатков диоксида). Для стабилизации и улучшения свойств контакта после нанесения пленки проводят термообработку. При использовании алюминия температура должна быть невысокой (менее 300°C), в противном случае образуется *p-n* переход при контакте с *n*-слоем или омический контакт при контакте с *p*-слоем. Таким образом, создать одновременно омические и выпрямляющие контакты на одном кристалле, используя один и тот же металл (Al), затруднительно. На практике применяют разные металлы. Например, хорошие выпрямляющие контакты с кремнием *n*-типа образуют силициды тугоплавких металлов (Pt), получаемые нанесением металла с последующей термообработкой.

2.10. ЛИТОГРАФИЯ

Литография — это процесс формирования отверстий в масках, создаваемых на поверхности пластины, предназначенных для локального легирования, травления, окисления, напыления и других операций.

Ведущую роль в технологичности микросхем занимает *фотолитография*. Она основывается на использовании светочувствительных полимерных материалов — *фоторезистов*, которые могут быть негативными и позитивными. Негативные фоторезисты под действием света полимеризуются и становятся нерастворимыми в специальных веществах — *проявителях*. После локальной засветки (*экспонирования*) растворяются и удаляются незасвеченные участки. Наибольшая чувствительность негативных фоторезистов соответствует длине волны света 0,28 мкм (ультрафиолет), поэтому экспонирование осуществляют с помощью кварцевой лампы. В позитивных фоторезистах свет разрушает полимерные цепочки: растворяются засвеченные участки. Максимальная чувствительность соответствует более длинным волнам (до 0,45 мкм — видимое излучение). Позитивные фоторезисты обеспечивают более резкие границы растворенных (проявленных) участков, чем негативные, т. е. обладают повышенной разрешающей способностью, но имеют меньшую чувствительность и требуют большего времени экспонирования.

Рисунок будущей маски задается *фотошаблоном*. Он представляет собой стеклянную пластину, на одной из сторон которой нанесена тонкая непрозрачная пленка (Cr , Cr_2O_3 , Fe_2O_3 и др.) требуемой конфигурации. В связи с групповыми методами создания микросхем на шаблоне имеется матрица одинаковых рисунков, соответствующих отдельным микросхемам в масштабе 1:1 (рис. 2.18).

Рассмотрим основные этапы процесса фотолитографии на примере получения маски SiO_2 . На окисленную поверхность кремниевой пластины наносят несколько капель раствора фоторезиста. С помощью центрифуги его распределяют тонким (около 1 мкм) слоем по поверхности пластины, а затем высушивают. На пластину накладывают фотошаблон (*ФС*) рисунком к фоторезисту (*ФР*) и экспонируют (рис. 2.19, а), затем его снимают. После проявления негативный фоторезист удаляется с незасвеченных участков (рис. 2.19, б), а позитивный — с засвеченных. Получается фоторезистивная маска, через которую далее травят слой SiO_2 , после чего фоторезист удаляют (рис. 2.19, в).

Для некоторых низкотемпературных операций, например травления металлических пленок и получения проводников, используется непосредственно фоторезистив-

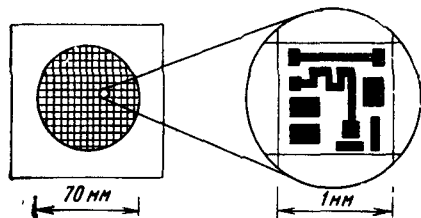


Рис. 2.18

ная маска. Если материал пленки плохо поддается травлению (например, Au), то применяют так называемую *обратную*, или «*взрывную*», фотолитографию. На пластине 1 (рис. 2.20, а) сначала формируется фоторезистивная маска, а затем наносится пленка 2 и производится жидкостное травление. Травитель действует в основном на фоторезист, растворяя его с торцов, в результате пленка 2, расположенная на фоторезисте, отслаивается (рис. 2.20, б).

Фотошаблоны. При создании полупроводниковых микросхем фотолитография проводится многократно, для чего требуется комплект фотошаблонов. Каждый из них задает рисунок тех или иных слоев (например, базовых и эмиттерных областей транзисторов, контактных отверстий, проводников и т. д.). Созданию фотошаблонов предшествует топологическое проектирование микросхемы с помощью систем автоматизированного проектирования (САПР) на основе электрической принципиальной схемы.

Процесс изготовления фотошаблонов для микросхем с малой и средней степенями интеграции начинается с вычерчивания *фотооригиналов* — послойных топологических чертежей одной микросхемы, выполненных в увеличенном масштабе (например, 500:1) с большой точностью с помощью специальных устройств — *координатографов*, работающих в автоматическом режиме в соответствии с управляющей программой, задаваемой ЭВМ. Чертеж вырезается в непрозрачной пленке, нанесенной на прозрачную подложку (стекло, пластик). Размер фотооригинала доходит до 1 м при точности вычерчивания линий ± 25 мкм. Оригинал фотографируют с *редуцированием* (уменьшением) в 20...50 раз, получая промежуточный фотошаблон. Последний, в свою очередь, фотографируют с уменьшением, осуществляя *мультипликацию* (размножение) рисунков и получая эталонный фотошаблон с матрицей одинаковых рисунков в масштабе 1:1. Мультипликация производится в *фотоповторителях* (*фотоштампах*), где в промежутках между экспонированием каждого участка перемещают пластину эталонного фотошаблона с шагом, соответствующим размеру кристалла микросхемы. Существуют также многопозиционные фотошtamпы с многолинзовыми объективами, дающие одновременно большое число изображений, что ускоряет процесс. С эталонного шаблона методом контактной печати изготавливают рабочие шаблоны, которые и используют в процессе фотолитографии. При илложении шаблона на полупроводниковые пластины его поверхность повреждается и шаблон изнашивается. После 50...100 илложений рабочий шаблон заменяется новым.

Описанный процесс получения фотошаблонов — многоступенчатый. На каждой ступени происходит накопление дефектов в рисунке. Поэтому при производстве БИС и СБИС, характеризующихся очень малыми размерами элементов рисунка и высокой требуемой точностью его воспроизведения, число ступеней процесса изготовления фотошаблонов должно быть минимальным. Для этого оригинал выполняется с небольшим масштабом увеличения (обычно 10:1), размеры элементов рисунка на нем составляют десятки и даже единицы микрометров. Используются прецизионные оптико-механические установки — *генераторы*

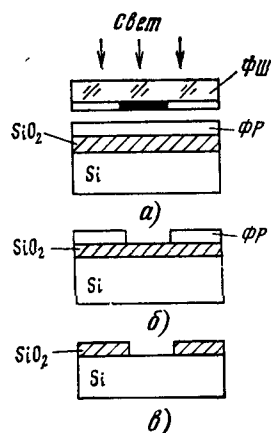


Рис. 2.19

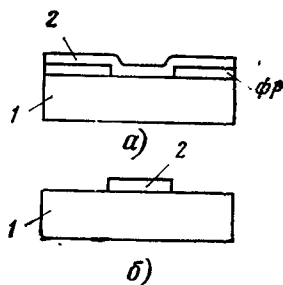


Рис. 2.20

изображения, в основе работы которых лежит принцип фотонабора. Топологическая структура рисунка разделяется на элементарные прямоугольники с различными отношениями сторон и определенной ориентацией по углу. По заданной программе очередной элемент формируется подвижными шторками диафрагмы и разворачивается на требуемый угол, а двухкоординатный стол со светочувствительной пластиной устанавливается в положение, соответствующее координатам элемента; производится экспонирование. Затем с помощью фотоповторителя изготавливается эталонный фотошаблон, с которого снимаются рабочие копии.

Дальнейшее сокращение числа ступеней создания фотошаблонов (до одной) и повышение точности воспроизведения рисунка достигается при *проекционной фотолитографии с пошаговым экспонированием*. Фотошаблон (который является и оригиналом) изготавливается на генераторе изображений. Последующее уменьшение и мультипликация изображения осуществляется на полупроводниковых пластинах, покрытых фоторезистом. Таким образом, фотоповторитель применяется непосредственно в процессе фотолитографии. К недостаткам такого процесса относится невысокая производительность.

Разрешающая способность. Важнейшим параметром фотолитографии является разрешающая способность. Ее оценивают максимальным числом *линий* — раздельно воспроизводимых параллельных полосковых отверстий в маске в пределах 1 мм: $R = 1000/(2\Delta)$, где Δ — минимальная ширина линии, мкм. На практике разрешающую способность часто характеризуют значением Δ [17]. Оно определяет минимальные размеры областей в кристалле или слое на его поверхности и расстояние между ними — так называемые *топологические размеры*. Принципиальным физическим фактором, ограничивающим Δ , является дифракция света, не позволяющая получать Δ меньше длины волны ($\lambda \approx 0,5$ мкм для видимого света). На практике Δ может быть значительно больше λ по ряду причин, например из-за рассеяния света в фоторезисте при экспонировании, набухания фоторезиста при проявлении и его последующей усадки при высушивании, несоответствия размеров отверстий в фоторезистивной и основной масках. Для уменьшения несоответствия необходимо применять сухое анизотропное травление (см. рис. 2.12).

Наилучшую разрешающую способность обеспечивает проекционная фотолитография с шаговым экспонированием ($\Delta = 1$ мкм при $\lambda = 0,4$ мкм). В безлинзовых системах, где проецирование и фокусировка осуществляются с помощью вогнутых зеркал, применяется экспонирование в ультрафиолетовом свете и достигается разрешающая способность 0,5 мкм.

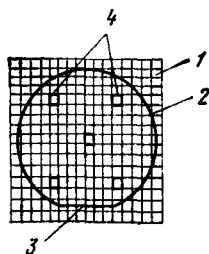


Рис. 2.21

При многократной фотолитографии существенна точность совмещения фотошаблона с пластиной. При первой фотолитографии фотошаблон 1 (рис. 2.21) необходимо ориентировать относительно пластины 2 так, чтобы границы ячеек, соответствующие одной микросхеме, были перпендикулярны или параллельны базовому срезу 3 пластины. В дальнейшем это облегчает разламывание пластины на кристаллы. При последующих фотолитографиях, когда пластина уже содержит некоторые

слои, необходимо точно ориентировать рисунок фотошаблона относительно рисунка на пластине.

Пусть, например, требуется сформировать структуру, показанную на рис. 2.22. Для этого необходимы две фотолитографии: одна определяет границы p -слоя 1, а другая — границы контактного отверстия 2 на топологическом рисунке. Если при второй фотолитографии рисунок шаблона точно совмещен с рисунком области 1 на пластине, то взаимное расположение областей будет таким, как на рис. 2.22, б. При плохом совмещении (рис. 2.22, в) область 2 может выйти за границы области 1 и структура будет неработоспособна, так как получится контакт и к p -области, и подложке. Чтобы этого не произошло, расстояние между краями областей 1 и 2 должно быть не менее допуска на совмещение δ ($L_{12} > \delta$). Таким образом, точность совмещения δ , как и разрешающая способность Δ , определяет минимальные размеры элементов. В нашем примере минимальный размер контактного отверстия 2 равен Δ , а размер p -области 1 $L = \Delta + 2\delta$.

Для совмещения на каждом фотошаблоне предусматривают специальные знаки, например кресты, квадраты (см. рис. 2.21, позиция 4). При наложении фотошаблона их совмещают с аналогичными знаками, оставшимися на пластине от предыдущей фотолитографии. Точность визуального совмещения ограничена дифракцией, поэтому δ — величина того же порядка, что и минимальная ширина линии Δ . Автоматические методы совмещения основаны на интерференции лучей, отраженных от знаков совмещения на пластине и шаблоне, и регистрации их специальными детекторами, управляющими перемещением пластины или шаблона. При этом возможно $\delta \leq \lambda$ и $\delta \ll \Delta$.

Перспективные методы литографии. Литография с разрешающей способностью $\Delta \ll 1$ мкм (субмикронная), необходимая для СБИС, основывается на применении излучений с меньшей длиной волны.

Рентгеновская литография использует мягкое рентгеновское излучение с длиной волны около 1 нм. Так как фокусирующих систем для него не существует, то литография является контактной. Шаблон представляет собой тонкую (около 5 мкм) мембрану, прозрачную для рентгеновских лучей (из органического материала или кремния), на которую нанесен тонкопленочный непрозрачный рисунок (например, пленка золота толщиной 0,5 мкм), выполненный в масштабе 1:1. Для изготовления шаблона применяется электронно-лучевая литография (см. ниже). Пластины покрывают слоем резиста, чувствительного к рентгеновскому излучению. Во избежание повреждения поверхностей пластины и шаблона при экспонировании между ними оставляют зазор толщиной около 10 мкм.

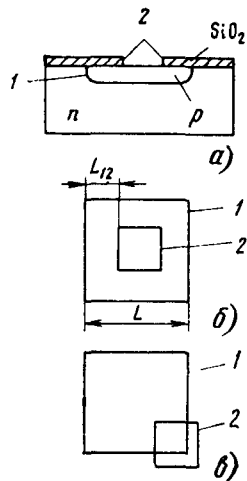


Рис. 2.22

Наиболее простой способ получения рентгеновского излучения — бомбардировка металлического (например, алюминиевого) анода 1 пучком электронов 2 с энергиями 10 ... 20 кэВ, создаваемым электронной пушкой 3. Вакуумная камера 4 имеет бериллиевое окно 5, прозрачное для излучения. Шаблон 6 и пластина 7 помещаются вне камеры. Из-за малой длины волны дифракция практически не ограничивает разрешающую способность. Она определяется непараллельностью (расходимостью) лучей, вследствие чего размер и положение засвеченной области в слое резиста не вполне соответствуют отверстию в маске.

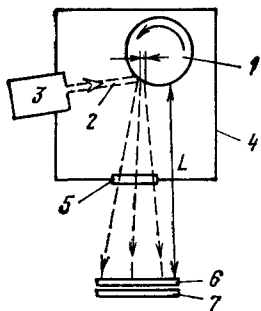


Рис. 2.23

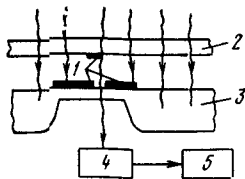


Рис. 2.24

Разрешающая способность повышается при удалении источника от пластин, но одновременно уменьшается интенсивность излучения у их поверхности и возрастает время экспонирования. Поэтому для достижения достаточно малого времени экспонирования (например, около часа) необходима большая мощность электронного пучка (десятки киловатт при L порядка 1 м). Во избежание расплавления анод вращают (что создает вибрации, ухудшающие разрешающую способность) и применяют водяное охлаждение. Таким способом получают $\Delta \approx \approx 0,1$ мкм, хотя принципиально эта величина может быть значительно меньше.

Большой мощностью и малой расходимостью обладает *синхротронное излучение*, получаемое в циклических ускорителях электронов — *накопительных кольцах*. При достижении релятивистских скоростей электроны длительное время движутся по круговым траекториям в магнитном поле. Излучение возникает в результате искривления траекторий электронов и появления центростремительного ускорения. Излучение имеет малую расходимоть, а его мощность даже на больших (до 40 м) расстояниях от источника гораздо больше, чем для рентгеновской трубки. В данном случае достигается разрешающая способность 0,01 ... 0,05 мкм. Время экспонирования сокращается до нескольких секунд по сравнению с несколькими часами при использовании обычных рентгеновских установок.

Для автоматического совмещения шаблона с пластиной с точностью до 0,1 мкм используют непрозрачные знаки совмещения 1 на шаблоне 2 и пластине 3 (рис. 2.24). При отсутствии совмещения детектор 4

преобразует проходящее излучение и дает сигнал на устройство перемещения пластин 5. Грубое первоначальное совмещение осуществляется визуально под микроскопом.

Электронно-лучевая литография использует облучение резиста (*электронорезиста*) потоком электронов. Она может быть *проекционной* и *сканирующей*.

В проекционной литографии применяется маска (аналог фотошаблона), представляющая собой металлическую фольгу с отверстиями, соответствующими рисунку одной микросхемы, выполненному в увеличенном масштабе (10:1) методами фотолитографии. Маска облучается параллельным пучком электронов. Посредством фокусирующей системы уменьшенное электронно-оптическое изображение маски проецируется на пластину. В другом варианте тонкопленочная маска наносится на поверхность плоского фотокатода, при освещении которого происходит эмиссия электронов с открытых мест фотокатода.

Совмещение изображения с пластиной осуществляется автоматически путем регистрации вторичных электронов или рентгеновского излучения, испускаемых металлическими тонкопленочными метками совмещения на пластине.

Хотя длина волны электронов с типичными энергиями 10 ... 20 кэВ ничтожно мала (менее 0,1 нм), получаемая разрешающая способность не лучше 0,2 ... 0,3 мкм. Она ограничена точностью выполнения маски, искажениями (абберациями) электронно-оптических систем, взаимодействием электронов в пучке, не позволяющим формировать пучки малого диаметра, а также сильным рассеянием электронов в слое резиста.

В сканирующей электронно-лучевой литографии шаблон отсутствует, а экспонирование осуществляется перемещением по поверхности пластины остросфокусированного электронного луча, включающегося и выключающегося по заданной программе. Установка содержит системы формирования и отклонения луча, генерирования рисунка и управления с помощью ЭВМ.

Осуществить одинаково хорошую фокусировку луча для всей поверхности пластины большого диаметра невозможно. Поэтому применяют пошаговое экспонирование, когда электронный луч по очереди вычерчивает рисунки отдельных схем на пластине. После экспонирования очередного участка (кадра) рабочий стол с пластиной перемещается, производится автоматическое совмещение начального положения луча с пластиной и экспонирование следующего кадра. Совмещение осуществляется с точностью не хуже 0,1 мкм путем регистрации вторичных электронов, испускаемых металлическими метками совмещения на пластине при попадании на них электронного луча. Возможны два способа сканирования: *растровый* и *векторный*. При растровом способе луч проходит построчно все поле кадра, включаясь и выключаясь в нужные моменты времени (рис. 2.25, а). Луч имеет круглое сечение с гауссовским распределением плотности тока, его диаметр должен быть не более одной четверти минимальной ширины экспонированной

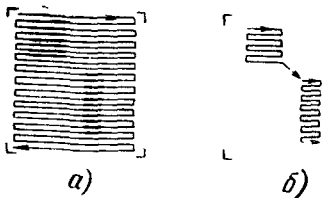


Рис. 2.25

области на пластине. При векторном способе луч сканирует только отдельные участки кадра, где нужно произвести экспонирование, выключаясь при переходе от одного участка к другому (рис. 2.25, б). Луч имеет квадратное сечение с приблизительно равномерным распределением плотности тока, а его размер соответствует минимальной ширине экспонированной области. Векторное сканирование технически сложнее, чем растровое, но обеспечивает меньшее время экспонирования и большие производительность и разрешающую способность. Оно удобнее для получения областей с прямоугольными границами.

Разрешающая способность $\Delta = 0,1 \dots 0,2$ мкм ограничена минимальным диаметром луча, определяемым кулоновским взаимодействием между электронами, а также рассеянием электронов в слое резиста. Малый диаметр луча может быть получен лишь при малом токе, а это увеличивает время экспонирования и снижает производительность (например, время экспонирования одной пластины диаметром 10 см более 500 мин). Сложность и низкая производительность установок ограничивают область применения сканирующей литографии. Она используется главным образом для изготовления рентгеношаблонов.

Ионно-лучевая литография использует облучение резиста потоком ионов и может быть проекционной и сканирующей. Чувствительность резистов к ионному облучению много выше, чем к электронному, что увеличивает производительность сканирующих систем. Из-за большой чувствительности допустимы пучки с малыми токами и соответственно малым диаметром (до 0,01 мкм), что повышает разрешающую способность. Она улучшается также вследствие меньшего рассеяния ионов в слое резиста и может быть доведена до 0,01 мкм. Ионно-лучевые системы находятся в стадии разработки. С помощью сканирующей ионно-лучевой литографии можно создавать маску в слое SiO_2 или рисунок тонких металлических слоев не только без шаблона, но и без слоя резиста, используя ионное травление. Системы ионно-лучевой литографии технологически совместимы с установками ионного легирования. В перспективе легирование остросфокусированным сканирующим ионным пучком позволит оказаться от масок и резистов.

Ионно-лучевая литография использует облучение резиста потоком ионов и может быть проекционной и сканирующей. Чувствительность резистов к ионному облучению много выше, чем к электронному, что увеличивает производительность сканирующих систем. Из-за большой чувствительности допустимы пучки с малыми токами и соответственно малым диаметром (до 0,01 мкм), что повышает разрешающую способность. Она улучшается также вследствие меньшего рассеяния ионов в слое резиста и может быть доведена до 0,01 мкм. Ионно-лучевые системы находятся в стадии разработки. С помощью сканирующей ионно-лучевой литографии можно создавать маску в слое SiO_2 или рисунок тонких металлических слоев не только без шаблона, но и без слоя резиста, используя ионное травление. Системы ионно-лучевой литографии технологически совместимы с установками ионного легирования. В перспективе легирование остросфокусированным сканирующим ионным пучком позволит оказаться от масок и резистов.

2.11. СБОРКА ПОЛУПРОВОДНИКОВЫХ МИКРОСХЕМ

Для разделения пластины на кристаллы производят *скрайбирование* — нанесение сетки взаимно перпендикулярных рисок глубиной 10...15 мкм тонким алмазным резцом. Затем пластины раскалывают, помещая их на мягкую резиновую подкладку и прокатывая под небольшим давлением резиновые валики в направлении рисок. Из-за повреждения поверхности и нежелательных сколов на этом этапе неизбежно возникает брак, увеличивающийся с ростом толщины пласт-

тин. Чем больше диаметр пластин, тем больше их толщина, необходимая для обеспечения механической прочности. Поскольку СВИС выполняются на пластинах большого диаметра, то процент бракованных СВИС при механическом скрайбировании и раскальвании особенно велик. Для СВИС более пригодны немеханические способы разделения. Одним из них является скрайбирование с помощью лазерного луча, позволяющее делать глубокие риски (100...200 мкм), а при многократном проходе — полностью разделять пластины на кристаллы без раскальвания. Другим способом является сквозное анизотропное травление пластин. Немеханические методы обеспечивают значительно меньший брак и лучше поддаются автоматизации.

Далее кристаллы устанавливают в корпуса. Существует большое число типов корпусов, различающихся применяемыми материалами, способами герметизации, конструкцией выводов. Показателями надежности и стоимости. По применяемым материалам корпуса

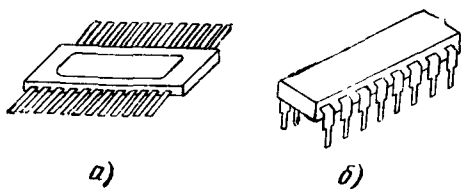


Рис. 2.26

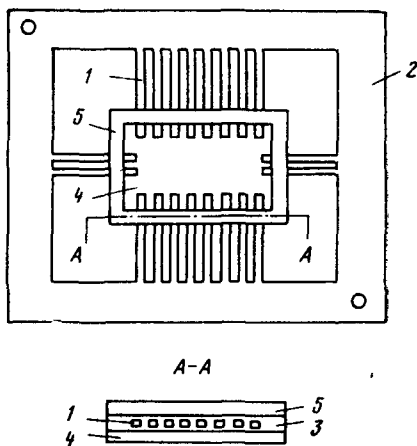


Рис. 2.27

подразделяются на металлокерамические, керамические, металлостеклянные, стеклянные, металлополимерные, пластмассовые и полимерные (приведены в порядке снижения надежности и стоимости). Большинство корпусов имеет двухрядное расположение выводов. Выводы могут располагаться в плоскости корпуса — планарные (рис. 2.26, а) либо перпендикулярно плоскости корпуса (рис. 2.26, б). Число выводов и конструктивные данные корпусов установлены ГОСТ 17467—79.

Рассмотрим в качестве примера металлокерамический корпус с планарными выводами. Открытый корпус перед установкой кристалла показан на рис. 2.27. Первоначально выводы 1 скреплены технологической рамкой 2, которая впоследствии обрезается. С помощью слоя стекла 3 они впаяны между керамическим основанием 4 и металлической рамкой 5, предназначенной для припайки металлической крышки. Стекло обеспечивает герметичный спай с основанием 4, выводами 1 и рамкой 5. Кристалл прикрепляется к основанию пайкой легкоплавким стеклом. После этого тонкими золотыми проволочками (20 50 мкм) соединяют контактные площадки кристалла и выводы корпуса методом сварки под давлением, например термокомпрессией. Это наиболее сложная операция, и при большом числе выводов велик процент бракованных микросхем. Кроме того, скрытые дефекты снижают их надежность. Неточности установки проволоки на контактную площадку кристалла приводит к замыканию элементов схемы, пережим проволоки — к ее обрыву в процессе эксплуатации микросхемы, недостаточное давление — к плохому контакту и возможному отрыву. По окончании монтажа выводов герметизируют корпус, припаявая металлическую крышку в атмосфере нейтрального газа (азота). Иногда с целью дополнительной защиты перед герметизацией кристалл покрывают специальным защитным слоем (эпоксид и др.).

С ростом степени интеграции требуются корпуса со все большим числом выводов (более 100). Размеры корпусов с двухрядным расположением выводов становятся недопустимо большими. Совершенствование корпусов БИС идет в направлении уменьшения шага выводов. Кроме этого разрабатываются корпуса с матрицами выводов, расположенных перпендикулярно плоскости корпуса.

2.12. ТЕХНОЛОГИЯ ГИБРИДНЫХ МИКРОСХЕМ

Общие сведения. Создание микросхем начинается с подготовки подложек. Применяют диэлектрические подложки квадратной или прямоугольной формы размерами до 10 см и толщиной 0,5 ... 1 мм. Они должны удовлетворять ряду требований: иметь высокую механическую прочность, хорошую теплопроводность, быть термостойкими, химически инертными к осаждаемым веществам, иметь хорошую адгезию к ним.

Для *тонкопленочных микросхем* важны гладкая поверхность (такая же, как у полупроводниковых микросхем) и отсутствие газовыделения в вакууме. Необходимо, чтобы диэлектрические потери в подложках высокочастотных и СВЧ-микросхем были малы, а диэлектрическая проницаемость слабо зависела от температуры. Основным материалом подложек тонкопленочных микросхем является *ситалл* — кристаллическая разновидность стекла (обычное стекло аморфно, имеет плохую теплопроводность). Применяется также *алюмооксидная керамика* — смесь окислов в стекловидной и кристаллической фазах (основные компоненты Al_2O_3 и SiO_2). Перед нанесением тонких пленок поверхность подложек должна быть тщательно очищена.

Для *толстопленочных микросхем* используют керамические подложки с относительно шероховатой поверхностью (высота неровностей порядка 1 мкм). Подложка должна обладать повышенной теплопроводностью, так как толстопленочная технология характерна для мощных гибридных микросхем. Поэтому применяют высокоглиноземистые (96 % Al_2O_3) и бериллиевые (99,5 % BeO) керамики.

Технологический цикл гибридных микросхем так же, как и полупроводниковых, можно разделить на два этапа. Первый включает процессы формирования на подложках пассивных пленочных элементов и проводников соединений. В тонкопленочных микросхемах для этой цели применяют операции нанесения тонких пленок (см. § 2.7). Рисунок формируется непосредственно в процессе нанесения пленок с помощью накладных трафаретов либо в процессе фотолитографии (см. § 2.10). В толстопленочных микросхемах пассивные элементы создаются методом трафаретной печати, описанным ниже. Основными достоинствами толстопленочной технологии являются простота, высокая производительность и малая стоимость, однако размеры элементов получаются значительно больше, а их плотность — существенно ниже, чем в тонкопленочной. В конце первого этапа на подложках формируют матрицу одинаковых структур, каждая из которых соответствует одной микросхеме, т. е. пассивные части микросхем создаются групповыми методами. Последовательность операций первого этапа

определяется конкретной структурой гибридной микросхемы (тонко- или толстопленочная, набор пассивных элементов и др.).

Второй этап — контрольно-сборочный, начинается с контроля пассивных элементов на подложках. Достаточно большие размеры элементов позволяют осуществлять подгонку их параметров, например, с помощью лазера. В толстопленочных микросхемах подгонка обязательна во всех случаях, так как точность воспроизведения параметров элементов мала. Далее производят разрезание подложек, установку их в корпуса, монтаж дискретных компонентов, соединение контактных площадок подложек с выводами корпуса, герметизацию корпуса, контроль и испытания. Контрольно-сборочные операции индивидуальны для каждой микросхемы и в основном (на 70 ... 80 %) определяют трудоемкость изготовления и стоимость.

Формирование пассивных элементов тонкопленочных гибридных микросхем. Наиболее производительно и экономично формирование рисунка пленочных элементов с помощью накладного металлического трафарета. Он представляет собой пластину толщиной 100 мкм из бериллиевой бронзы, покрытую тонким (10 ... 20 мкм) слоем никеля. Методом фотолитографии в нем формируют отверстия с требуемым рисунком, через которые осуществляют сквозное травление бронзы. Минимальный размер отверстий трафарета порядка 100 мкм, точность воспроизведения невысока (около 20 мкм). Трафарет рассчитан на многократное использование (до 100 циклов).

Для получения сложного рисунка резисторов и проводников с высокой точностью воспроизведения размеров (до нескольких микрометров) применяется фотолитография. На подложку последовательно наносят сплошные резистивную и проводящую пленки. С помощью первой фотолитографии и последующего травления проводящего слоя получают проводники соединений и контакты с резистивным подслоем. С помощью второй фотолитографии травят резистивную пленку и формируют рисунок резисторов. Травитель, действующий на резистивный слой, не взаимодействует с проводящим и наоборот. При комбинированном методе наносят сплошную резистивную пленку, а на нее через трафарет — проводники соединений и контактные площадки. Затем с помощью фотолитографии формируют рисунок резисторов. Таким образом, при фотолитографическом и комбинированном методах под проводящим рисунком остается резистивный подслой. Он обеспечивает прочность сцепления проводников и контактов с подложкой.

Если резистивная пленка плохо поддается травлению, то применяют обратную («взрывную») фотолитографию (см. § 2.10). На подложку наносят пленку легко травящегося металла (Al, Cu и др.) и на нем формируют фоторезистивную маску, соответствующую негативному изображению будущего рисунка резисторов. После травления металла и удаления фоторезиста получают контактную маску, на которую наносят резистивную пленку. После травления материала маски эта пленка отслаивается (см. рис. 2.21, где в данном случае ΦP — контактная маска, 2 — резистивная пленка).

Для получения конденсаторов фотолитография не используется из-за загрязнения диэлектрических пленок травителем и ухудшения их параметров. Так как пленочные конденсаторы большой емкости занимают на подложке большую площадь, то вместо них часто применяют дискретные миниатюрные конденсаторы.

Приведем типичную последовательность получения слоев пассивной части гибридных микросхем: напыление сплошной резистивной пленки, напыление сплошной проводящей пленки, фотолитография по проводящему слою, фотолитография по резистивному слою, последовательное напыление нижних обкладок, диэлектриков и верхних обкладок конденсаторов через трафареты, нанесение защитного слоя через трафарет (открытыми остаются лишь контактные площадки). В зависимости от конструктивных особенностей пассивной части микросхемы может быть и другая последовательность. В случае простого рисунка резисторов и проводников все слои наносятся через трафареты. Если микросхема не содержит пленочных конденсаторов, то процесс значительно упрощается — число наносимых слоев уменьшается в 2 раза.

Материалы, используемые для формирования контактов и соединений, должны иметь высокие удельную проводимость и адгезию к подложке, коррозионную стойкость и обеспечивать возможность сварки или пайки выводов. Всем этим требованиям трудно удовлетворить, используя один металл. Обычно применяют трехслойные системы, состоящие из тонкого подслоя, обеспечивающего адгезию к подложке (хром или никром толщиной 10 ... 100 нм), основного токонесущего слоя (медь толщиной 400 ... 1000 нм) и защитного покрытия, предохраняющего токонесущий слой от коррозии (золото толщиной 5060 нм, серебро — 80 ... 100 нм или никель — 80 ...120 нм). Такие проводники имеют сопротивление слоя 0,02 ...0,04 Ом/□.

Материалы, используемые для получения резисторов и конденсаторов, и параметры соответствующих пленок рассмотрены в гл. 6. Сопротивление резистивных пленок можно контролировать в процессе напыления, измеряя сопротивление тестового элемента. Таким способом удастся получить технологический разброс сопротивлений не более 5 %. Толщину пленок можно контролировать косвенно, измеряя резонансную частоту кристалла кварца, помещенного рядом с подложкой. Частота изменяется в зависимости от толщины осажденной на кристалл пленки. Электрические параметры элементов после их создания измеряют зондовым методом. В необходимых случаях осуществляют подгонку параметров элементов. Групповая подгонка делается стравливанием или окислением резистивных слоев, после чего их толщина уменьшается, а сопротивление возрастает. При индивидуальной подгонке сопротивлений и емкостей с высокой точностью удаляют часть пленки с помощью лазера. В результате можно воспроизвести сопротивление резистора с точностью до десятых долей процента.

Формирование пассивных элементов и проводников в толстопленочных гибридных микросхемах. Толстые (десятки микрометров) пленки

получают нанесением на подложку специальных паст через накладные трафареты при последующей термообработке (высушивании и вжигании), обеспечивающей необходимые электрические параметры пленок и их адгезию к подложке. Пасты содержат три основные составляющие: функциональную, конструкционную и технологическую.

Функциональная составляющая — это частицы неорганических веществ (металлов, оксидов металлов и др.), определяющих свойства будущих пленок (проводящих, резистивных, диэлектрических). В процессе вжигания эти частицы остаются в твердой фазе и равномерно распределяются по объему слоя. Конструкционная составляющая — частицы стекла, температура плавления которого ниже температуры вжигания. В процессе вжигания расплавленное стекло смачивает частицы функциональной составляющей, образуя однородную суспензию, а после охлаждения и затвердения получается пленка, прочно сцепленная с подложкой. Технологическая составляющая играет роль временной связки, смачивающей твердые частицы и придающей пасте пластичность. Эта составляющая содержит органические вещества (ланолин, канифоль и др.), в которые добавляется растворитель. Растворитель впоследствии испаряется в процессе сушки, а основное вещество разлагается или сгорает при вжигании и полностью удаляется из пленки.

Для получения проводящих пленок (соединений, обкладок конденсаторов, контактных площадок) используют пасты, содержащие в качестве функциональной составляющей порошки хорошо проводящих металлов (размеры частиц — единицы микрометров). Соотношение содержания металлического порошка и стекла в пасте примерно 9:1. Широко распространены пасты на основе смеси порошков серебра и палладия: сопротивление проводящей пленки толщиной 1025 мкм не более 0,05 Ом/□. В некоторых случаях (например, при повышенных требованиях к надежности и стабильности параметров) используют золотые пасты. Для контактных площадок применяют дополнительное покрытие припойными (лудящими) пастами, не подлежащими вжиганию и упрощающими процесс последующей пайки выводов. С целью снижения стоимости микросхем стремятся использовать пасты на основе благородных металлов (Cu, Al, Ni). Однако пленки на основе Al и Ni невозможно паять, что затрудняет монтаж дискретных элементов и выводов. Во избежание окисления пленки, содержащие Cu, надо вжигать в атмосфере нейтрального газа (Ar), что усложняет технологический процесс.

При многослойной системе проводников для межслойной изоляции применяют диэлектрические пасты. Получаемые пленки должны иметь малую диэлектрическую проницаемость для снижения паразитных емкостей. Пасты изготавливают на основе стекол, которые являются одновременно функциональной и конструкционной составляющими. При толщине пленки до 70 мкм обеспечивается паразитная емкость около 100 пФ/см². Эти же пасты применяют для получения защитных покрытий.

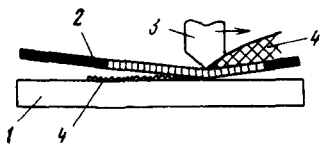


Рис. 2.28

Резистивные пасты включают в себя в качестве функциональной составляющей частицы металла и оксида металла (например, Pd и Ag_2O), а диэлектрические пасты для конденсаторов — порошок с высокой диэлектрической проницаемостью (например, сегнетозлектрик).

Пасты наносят на подложку через трафареты. Наиболее широко распространены трафареты, основной конструкции которых служит сетка из тонкой (30 ... 40 мкм) проволоки из нержавеющей стали с размером ячеек порядка 100 мкм. На сетку нанесена пленочная маска (например, фоторезистивная), полученная с помощью фотолитографии и задающая требуемый рисунок. Минимальные размеры формируемых элементов (разрешающая способность) — сотни микрометров, что существенно больше, чем в тонкопленочной технологии, поэтому плотность элементов невысока. Трафарет выдерживает 400 ... 2000 циклов печати, после чего заменяется.

Трафаретная печать производится следующим образом. Рамка с трафаретом заполняется пастой и устанавливается над подложкой 1 (рис. 2.28). На сетку 2 опускается специальный нож-ракель 3, который, перемещаясь, продавливает пасту 4 через трафарет. Затем производят сушку при температуре 120 ... 400 °С в течение 20 ... 80 мин, в процессе которой испаряется растворитель технологической связки. Далее выполняют вжигание в течение 1... 2 ч, постепенно повышая температуру до 600 ... 800 °С. На первом этапе (до 300 ... 400 °С) скорость подъема температуры невысокая (около 20 °С/мин) — постепенно выгорает технологическая связка. На втором этапе расплавляется стеклянная связка, образующая суспензию частиц функциональной фазы и смачивающая поверхность подложки; скорость подъема температуры увеличивают (50 ... 60 °С/мин). На третьем этапе при максимальной температуре происходят физико-химические процессы взаимодействия стекла с поверхностным слоем подложки, обеспечивающие высокую адгезию пленки к подложке. Скорость изменения температуры должна выдерживаться с точностью ± 2 °С/мин, а максимальная температура — с точностью ± 1 °С. Охлаждают подложки постепенно во избежание растрескивания пленок из-за отличия их ТКР от ТКР подложек.

Пассивные элементы имеют большой разброс электрических параметров (около 30 %). Это объясняется невысокой точностью воспроизведения топологических размеров при трафаретной печати, неконтролируемостью толщины пленок, а также физико-химических процессов при вжигании. В большинстве случаев необходима индивидуальная подгонка резисторов и конденсаторов, например, лазерным методом, производимая автоматизированными установками по заданной программе.

В качестве примера приведем типовую последовательность создания слоев пассивной части толстопленочной гибридной микросхемы: печать, сушка и вжигание проводников и нижних обкладок конденсаторов; печать и сушка диэлектрика; печать и сушка верхних обкладок конденсаторов; совместное вжигание диэлектрика и верхних обкладок; печать, сушка и вжигание резисторов; подгонка параметров элементов; нанесение защитного покрытия и облуживание контактных площадок.

Многослойные соединения в гибридных БИС. Гибридные БИС создают на основе бескорпусных полупроводниковых микросхем, являющихся их компонентами с транзисторами и диодами. Поскольку соединения между элементами и компонентами усложняются, они могут быть выполнены только с помощью нескольких слоев (от двух до шести). Поэтому основу гибридных БИС составляет пленочная *многослойная коммутационная плата*, сформированная на диэлектрической подложке и содержащая систему многоуровневой разводки проводников, а в отдельных случаях — пленочные резисторы и конденсаторы.

Коммутационные платы, содержащие не более 2...3 слоев проводников, изготавливают методами тонко-толстопленочной или комбинированной (их сочетанием) технологии. Тонкопленочная технология позволяет получать большую плотность проводников и более сложный их рисунок. Однако из-за малой толщины межслойной изоляции велики паразитные емкостные связи между проводниками, а малая толщина проводников ограничивает максимально допустимые токи. Кроме того, довольно большое сопротивление проводников ограничивает их допустимую длину, т. е. размеры подложки и число кристаллов полупроводниковых микросхем, которые можно на ней разместить. Толстопленочная технология свободна от этих недостатков, но имеет гораздо меньшую плотность размещения проводников. Комбинированная технология позволяет достичь компромисса. Для получения высокой плотности большую часть проводников, через которые протекают малые токи, выполняют в виде тонких пленок, а проводники, предназначенные для больших токов (например, шины питания), делают толстопленочными. Возможно также создание проводников верхнего слоя методом электролитического осаждения.

Для получения коммутационных плат с большим числом слоев (до шести) применяют технологию на основе *многослойной керамики*. Отдельно изготавливают диэлектрические пластины с толстопленочными проводниками и изоляционные пластины с переходными отверстиями, а затем собирают их в пакет и спекают. Распространена также технология на основе *полиимидной пленки*. При этом достигается трехуровневая разводка тонкопленочных проводников. Первый уровень формируют на ситалловой подложке, второй и третий — с помощью фотолитографии с обеих сторон полиимидной пленки. Для коммутации между ними в пленке предварительно создают металлизированные отверстия. Затем полиимидную пленку с помощью жестких балочных выводов монтируют на подложку, чем достигается коммутация между первым и вторым слоями проводников.

Монтаж дискретных компонентов и установка в корпус. Кристаллы бескорпусных дискретных компонентов, применяемых в гибридных микросхемах, могут иметь разную конструкцию выводов. Кристаллы с *проволочными выводами*, залитые каплей эпоксидной смолы, приклеиваются к подложке, а выводы соединяются с контактными площадками методом термокомпрессии. Такой способ монтажа очень трудоемок, так как не допускает группового соединения выводов кристаллов с контактными площадками. Он плохо поддается автоматизации и при большом числе кристаллов в гибридных микросхемах ведет к большому проценту брака.

В кристаллах с шариковыми выводами на контактных площадках создают выступы («шарики») диаметром 50 ... 100 мкм из золота, меди и других материалов. Кристалл 1 (рис. 2.29, а) устанавливается выступами 2 на контактные площадки 3 лицевой стороной к подложке 4 (монтаж методом «перевернутого» кристалла), после чего производится пайка или термокомпрессия сразу всех выводов. Одновременно происходит и механическое закрепление кристалла. Такой способ лучше поддается автоматизации и уменьшает площадь, занимаемую одним компонентом на подложке. Однако возникают две проблемы: обеспечение точного совмещения перевернутого кристалла с подложкой (контактные выступы кристалла и контактные площадки подложки не видны) и надежного контакта со всеми выступами, высота которых не может быть абсолютно одинаковой. Поэтому шариковые выводы целесообразно применять в кристаллах диодов и транзисторов, но не полупроводниковых микросхем.

В кристаллах с балочными выводами до разделения пластин методом электрохимического осаждения золота получают короткие прямые (жесткие) выводы толщиной 10 ... 15 мкм, выступающие за край кристалла на 100 ... 150 мкм. Для разделения на кристаллы пластины приклеивают лицевой стороной к стеклу, сошлифовывают их до толщины примерно 50 мкм и с помощью фотолитографии выполняют сквозное травление, причем травитель не действует на выводы. Затем отделяют кристаллы от стекла. Кристаллы 1 (рис. 2.29, б) ставят на подложку лицевой стороной вниз, совмещают балочные выводы 2 с контактными площадками 3 подложки и осуществляют термокомпрессию выводов групповым методом. Такой метод монтажа может быть применен и в полупроводниковых (однокристалльных) микросхемах: на основании корпуса до установки кристалла должны быть сформированы тонкопленочные контактные площадки, соединенные с выводами корпуса. Существенным недостатком процесса получения кристаллов с балочными выводами является большое расстояние между соседними рядами микросхем на подложках, которое превышает удвоенную длину балочных выводов (приблизительно 500 мкм). Ограниченная длина выводов затрудняет монтаж.

Сборка гибридных микросхем с ленточными носителями кристаллов. Этот более совершенный метод монтажа применяется как для гибридных, так и полупроводниковых микросхем с высокой и сверхвысокой степенями интеграции [17]. Ленточные носители представляют собой систему плоских выводов из металлической фольги (Al толщиной

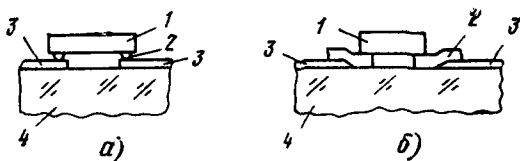


Рис. 2.29

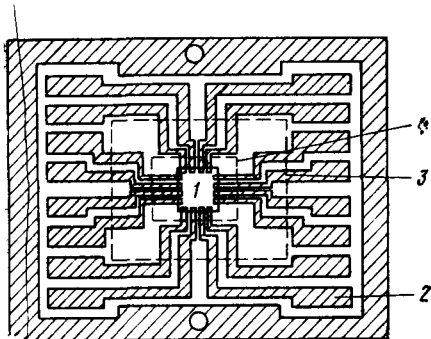


Рис. 2.30

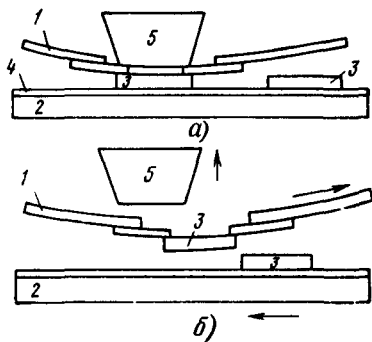


Рис. 2.31

40 ... 60 мкм), нанесенных на диэлектрический подслои из пленки полиимида. На ленте содержится последовательность идентичных структур (кадров), каждый из которых предназначен для установки одного кристалла. После присоединения внутренних концов выводов к контактным площадкам кристалла ленту разрезают на отдельные кадры, устанавливают их на подложке (в корпуса в случае полупроводниковых микросхем) и соединяют внешние концы выводов с выводами или контактными площадками подложки (основания корпуса). Рисунок выводов на ленточном носителе выполняется методом фотолитографии. На рис. 2.30 показана структура одного кадра носителя с присоединенным к нему кристаллом 1. В пределах кадра можно выделить три контура выводов. Контур 2 имеет широкие контактные площадки, используемые для электрического контроля кристалла и качества его присоединения. После контроля он удаляется. Контур 3 служит для присоединения к внешним выводам корпуса в полупроводниковых микросхемах, а контур 4 — к контактным площадкам подложек гибридных микросхем (при этом контуры 2 и 3 удаляются).

Соединение выводов носителя с контактными площадками кристаллов выполняют на автоматизированных установках при периодической подаче носителя с катушки. Под лентой-носителем 1 (рис. 2.31, а) располагается двухкоординатный стол 2 с ориентированными кристаллами 3, закрепленными адгезивом 4 (например, на основе воска). С помощью фотоэлектронной системы производят совмещение выводов носителя с контактными площадками кристалла (пленка полиимида в этом месте отсутствует) и групповым сварочным инструментом 5 осуществляют термокомпрессию. От нагревания адгезив расплавляется и после отведения сварочного инструмента кристалл отделяется от рабочего стола. Далее ленту-носитель и рабочий стол перемещают на один шаг (рис. 2.31, б) и происходит присоединение следующего кристалла. Автоматизированные системы соединения кристаллов с носителями имеют производительность около 500 кристаллов с 14 выводами в час.

При установке на подложку (или в корпус в случае полупроводниковых микросхем) совмещают выводы ленточного носителя с контактными площадками подложек (выводами корпуса), приклеивают или припаивают кристалл и осуществляют групповую термокомпрессию. Таким образом достигается высокая производительность при малом проценте брака и устранении недостатков, присущих другим методам монтажа, описанным выше.

Контактные площадки подложек гибридных микросхем соединяются с выводами корпуса проволочными проводниками. Для тонкопленочных микросхем эти соединения выполняются термокомпрессией (так же, как для полупроводниковых микросхем), а для толстопленочных — пайкой.

Глава 3. БИПОЛЯРНЫЕ ТРАНЗИСТОРЫ ИНТЕГРАЛЬНЫХ МИКРОСХЕМ

Устройство, принцип действия, электрические характеристики и параметры дискретных биполярных транзисторов описаны в [3]. Биполярные транзисторы микросхем подразделяются на бескорпусные транзисторы (компоненты) гибридных микросхем и интегрированные в общей подложке транзисторы полупроводниковых микросхем. Полупроводниковые структуры бескорпусных транзисторов аналогичны структурам транзисторов того же назначения, заключенным в корпус. Структуры транзисторов полупроводниковых микросхем имеют существенные отличия. Они рассмотрены в данной главе.

По технологическим и ряду других причин, связанных с электрофизическими параметрами полупроводниковых материалов, в микросхемах используют только кремниевые биполярные транзисторы. Наиболее широко применяют *n-p-n* транзисторы, так как вследствие большей подвижности электронов в базе они имеют лучшие электрические параметры — более высокие граничные частоты и быстродействие.

3.1. ОСОБЕННОСТИ СТРУКТУР БИПОЛЯРНЫХ ТРАНЗИСТОРОВ

Главные различия структур биполярных транзисторов полупроводниковых микросхем и дискретных транзисторов заключаются в том, что первые содержат *дополнительные области*, изолирующие их от общей полупроводниковой подложки, и все выводы от областей транзистора располагаются *в одной плоскости на поверхности подложки*. Такая структура называется *планарной*. Она позволяет соединять транзисторы между собой и с другими элементами микросхемы пленочными металлическими проводниками, формируемыми на той же по-

верхности (см. рис. 1.1). Кроме того, к структурам биполярных транзисторов, как и других элементов микросхем, предъявляется специфическое требование — *площадь, занимаемая ими на полупроводниковой подложке, должна быть минимально возможной* для повышения плотности упаковки элементов и степени интеграции. Конструкция и технология изготовления транзисторов должна обеспечивать возможность одновременного создания и других элементов (диодов, резисторов, конденсаторов и т. д.) на основе аналогичных полупроводниковых слоев, используемых при формировании эмиттерной, базовой и коллекторной областей транзистора. В этом состоит важное требование *конструктивно-технологической совместимости* элементов полупроводниковых микросхем.

Конструкции биполярных транзисторов различаются прежде всего *способами их изоляции*. В первых микросхемах наибольшее распространение получили *эпитаксиально-планарные транзисторы с изоляцией p-n переходами*. Структура эпитаксиально-планарного транзистора показана на рис. 3.1, а. Транзистор выполнен на высокоомной подложке 1 p^- -типа с удельным сопротивлением 5 ... 10 Ом·см и толщиной 200 ... 300 мкм в эпитаксиальном слое 2 n -типа (удельное сопротивление 0,5 ... 1 Ом·см, толщина $W_{эп} = 8 \dots 15$ мкм). Локальной диффузией донорных примесей (мышьяка или сурьмы), имеющих малый коэффициент диффузии по сравнению с бором и фосфором, в подложке перед наращиванием эпитаксиального слоя 2 создают *скрытый слой* 3 n^+ -типа с низким удельным сопротивлением. Хотя первоначально скрытый слой формируют в подложке, при дальнейших высокотемпературных операциях (эпитаксии, окислении, диффузии примесей) он расширяется в сторону как подложки, так и эпитаксиального слоя. Чтобы исключить чрезмерное распространение доноров из скрытого слоя в эпитаксиальный, т. е. смыкание скрытого слоя с базовым, для него выбирают донорные примеси с малым коэффициентом диффузии, например мышьяк (см. § 2.3).

Диффузией бора через маску из диоксида кремния (см. § 2.3) на глубину, превышающую толщину эпитаксиального слоя, формируют *изолирующую область* 4 p^+ -типа, окружающую с боковых сторон (рис. 3.1, б — вид сверху) коллекторную область 2 n -типа. Базовую область 5 p -типа получают следующей локальной диффузией бора на

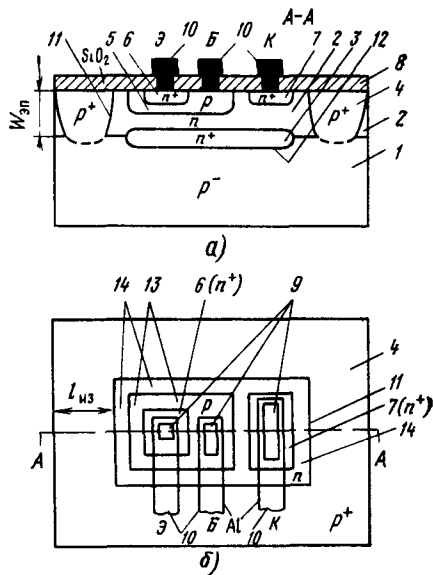


Рис. 3.1

глубину 2 ... 3 мкм (это глубина залегания металлургической границы коллекторного перехода). Удельное поверхностное сопротивление базового слоя 5 (до проведения эмиттерной диффузии) 100 ... 200 Ом/□. На рис. 3.1, б граница базы одновременно является границей коллекторного p - n перехода и определяет его площадь. Последняя локальная диффузия используется для формирования эмиттерной области 6 n^+ -типа и коллекторной контактной области 7. Донорной примесью в этом случае обычно служит фосфор, обладающий повышенным коэффициентом диффузии и повышенной растворимостью в кремнии. Глубина залегания эмиттерного перехода 1,5 ... 2 мкм, удельное поверхностное сопротивление эмиттерного слоя 2... 3 Ом/□.

В пленке диоксида кремния 8 (толщина 0,5 ... 1 мкм), покрывающей поверхность кристалла, создают *контактные отверстия* 9, через которые напылением пленки алюминия формируют контакты к эмиттеру, базе, коллектору и подложке. Одновременно создают внутрисхемные проводники 10, соединяющие элементы микросхемы. Коллекторная контактная область 7 с высокой концентрацией доноров необходима потому, что при напылении пленки алюминия на слаболегированный слой 2 n -типа получается не низкоомный омический, а выпрямляющий контакт (см. § 2.9), что недопустимо.

В эпитаксиально-планарном транзисторе боковые поверхности 11 *изолирующего p - n перехода* являются границей коллекторной области 2 n -типа и изолирующей области 4 p^+ -типа, а нижняя поверхность 12 — границей области 2 и скрытого слоя 3 с подложкой. К подложке в периферийной части кристалла микросхемы создают омический контакт (на рисунке не показан). При использовании микросхемы на этот контакт подают напряжение, при котором изолирующий переход всегда смещен *в обратном направлении*. Поскольку обратный ток изолирующего перехода мал, обеспечивается удовлетворительная изоляция транзистора от подложки и других элементов кристалла микросхемы. Области, окруженные со всех сторон изолирующим переходом, называют *карманами*. В них размещают не только биполярные транзисторы, но и другие элементы микросхемы. Обычно в каждом кармане формируют один элемент, но в некоторых случаях размещают несколько например, биполярных транзисторов, у которых согласно принципиальной электрической схеме соединены коллекторы.

Основное достоинство метода изоляции p - n переходом — простота технологии формирования изолирующих областей p^+ -типа. Для их создания применяют такие же технологические процессы (фотолитографию, диффузию примесей), что и для получения основных областей транзистора — базовой и эмиттерной. Однако изоляция p - n переходом не является совершенной: обратный ток этого перехода резко увеличивается при повышении температуры и под воздействием ионизирующих облучений. Изолирующий переход носит *барьерную емкость*, которая снижает граничную частоту аналоговых микросхем (см. гл. 12) и увеличивает задержку переключения импульсных схем (см. гл. 7). Кроме того, изолирующие области p^+ -типа (рис. 3.1, б) занимают зна-

чительную площадь кристалла (по сравнению с площадью основных областей транзистора), так как их ширина $l_{из}$ должна быть больше удвоенной толщины эпитаксиального слоя $W_{эп}$. Это условие связано с изотропностью процесса диффузии: примеси диффундируют не только в глубь эпитаксиального слоя, но и в боковом направлении — под маску. Отметим также, что в структуре эпитаксиально-планарного транзистора большую часть площади занимают «лишние» с точки зрения его работы пассивные области базы 13 и коллектора 14 , не занятые контактами (см. рис. 3.1, б). По этим причинам на основе эпитаксиально-планарных транзисторов были разработаны и выпускаются промышленно только микросхемы малой и средней степеней интеграции,

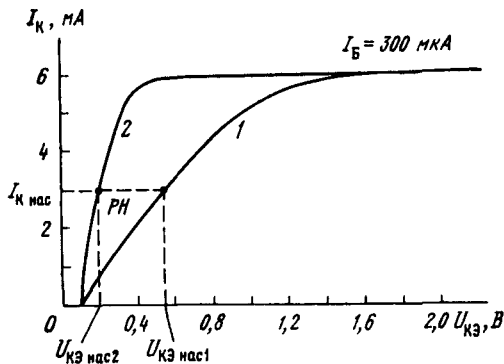


Рис. 3.2

Важной конструктивной особенностью эпитаксиально-планарных транзисторов является *скрытый слой* 3 n^+ -типа (см. рис. 3.1, а), предназначенный главным образом для *уменьшения объемного сопротивления коллекторной области* r'_k и напряжения насыщения

$$U_{КЭ\text{ нас}} \sim r'_k I_{К}.$$

Низкоомный скрытый слой шунтирует расположенный над ним более высокоомный коллекторный слой n -типа и в десятки раз уменьшает объемное сопротивление коллекторной области между коллекторным переходом и коллекторной контактной областью 7 .

Выходные характеристики в схеме с общим эмиттером (ОЭ) в диапазоне малых напряжений $U_{КЭ}$ для транзисторов без скрытого слоя (1) и со скрытым слоем (2) приведены на рис. 3.2. Видно, что скрытый слой влияет на форму выходной характеристики только в режиме насыщения (РН), где дифференциальное сопротивление коллекторного перехода, смещенного в прямом направлении, невелико. Напряжение насыщения при заданном коллекторном токе насыщения $I_{К\text{ нас}}$ изменяется пропорционально объемному сопротивлению коллекторной области. Чем меньше $U_{КЭ\text{ нас}}$, тем ниже выходное напряжение низкого уровня тех цифровых микросхем (см. гл. 7), в которых транзисторы работают в режиме насыщения.

В режиме насыщения или в инверсном режиме электрический переход $n-n^+$ на границе скрытого слоя отражает дырки, инжектируемые из базы в коллектор. Поэтому при прямом смещении коллекторного перехода в структуре со скрытым слоем дырочная составляющая тока этого перехода ниже, чем в структуре без скрытого слоя, следовательно, увеличивается инверсный коэффициент передачи.

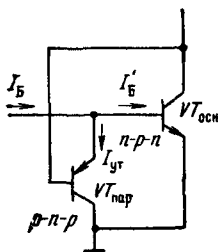


Рис. 3.3

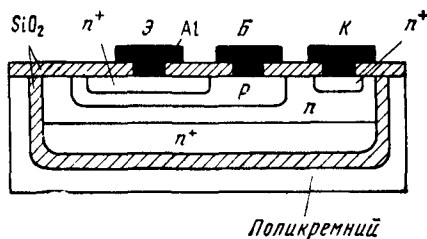


Рис. 3.4

В структуре транзистора, изолированного $p-n$ переходом, помимо основного $n-p-n$ существует *паразитный $p-n-p$ транзистор*. Его эмиттер — базовый слой 5 (I_3) основного транзистора (см. рис. 3.1), база — коллекторная область 2 со скрытым слоем 3, а коллектор — подложка.

Схема включения паразитного транзистора представлена на рис. 3.3. Его коллекторный (изолирующий) переход всегда смещен в обратном направлении. Активному режиму основного транзистора $VT_{\text{осн}}$ соответствует режим отсечки паразитного транзистора $VT_{\text{пар}}$. В этом случае его влияние невелико, так как токи утечки $p-n$ переходов при обратных напряжениях малы. Режиму насыщения $VT_{\text{осн}}$ соответствует активный режим работы $VT_{\text{пар}}$. При этом ток утечки $I_{\text{ут}}$ возрастает, что приводит к уменьшению базового тока основного транзистора: $I'_B = I_B - I_{\text{ут}}$. Скрытый слой в коллекторе создает тормозящее электрическое поле для дырок, инжектированных в коллектор из базы. Кроме того, время жизни дырок в скрытом слое мало, поэтому уменьшается коэффициент передачи паразитного транзистора, т. е. ток утечки.

В структуре дискретного эпитаксиально-планарного транзистора [3] отсутствуют изолирующие p^+ -области, а контактная n^+ -область и вывод коллектора расположены снизу. Поэтому ряд параметров рассмотренного транзистора хуже, чем у дискретного: выше сопротивление коллекторной области, имеется ток утечки в подложку, ниже граничная частота и быстродействие из-за влияния барьерной емкости изолирующего $p-n$ перехода.

Биполярные транзисторы являются наиболее сложными элементами биполярных микросхем, так как их структура содержит наибольшее число областей с различным типом проводимости. Другие элементы (диоды, резисторы) создаются одновременно с транзисторами в едином технологическом процессе. Поэтому для них используют аналогичные полупроводниковые области, которые принято называть в соответствии с областями транзистора. Так, на основе базового слоя получают резисторы (см. гл. 6). Эти элементы также размещают в специальных карманах, т. е. изолируют от подложки тем же способом, что и транзисторы.

Наряду с биполярными транзисторами, изолированными p - n переходом, применяют биполярные *транзисторы с диэлектрической изоляцией*. Основные отличия структуры такого транзистора, представленной на рис. 3.4, от рассмотренной выше (см. рис. 3.1) состоят в том, что транзистор размещают в кармане, изолированном со всех сторон от подложки из поликристаллического кремния тонким диэлектрическим слоем диоксида кремния. Качество такой изоляции значительно выше, так как токи утечки диэлектрика на много порядков меньше, чем p - n перехода при обратном напряжении. Удельная емкость диэлектрической изоляции меньше, поскольку диэлектрическая проницаемость диоксида кремния приблизительно в 3 раза ниже, чем кремния, а толщина диэлектрического слоя может быть выбрана больше толщины изолирующего p - n перехода.

Однако биполярные микросхемы с диэлектрической изоляцией не получили широкого применения вследствие сложной технологии создания карманов и малой степени интеграции. Их достоинством является повышенная радиационная стойкость. У эпитаксиально-планарных транзисторов токи утечки изолирующих p - n переходов резко возрастают при воздействии ионизирующего излучения, вызывающего генерацию большого числа неосновных носителей. Ток утечки диэлектрика при этом остается пренебрежимо малым. Уменьшаются и токи утечки коллекторных p - n переходов, так как основная масса неосновных носителей генерируется за пределами карманов и не может достичь этих переходов.

3.2. ТРАНЗИСТОРЫ С КОМБИНИРОВАННОЙ ИЗОЛЯЦИЕЙ

Основным методом изоляции элементов современных биполярных микросхем является *метод комбинированной изоляции*, сочетающий изоляцию диэлектриком (диоксидом кремния) и p - n переходом, смещенным в обратном направлении. Существует большое число конструктивно-технологических разновидностей биполярных микросхем с комбинированной изоляцией. Широкое распространение получили микросхемы, создаваемые по *изопланарной технологии*.

Последовательность основных технологических операций, используемых в изопланарной технологии, и структуру изопланарного транзистора поясняет рис. 3.5. В высокоомной подложке p -типа локальной диффузией доноров формируют скрытый n^+ -слой. Затем на всей поверхности пластины наращивают тонкий ($W_{эп} = 1 \dots 3$ мкм) эпитаксиальный слой n -типа (рис. 3.5, а). На полученную поверхность наносят слой нитрида кремния, из которого с помощью литографии формируют защитную маску. Не закрытые маской области эпитаксиального слоя подвергают травлению на глубину приблизительно 0,5 $W_{эп}$. Локальным ионным легированием бором через маску создают *противоканальные области* p^+ -типа, расположенные под вытравленными участками в подложке между скрытыми слоями n^+ -типа соседних транзисторов (рис. 3.5, б). Назначение этих областей поясняется

ниже. Далее проводят селективное окисление кремния в вытравленных участках, где он не закрыт защитной маской, так что нижняя граница окисленных областей попадает в скрытый n^+ -слой. Слой диоксида кремния растет как вниз, так и вверх. Поэтому после окисления (при соответствующем выборе глубины травления) восстанавливается почти плоская поверхность пластины (рис. 3.5, в).

В результате образуются карманы, в каждом из которых размещена структура $n - n^+$ типа, изолированная с боковых сторон толстым слоем диоксида кремния, а снизу — $n^+ - p^-$ переходом. После этого пленку нитрида кремния удаляют и формируют маску из слоя диоксида кремния, закрывающую те участки, в которых будут создаваться коллекторные контактные области (рис. 3.5, г). Диффузией бора (или ионным легированием) получают базовый слой p -типа. При этом независимо от точности совмещения маски боковые границы базового слоя совмещаются с границами изолирующего диоксида кремния, так как он сам также служит маской. Таким методом получают *самосовмещающую базу*.

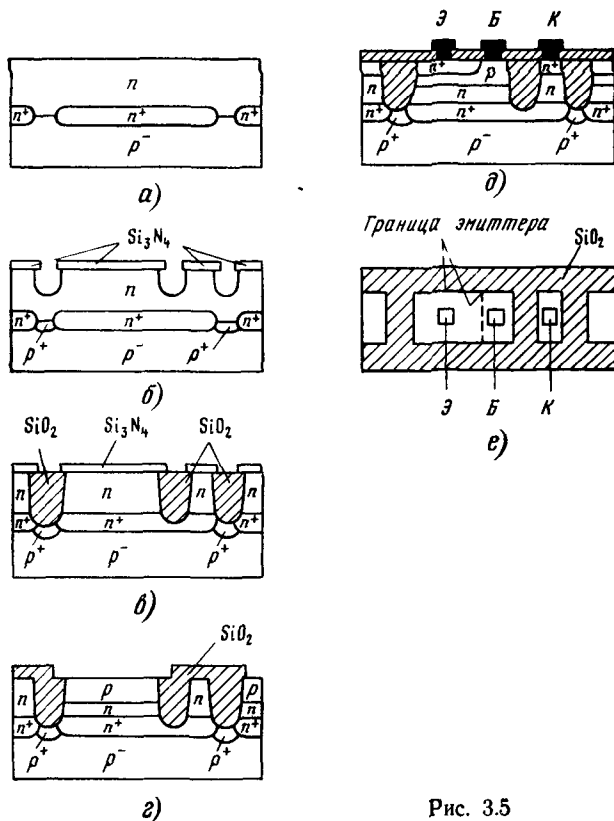


Рис. 3.5

Различные *методы самосовмещения*, широко применяемые в производстве современных микросхем, заключаются в использовании элементов структуры, созданных на предыдущих этапах изготовления микросхем, в качестве маски при последующем формировании каких-либо областей.

Затем восстанавливают слой диоксида кремния на всей поверхности и создают из него маску, используемую при диффузии (или ионном легировании) фосфора в эмиттерную и контактную области n^+ -типа. На этом этапе применяют метод самосовмещения: в плоскости кристалла три границы эмиттерной области (за исключением четвертой, обращенной к базовому контакту) и все границы коллекторной контактной области определяются изолирующим диоксидом, используемым вторично в качестве маски. Вновь восстанавливают пленку диоксида кремния на всей поверхности пластины, вытравливают в ней контактные отверстия, напыляют слой алюминия, проводят его селективное травление и создают эмиттерный, базовый и коллекторный электроды и внутрисхемные соединения (рис. 3.5, *д*, *е*).

Главное достоинство изопланарного транзистора по сравнению с эпитаксиально-планарным (см. рис. 3.1) состоит в том, что при одинаковой площади эмиттерных переходов общая площадь изопланарного транзистора (с учетом площади изолирующих областей) меньше почти на порядок. Поэтому на основе изопланарных транзисторов можно создавать БИС и СБИС. Столь значительное снижение площади достигается в результате использования более тонкого эпитаксиального слоя, что приводит к уменьшению площади изолирующих областей. Кроме того, в конструкции изопланарного транзистора исключены пассивные области базы и коллектора, не используемые под контакты, так как все боковые стенки базовой и три боковые стенки эмиттерной области непосредственно граничат с изолирующим диоксидом кремния.

Рассмотрим назначение противоканальных областей p^+ -типа, расположенных под изолирующими областями (см. рис. 3.5, *д*). Известно, что на границе раздела кремний — диоксид кремния существует неподвижный положительный поверхностный заряд. Под влиянием этого заряда дырки отталкиваются в глубь подложки, а электроны из скрытых слоев n^+ -типа и подложки поступают к границе раздела. Поскольку концентрация акцепторов в подложке очень низкая (не более 10^{15} см^{-3}), то при отсутствии противоканальной области у поверхности под диоксидом формируется инверсный слой — канал n -типа. Этот канал замыкает коллекторные области соседних транзисторов, что недопустимо. Для предотвращения появления каналов n -типа и создают *противоканальные области* с повышенной концентрацией акцепторов, при которой для типичных значений плотности положительного поверхностного заряда формирование инверсного слоя исключается, так как концентрация поступивших к поверхности электронов оказывается ниже концентрации дырок.

Скрытый n^+ -слой в коллекторе изопланарного транзистора необходим для подсоединения к коллектору коллекторной контактной

области. Он выполняет ту же функцию, что и в эпитаксиально-планарном транзисторе (са. § 3.1).

Изопланарный транзистор по сравнению с эпитаксиально-планарным имеет лучшие импульсные и частотные параметры. Поскольку при одинаковых площадях эмиттерных переходов сравниваемых транзисторов в изопланарном транзисторе значительно уменьшены площади коллекторного и изолирующего переходов то, следовательно пропорционально снижены и барьерные емкости указанных переходов. Емкости всех переходов дополнительно уменьшаются еще и потому, что боковые стороны эмиттера, базы и коллектора граничат с диоксидом кремния, имеющим меньшую, чем кремний, диэлектрическую проницаемость. Кроме того, уменьшена площадь боковых стенок базы и коллектора из-за снижения периметра этих областей и толщины эпитаксиального слоя.

Ниже приведены типовые параметры изопланарных транзисторов:

Площадь, мкм ² :	
эмиттера	10...20
базы	100...200
транзистора	200...500
Толщина, мкм:	
эпитаксиального слоя	1...2
базы	0,1...0,2
Глубина залегания эмиттерного перехода, мкм	0,2...0,4
Концентрация доноров, см ⁻³ :	
в коллекторе	10 ¹⁶
в скрытом слое	10 ¹⁹
в эмиттере	10 ¹⁹ ...10 ²⁰
Концентрация акцепторов в базе, см ⁻³	10 ¹⁷ ...3·10 ¹⁷
Барьерная емкость перехода, фФ:	
эмиттерного	50...100
коллекторного	50...100
изолирующего	200...400
Эквивалентное сопротивление, Ом:	
эмиттера	5...10
базы	500...2000
коллектора	100...300
Коэффициент передачи тока базы	50...150
Граничная частота, ГГц	2...4
Пробивное напряжение, В:	
коллекторного перехода в схеме с ОЭ	15...30
эмиттерного перехода	4...7
Температурный коэффициент:	
прямого напряжения база—эмиттер, мВ/°С	—(1,5...2,5)
коэффициента передачи тока базы, %/°С	0,5...1

Разновидности транзисторов с комбинированной изоляцией различаются прежде всего конструкциями боковых изолирующих областей и технологией их изготовления. На рис. 3.6, а более подробно, чем на рис. 3.5, показан поперечный разрез изолирующей области изопланарного транзистора (указаны размеры в микрометрах). Он соответствует ширине отверстия 1 мкм в маске из нитрида кремния (см.

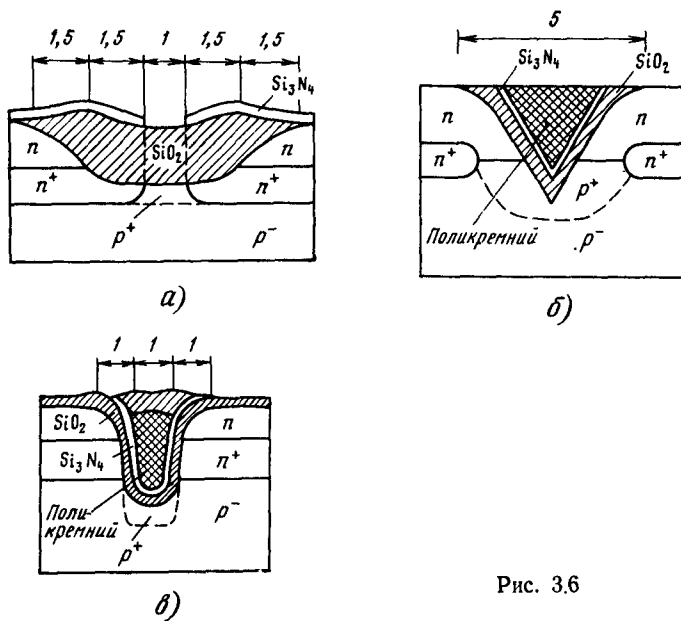


Рис. 3.6

рис. 3.5, в). Поскольку при создании углублений в эпитаксиальном слое (см. рис. 3.5, б) применяют изотропное травление, то этот слой травится не только вглубь, но и в боковых направлениях на расстояние $W_{\text{эп}} \approx 1,5$ мкм. Поэтому ширина вытравленных областей больше, чем отверстия в маске (в рассматриваемом примере приблизительно на 1,5 мкм с каждой стороны). Затем при изотропном окислении кремния слой диоксида также растет как вниз, так и под маску. В результате ширина изолирующей области равна 7 мкм.

Для уменьшения ширины изолирующих областей используют жидкостное анизотропное травление кремния (см. § 2.6). В результате получают узкие V-образные канавки (рис. 3.6, б), глубина которых должна быть больше толщины эпитаксиального слоя. Затем поверхности канавок окисляют, наносят слой нитрида кремния и оставшуюся часть углублений заполняют поликристаллическим кремнием. При той же ширине окна в исходной маске из нитрида кремния (1 мкм) ширина изолирующих областей снижается до 5 мкм. Дальнейшее уменьшение ширины изолирующих областей достигается при создании с помощью сухого анизотропного травления U-образных канавок, глубина которых также немного превышает толщину эпитаксиального слоя (рис. 3.6, в). В этом случае ширина изолирующей области снижается до 3 мкм. Кроме того, увеличиваются напряжения пробоя изолирующего перехода (от 25 до 50 В) и прокола противоканальной области p^+ типа (от 7 до 50 В), поскольку последняя в этой конструкции не примыкает к скрытому n^+ -слою.

3.3. МНОГОЭМИТТЕРНЫЕ ТРАНЗИСТОРЫ

Многоэмиттерные n - p - n транзисторы (МЭТ) отличаются от рассмотренных выше одноэмиттерных прежде всего тем, что в их базовой области p -типа создают несколько (обычно 4 ... 8) эмиттерных областей n^+ -типа. Эти транзисторы используют в микросхемах вместе с одноэмиттерными. Поэтому МЭТ изготавливают с помощью тех же технологических процессов, что и одноэмиттерные, а структура МЭТ содержит те же полупроводниковые слои и изолирующие области.

Основная область применения МЭТ — цифровые микросхемы транзисторно-транзисторной логики (ТТЛ) (см. § 7.3). В этих микросхемах они включаются на входе и выполняют функцию диодной сборки (рис. 3.7, а), состоящей из $m + 1$ диодов, где m — число эмиттеров (входов схемы ТТЛ). Многоэмиттерный транзистор можно представить в виде совокупности отдельных n - p - n транзисторов, число которых равно числу эмиттеров (рис. 3.7, б). Все базовые выводы этих транзисторов, как и коллекторные, соединены между собой.

Главная особенность использования МЭТ в схемах ТТЛ состоит в том, что в любом состоянии схемы коллекторный переход МЭТ, включенного на ее входе, смещен в прямом направлении. Следовательно, отдельные транзисторы схемной модели (см. рис. 3.7, б) находятся либо в инверсном режиме, либо в режиме насыщения в зависимости от напряжения на соответствующем эмиттере. При использовании МЭТ в схемах ТТЛ требуется снижать инверсный коэффициент передачи. В то же время для других (одноэмиттерных) транзисторов схем ТТЛ, особенно для выходных, инверсный коэффициент передачи необходимо увеличивать, чтобы обеспечивать достаточно низкое напряжение насыщения. Поскольку в МЭТ используются такие же полупроводниковые

слои, что и в одноэмиттерных транзисторах, уменьшать их инверсный коэффициент передачи можно только соответствующим выбором топологии.

Топология эпитаксиально-планарного МЭТ показана на рис. 3.7, в. Здесь четыре эмиттера n^+ -типа расположены внутри общего базового слоя p -типа, ограниченного с боковых сторон коллекторным p - n переходом. Заштрихованные участки — контактные отверстия к эмиттерным, базовой и коллекторной областям. Расстояние между эмиттерными областями и базовым

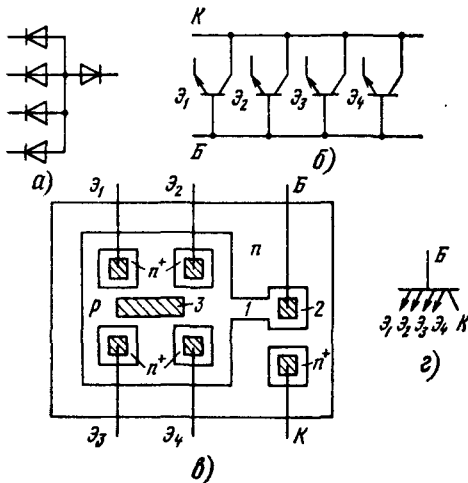


Рис. 3.7

контактом увеличено, так что участок пассивной базы 1, имеющий малую ширину, представляет собой резистор сопротивлением 200 ... 300 Ом. Ток базы создает на этом участке такое падение напряжения, что потенциал области 2 пассивной базы, в которой расположен базовый контакт, оказывается на 0,1 ... 0,2 В выше потенциала активной базы, расположенной под эмиттерными переходами. При этом прямое напряжение на коллекторном переходе в области 2 будет на то же значение больше, чем в областях, граничащих с активной базой.

Известно, что ток инжекции p - n перехода экспоненциально возрастает при повышении прямого напряжения, причем увеличение напряжения на 2,3 φ_T , где φ_T — тепловой потенциал (т. е. на 60 мВ при $T = 300$ К), приводит к десятикратному увеличению тока инжекции [3]. Поэтому электроны будут инжектироваться из коллектора преимущественно в пассивную область базы 2, т. е. не будут достигать эмиттерных переходов, что приведет к необходимому уменьшению инверсного коэффициента передачи до 0,005 ... 0,05.

Центральное контактное отверстие 3 в базовой области (см. рис. 3.7, в) предназначено для выравнивания потенциалов активных базовых областей. В него напыляют слой алюминия, уменьшающий сопротивление этой части пассивной базы. Условное графическое обозначение МЭТ, используемое в принципиальных электрических схемах, приведено на рис. 3.7, г.

3.4. ТРАНЗИСТОРЫ С ДИОДОМ ШОТКИ

Структура транзистора с диодом Шотки (ДШ), изготовленного по изопланарной технологии, показана на рис. 3.8, а. В отличие от изопланарного транзистора (см. рис. 3.5, д) здесь базовое контактное отверстие расширено в сторону коллекторной области n -типа. Для этого потребовалось исключить центральную область из диоксида кремния. Слой алюминия, расположенный на базовом слое p -типа, образует с ним омический контакт, как и в изопланарном транзисторе. Слой алюминия с подслоем другого металла на границе 1 с относительно высокоомной коллекторной областью обеспечивает выпрямляющий контакт — диод Шотки. Назначение остальных областей транзистора с ДШ такое же, как в обычном изопланарном транзисторе.

Диод Шотки оказывается включенным параллельно коллекторно-му переходу транзистора, как показано на эквивалентной схеме (рис. 3.8, б). Как известно, прямой ток через ДШ обусловлен движением основных носителей заряда, а инжекция и накопление неосновных носителей заряда, характерные для p - n перехода, здесь практически отсутствуют. На рис. 3.8, в представлены прямые ветви вольт-амперных характеристик (ВАХ) ДШ (1) и коллекторного p - n перехода обычного изопланарного транзистора (2) при $T = 300$ К. Прямое напряжение при токе $I_{пр} = 2$ мА для ДШ на $\Delta U \approx 360$ мВ ниже, чем для коллекторного p - n перехода. Указанные свойства ДШ используются для существенного уменьшения времени рассасывания $t_{рас}$ — одно-

го из основных параметров, характеризующих работу биполярного транзистора в импульсном режиме [3].

Принцип действия ДШ, интегрированного в структуре биполярного транзистора (рис. 3.8, а), поясняют диаграммы распределения концентраций неосновных неравновесных носителей заряда в режиме насыщения для обычного транзистора (рис. 3.8, б) и транзистора с ДШ (рис. 3.8, в), где ЭП и КП — эмиттерный и коллекторный переходы. В обычном транзисторе в режиме насыщения при достаточно большом токе базы прямое напряжение на коллекторном $p-n$ переходе почти равно (чуть меньше) прямому напряжению на эмиттерном $p-n$ переходе. Поэтому наряду с инжекцией электронов из эмиттера в базу происходит инжекция электронов в базу из коллектора ($n_b(x)$) и, что особенно важно, инжекция дырок из базы в коллектор ($p_k(x)$), т. е. в относительно высокоомный эпитаксиальный слой n -типа.

В результате в коллекторной области накапливается избыточный заряд дырок, составляющий большую часть всего избыточного заряда. На границе со скрытым слоем n^+ -типа концентрация инжектированных дырок резко уменьшается из-за влияния тормозящего поля $n-n^+$ перехода и меньшего времени жизни дырок в скрытом слое. Кроме заряда дырок накапливается избыточный заряд электронов в пассивной базе (на рис. 3.8, в он не показан, так как приведенные здесь распределения концентраций электронов относятся к активной области базы).

При выключении транзистора без ДШ $t_{рас}$ в основном определяется эффективным временем жизни дырок в коллекторе и отчасти эффективным временем жизни электронов в пассивной базе. В этом слу-

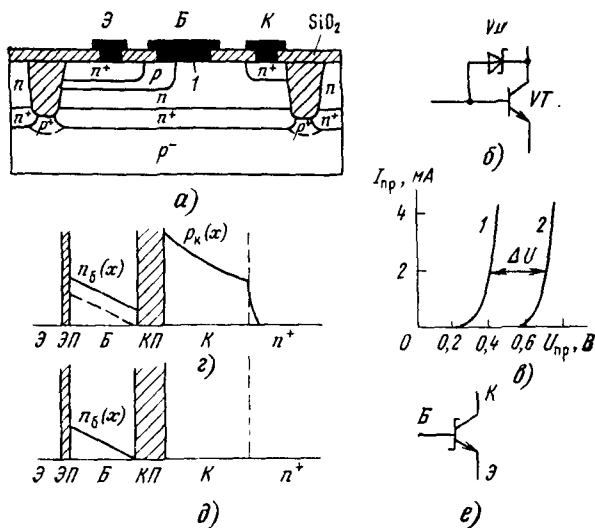


Рис. 3.8

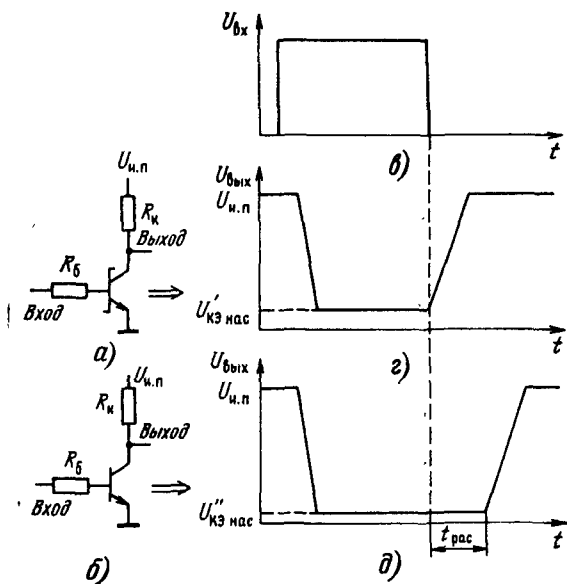


Рис. 3.9

чае время рассасывания составляет десятки наносекунд (для структуры, не легированной золотом).

В транзисторе с ДШ в режиме насыщения при тех же значениях токов базы и коллектора прямое напряжение на коллекторном $p-n$ переходе уменьшается на ΔU (рис. 3.8, в). Снижение прямого напряжения на 60 мВ при $T = 300$ К приводит к уменьшению тока инжекции и пропорционального этому току избыточного заряда в 10 раз [3]. Значит, при $\Delta U = 360$ мВ избыточный заряд, обусловленный инжекцией дырок и электронов через коллекторный $p-n$ переход, уменьшается в 10^6 раз. Следовательно, в транзисторе с ДШ в режиме насыщения избыточный заряд появляется практически только вследствие инжекции электронов из эмиттера в активную область базы (рис. 3.8, д).

На диаграмме для транзистора без ДШ (рис. 3.8, г) штриховая линия соответствует распределению концентрации электронов на границе активного режима и режима насыщения. (Напомним, что избыточный заряд образуют электроны, дополнительно инжектируемые в базу при переходе из активного режима в режим насыщения.) Время рассасывания этого заряда определяется временем пролета электронов через базу и для транзисторов с достаточно тонкой базой (менее 1 мкм) составляет не более 1 нс. Для транзистора с ДШ в принципиальных электрических схемах используют специальное графическое обозначение, показанное на рис. 3.8, е.

На рис. 3.9, а, б приведены схемы простейших ключей на транзисторах с ДШ и без ДШ соответственно, включенных по схеме с ОЭ. Пред-

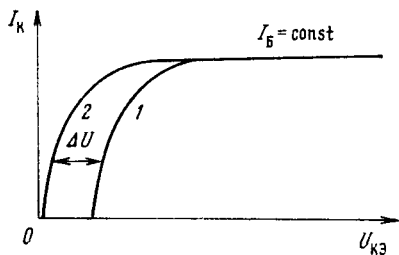


Рис. 3.10

Однако при этом в 2 ... 3 раза уменьшается и коэффициент передачи тока β . В транзисторах с диодом Шотки легирование золотом не требуется, поэтому для них характерны повышенные значения коэффициента β .

Таким образом, основная область применения транзисторов с ДШ — это цифровые микросхемы с повышенным быстродействием. Отметим, что использование транзисторов с ДШ дает положительный эффект только в тех случаях, где транзистор работает в режиме насыщения, например в схемах ТТЛ (см. § 7.3). Не следует думать, что быстродействие цифровых микросхем при замене обычных транзисторов транзисторами с ДШ повысится в столько же раз, во сколько уменьшится время рассасывания. При работе биполярного транзистора в импульсном режиме кроме времени рассасывания наблюдаются времена задержки, нарастания и спада, которые определяются барьерными емкостями переходов и емкостями нагрузки [3]. Поэтому применение транзисторов с ДШ позволяет повысить быстродействие цифровых микросхем в 2 ... 5 раз (чем больше эффективное время жизни дырок в коллекторе, тем больше выигрыш в быстродействии).

Обратим внимание и на недостатки, присущие транзисторам с ДШ. При их изготовлении используется более сложная технология формирования высококачественного выпрямляющего перехода металл — полупроводник. На рис. 3.10 показаны выходные характеристики транзисторов с ДШ (1) и без ДШ (2) в схеме с ОЭ при одинаковом токе базы. В режиме насыщения характеристика транзистора с ДШ сдвинута в сторону больших напряжений на ΔU . Поэтому напряжение насыщения повышается: $U_{КЭ \text{ нас}} = U_{КЭ \text{ нас}} + \Delta U$ (см. рис. 3.9, г, д). Барьерная емкость контакта металл — полупроводник увеличивает суммарную емкость коллекторного перехода.

3.5. НОВЫЕ СТРУКТУРЫ БИПОЛЯРНЫХ ТРАНЗИСТОРОВ

Рассмотренные выше структуры биполярных транзисторов не полностью удовлетворяют возрастающим требованиям к параметрам транзисторов, необходимых для создания сверхбольших, сверхскоростных

и сверхвысокочастотных микросхем. Остаются актуальными задачи уменьшения площади, повышения быстродействия и граничных частот транзисторов.

В последние годы в технологии и конструировании биполярных микросхем наблюдается период ускоренной модернизации, что является следствием успешного решения многих проблем миниатюризации биполярных транзисторов. Разработано большое число (несколько десятков) новых конструкций биполярных транзисторов с уменьшенными размерами и улучшенными электрическими параметрами. Структуры биполярных транзисторов становятся специализированными, т.е. оптимизированными для микросхем определенного типа.

В структурах транзисторов широко используют *слои поликристаллического кремния, легированного нужными примесями*. В процессе изготовления микросхем эти слои могут служить источниками примесей при формировании методом диффузии эмиттерных областей и областей сильнолегированной пассивной базы. Для технологических процессов характерно многократное применение метода самосовмещения (см. § 3.2), что позволяет уменьшить наиболее критичные размеры структуры.

На рис. 3.11 показана структура биполярного транзистора, предназначенного главным образом для использования в сверхскоростных цифровых микросхемах (см. § 7.4). Транзистор создают на высокоомной подложке 1 p -типа, в которой формируют скрытый коллекторный слой 2 n^+ -типа и противоканальные области p^+ -типа. Основные области транзистора размещены в тонком эпитаксиальном слое 3 n -типа. Используется комбинированная изоляция, как и в изопланарном транзисторе, но в отличие от последнего при выращивании углубленного диоксида кремния 4 применяется технология, обеспечивающая выравнивание (планаризацию) поверхности диоксида.

Базовую область 5 p -типа получают ионным легированием акцепторными примесями, используя ранее выращенный углубленный диоксид в качестве маски. Затем через маску наносят слой поликристаллического кремния, который в нужных местах легируют донорами (поликремний n^+ -типа) и акцепторами (поликремний p^+ -типа). Этот слой в дальнейшем служит источником донорных примесей при формировании методом диффузии эмиттерной и коллекторной контактных областей n^+ -типа.

Одновременно с этим акцепторные примеси из слоя поликремния p^+ -типа диффундируют в область пассивной базы 6 и уменьшают ее сопротивление, причем обеспечивается самосовмещение эмиттерного контакта, эмиттерной области и базового

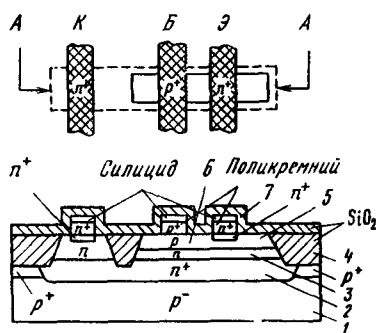


Рис. 3.11

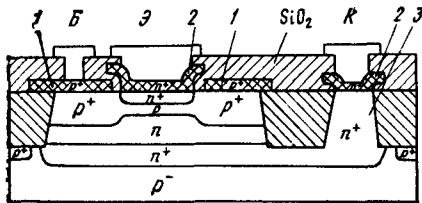


Рис. 3.12

контакта, так как все области поликремния формируются с помощью одной маски. Смещение вправо или влево этой маски при совмещении соответствующего шаблона приводит к одинаковому сдвигу поликремниевых электродов базы и эмиттера, т. е. не влияет на расстояние между краями эмиттерного p - n -перехода и базового контакта.

Замена металлического контакта к эмиттерной области контактом из поликремния n^+ -типа позволяет уменьшить толщину эмиттера (глубину залегания эмиттерного p - n перехода) до 50 нм.

В рассмотренных выше конструкциях биполярных транзисторов (см. рис. 3.1, 3.4 и 3.5) над монокристаллической n^+ -областью эмиттера расположен металлический контакт — пленка алюминия. Как показывает эксперимент, скорость рекомбинации дырок, инжектированных из базы в эмиттер (при прямом напряжении на эмиттерном переходе), на металлическом контакте очень велика. Поэтому при уменьшении толщины эмиттера возрастает дырочная (вредная) составляющая эмиттерного тока, что приводит к снижению коэффициента передачи β . Этот эффект ограничивает минимально достижимую толщину эмиттера значением 0,1 ... 0,2 мкм.

На границе монокристаллической эмиттерной области со слоем поликремния (см. рис. 3.11) скорость поверхностной рекомбинации значительно ниже, чем на границе с металлом. Это позволяет создавать эмиттерные области толщиной менее 0,1 мкм.

Для уменьшения сопротивления внутрисхемных соединительных проводников первого уровня на слой поликристаллического кремния наносится пленка силицида толщиной около 0,2 мкм. Слой диоксида 7, полученный химическим осаждением из паровой фазы, покрывает нижний слой соединений из силицида. На слой диоксида наносится слой металла (на рисунке не показан), из которого формируют соединительные проводники второго уровня.

В рассмотренном транзисторе по сравнению с изопланарным достигается уменьшение толщины эмиттера и базы, расстояния от края эмиттерного перехода до базового контакта, сопротивления пассивной базы, площади и барьерной емкости коллекторного p - n перехода, т. е. он характеризуется более высокой граничной частотой и меньшей площадью.

На рис. 3.12 приведена структура транзистора (с комбинированной изоляцией), в которой используются два слоя поликристаллического кремния. Первый слой 1 p^+ -типа обеспечивает омический контакт к базовой области. При изготовлении транзистора этот слой служит источником акцепторных примесей, диффундирующих в пассивные области базы p^+ -типа и уменьшающих их удельное сопротивление. Второй слой 2 легирован донорами. Он наносится после частичного

окисления первого слоя и используется для формирования омических контактов к эмиттерной и коллекторной областям. В процессе создания транзистора слой 2 является источником примесей при формировании эмиттерной области n^+ -типа. Тем самым обеспечивается самосовмещение эмиттерной области и контакта. Расстояние между эмиттером и базовым контактом очень мало (меньше 0,5 мкм), так как оно определяется толщиной диоксида, выращенного на первом слое поликремния, и не зависит от разрешающей способности литографии и точности совмещения. Благодаря указанным особенностям структуры и технологии удается снизить сопротивление базы. Это особенно важно при использовании транзисторов в элементах эмиттерно-связанной логики (см. § 7.4). Кроме того, вся коллекторная контактная область 3 дополнительно легирована донорами для уменьшения ее сопротивления.

3.6. ТРАНЗИСТОРЫ ТИПА $p-n-p$

Для создания некоторых цифровых и особенно аналоговых микросхем кроме $n-p-n$ необходимы $p-n-p$ транзисторы. Если допускается, что электрические параметры последних могут быть хуже, чем у $n-p-n$ транзисторов, то транзисторы обоих типов изготавливают одновременно. В этом случае не используют дополнительные технологические операции. Таким образом можно создавать только горизонтальные $p-n-p$ -транзисторы.

Топологический чертеж и структура горизонтального транзистора с комбинированной изоляцией представлены на рис. 3.13, а, б соответственно. Транзистор размещен в кармане n -типа, содержит скрытый слой n^+ -типа и изолирован с боковых сторон диоксидом кремния подобно $n-p-n$ транзистору на рис. 3.5, д. Базовой областью служит эпитаксиальный слой n -типа. Эмиттерную и коллекторную области p -типа формируют одновременно с базовой областью $n-p-n$ транзистора, а базовую контактную область n^+ -типа — одновременно с его эмиттерной областью. Базовая область n -типа и коллекторная область p -типа охватывают эмиттер с боковых сторон. Тем са-

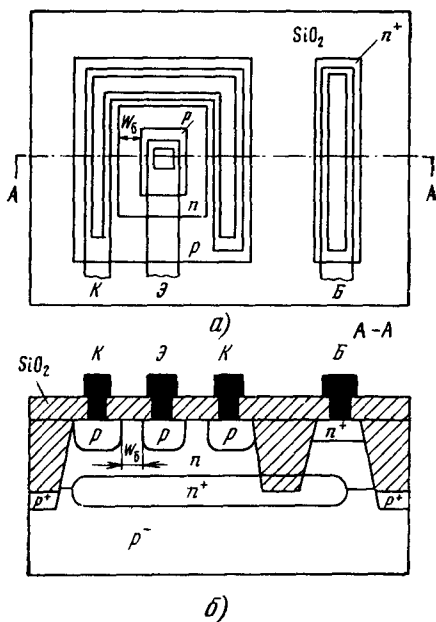


Рис. 3.13

мым обеспечивается более полное соби́рание коллектором дырок, инжектированных со всех боковых сторон эмиттерного слоя. Базовая контактная область n^+ -типа служит для создания омического базового контакта к слаболегированному эпитаксиальному слою.

По сравнению с вертикальным n - p - n транзистором горизонтальный p - n - p транзистор имеет ряд важных отличий.

Во-первых, он является *бездрейфовым*, поскольку его база (эпитаксиальный n -слой) легирована равномерно. Следовательно, в базе отсутствует электрическое поле, ускоряющее движение дырок от эмиттера к коллектору. Дырки движутся в базе исключительно за счет диффузии. Во-вторых, активная область базы расположена вблизи поверхности эпитаксиального слоя, где время жизни и подвижность дырок меньше, чем в глубине этого слоя. В-третьих, толщина базы W_6 (см. рис. 3.13, б) зависит от разрешающей способности процесса литографии, поэтому базу горизонтального транзистора не удается сделать столь же тонкой, как в вертикальном n - p - n транзисторе. Наконец, при прямом напряжении на эмиттерном p - n переходе дырки инжектируются в базу не только через боковые части эмиттера, но и через его нижнюю часть в глубь эпитаксиального слоя, где они рекомбинируют, не достигая коллектора. По указанным причинам для горизонтального транзистора характерны низкие коэффициент передачи тока (2...5) и граничная частота (20 ... 40 МГц).

Скрытый n^+ -слой необходим для создания базового вывода, уменьшения сопротивления базы и увеличения коэффициента передачи. В n - n^+ переходе существует электрическое поле, отталкивающее дырки и препятствующее их переходу в подложку. Только при наличии скрытого слоя большая часть дырок, инжектированных из эмиттера в базу, достигает коллектора. Они движутся по криволинейным траекториям, длина которых, определяющая эффективную толщину базы, превышает W_6 .

Эмиттерную и коллекторную области горизонтального транзистора изготавливают одновременно. Следовательно, распределения концентраций примесей в эмиттерном и коллекторном p - n переходах и их напряжения пробоя одинаковы и приблизительно равны напряжению пробоя коллекторного p - n перехода вертикального n - p - n транзистора (обычно 20 ... 50 В). Рабочие токи эмиттера невелики, так как они ограничены малой площадью боковых частей эмиттера.

Горизонтальная структура позволяет формировать *многоколлекторные p - n - p транзисторы*. Для этого коллекторную область разделяют на несколько частей и от каждой делают отдельный вывод. Между коллекторными областями необходимо формировать разделительные области n^+ -типа (или из диоксида кремния), чтобы исключить паразитную связь коллекторов, обусловленную инъекцией дырок в базу из коллекторов в режиме насыщения (при прямом смещении коллекторных переходов). Коэффициенты передачи тока базы по каждому из m коллекторов приблизительно в m раз меньше, чем в однокolleкторном транзисторе. Горизонтальные многоколлекторные p - n - p

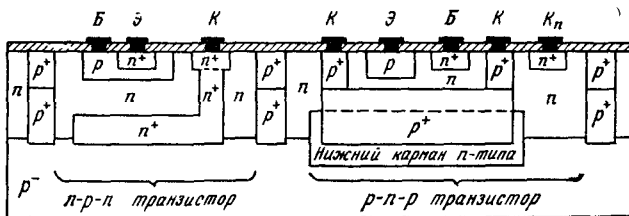


Рис. 3.14

транзисторы используют, например, в элементах интегральной инжекционной логики (см. § 7.5).

Таким образом, основные недостатки горизонтальных $p-n-p$ транзисторов — низкие коэффициент передачи тока и граничная частота. Кроме того, они занимают большую площадь, так как коллекторные и базовые области расположены у поверхности кристалла. Эти недостатки постепенно устраняются по мере улучшения разрешающей способности литографии, позволяющей уменьшить толщину базы до 1... 2 мкм и снизить площадь коллекторной области.

Наиболее эффективный путь улучшения параметров $p-n-p$ транзисторов — использование вертикальной структуры. Для ее формирования на одной пластине с $n-p-n$ транзисторами требуются дополнительные технологические операции.

На рис. 3.14 в качестве примера представлены транзисторы с вертикальной структурой, сформированные на полупроводниковой подложке p^- -типа и изолированные $p-n$ переходами. Нижний карман n -типа используется для создания $p-n-p$ транзистора. Для уменьшения его коллекторного сопротивления формируется скрытый слой p^+ -типа. На дополнительный контакт K_n к области n -типа подается положительное напряжение, что обеспечивает обратное включение изолирующего $p-n$ перехода $p-n-p$ транзистора. Вертикальный $p-n-p$ транзистор характеризуется более высокими коэффициентом передачи тока базы (30 ... 50) и граничной частотой (100 ... 500 МГц), а также максимально допустимым рабочим током коллектора.

3.7. ДИОДНОЕ ВКЛЮЧЕНИЕ ТРАНЗИСТОРОВ

В биполярных микросхемах в качестве диодов широко используют транзисторы в диодном включении. Диоды с различными электрическими параметрами можно получить на основе одинаковых транзисторных структур, выбирая соответствующую схему включения. На рис. 3.15 приведены пять возможных схем включения. К основным электрическим параметрам таких диодов относятся прямое напряжение на диоде при заданном прямом токе, обратный ток при заданном обратном напряжении, напряжение пробоя и время восстановления обратного сопротивления. Рассмотрим, как зависят эти параметры от схемы включения транзистора.

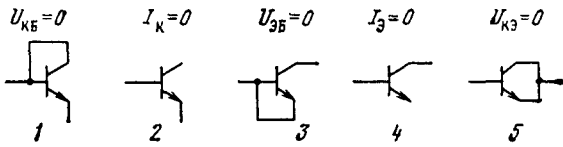


Рис. 3.15

Прямое напряжение на диоде [3]

$$U_{пр} = \varphi_T \ln (I_{пр}/I_0 + 1) + I_{пр} r'_6 = U_{пер} + U_T, \quad (3.1)$$

где $I_{пр}$ — прямой ток; I_0 — тепловой обратный ток, r'_6 — объемное сопротивление базы. Здесь первое слагаемое определяет падение напряжения на $p-n$ переходе, а второе — на базовой области.

Для транзисторной структуры в диодном включении $U_{пер}$ — это напряжение на том переходе (или на обоих переходах в схеме 5), который используется в данной схеме. Сопротивление r'_6 также зависит от схемы включения: это может быть либо сопротивление базы, либо сопротивление коллектора, либо их сумма. Сопротивление эмиттерной области пренебрежимо мало из-за высокой концентрации примесей в ней.

При малых прямых токах второе слагаемое можно не учитывать. Например если $r'_6 = 200$ Ом, а $U_{пер} = 0,6$ В, то область малых токов соответствует условию $I_{пр} \ll 3$ мА.

В области малых токов в прямые ветви ВАХ удобнее сравнивать по величине $I_{пр}$ при одинаковом для всех схем прямом напряжении. Для определения значения прямого тока нужно выяснить, через какой $p-n$ переход (или переходы) он протекает и из каких составляющих складывается. Воспользуемся моделью дискретного транзистора [3], приведенной на рис. 3.16, на которой указаны токи эмиттерного и коллекторного переходов и внешние токи эмиттера, базы, коллектора. Здесь α_N — нормальный, α_I — инверсный коэффициенты передачи тока, резисторы r'_6 и r'_K учитывают сопротивления базы и коллектора. Как видно из рис. 3.16, через каждый $p-n$ переход транзистора может протекать ток инжекции носителей, обусловленный прямым смещением перехода (токи I_1 и I_2), и встречный ток, связанный с коллектированием этим переходом носителей, инжектированных через соседний $p-n$ переход (токи $\alpha_N I_1$, $\alpha_I I_2$). Протекают ли через данный $p-n$ переход оба указанных тока или только один, зависит от режима работы транзистора, т. е. от схемы включения.

В схеме 1 $U_{КБ} = 0$ и $I_2 = 0$, транзистор работает в активном режиме, так что $I_{пр} = I_3 = I_1 = I_{Э0} [\exp(U_{пр}/\varphi_T) - 1]$, где $I_{Э0}$ — тепловой обратный ток эмиттерного $p-n$ перехода. В схеме 2 $I_K = 0$, транзистор работает в режиме насыщения. Как видно из модели, $I_2 = \alpha_N I_1$, $I_{пр2} = I_1 - \alpha_I I_2 = I_1(1 - \alpha_N \alpha_I) = I_{Э0}(1 - \alpha_N \alpha_I) [\exp(U_{пр}/\varphi_T) - 1]$. Следовательно, $I_{пр2} < I_{пр1}$.

В схеме 3 $U_{ЭБ} = 0$, $I_1 = 0$, транзистор работает в инверсном режиме, $I_{пр3} = I_2 = I_{К0} [\exp(U_{пр}/\varphi_T) - 1]$, где $I_{К0}$ — тепловой обратный ток коллекторного $p-n$ перехода. Ток $I_{К0}$ значительно больше тока $I_{Э0}$, так как концентрация доноров в коллекторе меньше концентрации акцепторов в базе, следовательно, концентрация дырок (неосновных носителей) в коллекторе, определяющая значе-

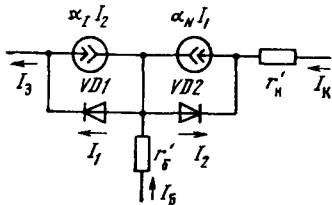


Рис. 3.16

ние I_{K0} , выше, чем концентрация электронов в базе [3]. Кроме того, площадь коллекторного перехода (см. рис. 3.1) значительно больше, чем эмиттерного. Следовательно, $I_{прз} \gg I_{пр1}$. В схеме 4 $I_{Э} = 0$, следовательно, $I_1 = \alpha_I I_2$, транзистор работает в режиме насыщения, а $I_{пр4} = I_2 - \alpha_N I_1 = (1 - \alpha_N \alpha_I) I_{K0} [\exp(U_{пр}/\varphi_T) - 1]$, т. е. $I_{пр1} < I_{пр4} < I_{прз}$, так как $(1 - \alpha_N \alpha_I) \times I_{K0} > I_{Э0}$. В схеме 5 ($U_{КЭ} = 0$) на обонх $p-n$ переходах одинаковые прямые напряжения, а так как $I_{K0} \gg I_{Э0}$, то $I_2 \gg I_1$. Поэтому $I_{пр5} \approx (1 - \alpha_I) I_2 \ll I_{пр4}$.

Таким образом, $I_{прз} > I_{пр4} \gg I_{пр5} \gg I_{пр1} > I_{пр2}$, т. е. в области малых токов при одинаковом прямом напряжении наибольший прямой ток в схеме 3, наименьший — в схеме 2.

В области больших токов основное отличие прямых ветвей ВАХ для пяти схем диодного включения обусловлено вторым слагаемым в формуле (3.1). Здесь их удобнее сравнивать по величине $U_{пр}$ при одинаковом прямом токе. В первом приближении достаточно учитывать только различие величин U_r . В схеме 1 (см. рис. 3.15) $U_{КБ} = 0$, поэтому через резистор r'_6 течет лишь малая часть тока $I_{пр}$, равная $(1 - \alpha_N) I_{пр}$, а через резистор r'_k — оставшаяся часть, равная $\alpha_N I_{пр}$. Если $r'_6(1 - \alpha_N) > r'_k$, то $U_{r1} \approx (1 - \alpha_N) I_{пр} r'_6$, если $r'_k > r'_6(1 - \alpha_N)$, то $U_{r1} \approx \alpha_N I_{пр} r'_k$. Обе величины очень малы, т. е. $U_{r1} \ll U_{пер1}$.

В схемах 2 ($I_K = 0$) и 5 ($U_{КЭ} = 0$) весь прямой ток протекает через резистор r'_6 , так что $U_{r2} = U_{r5} = I_{пр} r'_6$. В схеме 3 при $U_{ЭБ} = 0$ через резистор r'_6 течет ток $(1 - \alpha_I) I_{пр}$, а через резистор r'_k — весь прямой ток, т. е. $U_{r3} = [(1 - \alpha_I) r'_6 + r'_k] I_{пр}$. В схеме 4 $I_{Э} = 0$, значит, $U_{r4} = (r_6 + r_k) I_{пр}$.

Таким образом, $U_{r4} > U_{r3} > U_{r5} = U_{r2} > U_{r1}$, т. е. диод по схеме 4 имеет наибольшее, а по схеме 1 наименьшее прямое напряжение в области больших токов. На рис. 3.17, а, б изображены прямые ветви ВАХ для рассмотренных схем диодного включения транзистора.

Обратный ток кремниевых $p-n$ переходов определяется током термогенерации $I_T = qSL_{об}(U)n_i/\tau$ [3], где q — заряд электрона; S — площадь $p-n$ перехода; $L_{об}(U)$ — толщина обедненного слоя; $SL_{об}(U)$ — его объем; $SL_{об}(U)n_i/\tau$ — число носителей, генерируемых в обедненном слое в единицу времени;

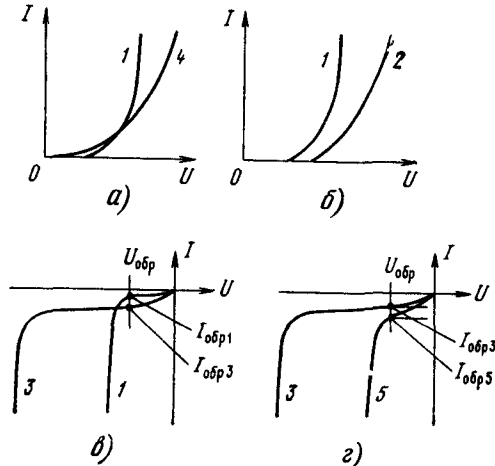


Рис. 3.17

τ — время жизни носителей заряда в p - n переходе; величина n_i/τ имеет смысл скорости генерации носителей в единице объема p - n перехода.

Поскольку концентрация примесей в коллекторе (эпитаксиальном слое) ниже, чем в базе около эмиттерного перехода, толщина обедненного слоя коллекторного p - n перехода больше, чем эмиттерного. К тому же $S_K > S_E$, следовательно, при одинаковом обратном напряжении ток генерации коллекторного p - n перехода $I_{г.к}$ значительно больше тока генерации эмиттерного p - n перехода $I_{г.э}$. Отсюда следует соотношение для обратных токов $I_{обр}$ различных схем диодного включения: $I_{обр1} = I_{обр2} = I_{г.э} \ll I_{обр3} = I_{обр4} = I_{г.к} < I_{обр5} = I_{г.к} + I_{г.э}$. Таким образом, наименьший обратный ток характерен для схем 1 и 2, а наибольший — для схемы 5.

Напряжение пробоя эмиттерного p - n перехода $U_{Э проб}$ мало вследствие высокой концентрации примесей и малой толщины обедненного слоя (5...7 В). Для эмиттерного p - n перехода характерен туннельный механизм пробоя [3]. Поскольку концентрация примесей в коллекторе ниже, то напряжение пробоя $U_{К проб}$ выше (30...50 В). В коллекторном переходе наблюдается лавинный механизм пробоя. Следовательно, $U_{проб1} = U_{проб2} = U_{проб5} = U_{Э проб} < U_{проб3} = U_{проб4} = U_{К проб}$. Обратные ветви ВАХ показаны на рис. 3.17, в, г.

Время восстановления обратного сопротивления — важнейший импульсный параметр, характеризующий быстродействие диода [3]. В течение этого времени происходит выключение диода, т. е. восстанавливается высокое сопротивление после изменения напряжения на диоде с прямого на обратное. Время восстановления обратного сопротивления зависит от величины зарядов неосновных носителей, накопленных в областях транзистора (в базе и коллекторе) при протекании прямого тока, а также от постоянных времени, характеризующих рассасывание этих носителей. Кроме того, на него влияет барьерная емкость.

При заданном прямом токе величины зарядов неосновных носителей зависят от режима работы транзистора. Среди пяти схем диодного включения (см. рис. 3.15) только в первой коллекторный переход не смещен в прямом направлении, транзистор работает в активном режиме, а неосновные носители (электроны) накапливаются только в базовой (преимущественно активной) области. Для схемы 1 характерно распределение неосновных носителей, приведенное на рис. 3.8, д, т. е. соединение коллектора с базой практически эквивалентно подключению ДШ. В остальных схемах (2—5) коллекторный переход смещен в прямом направлении. Через него из базы в коллектор инжектируются дырки, а из коллектора в базу (в том числе в пассивную) — электроны. Так, в схеме 2 ($I_K = 0$) транзистор работает в режиме насыщения. Для этого случая характерно распределение неосновных носителей, приведенное на рис. 3.8, г.

Учитывая сказанное в § 3.4 о принципе действия транзистора с ДШ, можно заключить, что для схемы 1 ($U_{КБ} = 0$) время восстановления обратного сопротивления должно быть наименьшим, тем более, что в этой схеме емкость диода определяется только барьерной емкостью эмиттерного p - n перехода. Поэтому такое диодное включение используется в быстродействующих цифровых микросхемах. Наибольшее время восстановления обратного сопротивления в схеме 5 ($U_{КЭ} = 0$), в которой напряжение прямого смещения обоих переходов имеет наибольшее значение, а следовательно, накапливаемый в коллекторе и базе заряд неосновных носителей максимален. Кроме того, максимальна и емкость диода, равная сумме барьерных емкостей коллекторного и эмиттерного p - n переходов.

3.8. МОДЕЛЬ ИНТЕГРАЛЬНОГО БИПОЛЯРНОГО ТРАНЗИСТОРА

На рис. 3.18 приведена модель интегрального транзистора типа n - p - n , аналогичная модели Эберса — Молла дискретного транзистора [3]. Она учитывает, что в структуре интегрального транзистора кроме

основного $n-p-n$ транзистора имеется паразитный $p-n-p$ транзистор (см. рис. 3.3).

Диоды $VD1 - VD3$ моделируют свойства эмиттерного, коллекторного и изолирующего $p-n$ переходов соответственно. Вольт-амперные характеристики этих диодов аппроксимируются формулами

$$I_1 = I_{Э0} [\exp(U'_{ЭБ}/\varphi_T) - 1],$$

$$I_2 = I_{К0} [\exp(U'_{КБ}/\varphi_T) - 1],$$

$$I_3 = I_{И0} [\exp(U'_{КП}/\varphi_T) - 1],$$

где $I_{Э0}$, $I_{К0}$, $I_{И0}$ — параметры модели, имеющие смысл тепловых обратных токов эмиттерного, коллекторного и изолирующего переходов. Положительными считаются токи I_1 , I_2 , I_3 , соответствующие прямым включениям переходов. Положительные направления токов во внешних выводах эмиттера, базы, коллектора и подложки показаны стрелками на рис. 3.18. Они совпадают с направлениями токов в активном режиме как для основного, так и для паразитного транзисторов.

Напряжения между внешними выводами эмиттер — база $U'_{ЭБ}$, коллектор — база $U'_{КБ}$, коллектор — подложка $U'_{КП}$ и напряжения на $p-n$ переходах $U'_{ЭБ}$, $U'_{КБ}$, $U'_{КП}$ считаются положительными, если соответствующий переход включен в прямом направлении.

Взаимодействие переходов транзистора учитывается четырьмя генераторами тока. Генератор тока $\alpha_N I_1$, включенный параллельно диоду $VD2$, учитывает передачу тока из эмиттера в коллектор, а генератор тока $\alpha_{пI} I_3$ — из подложки в коллектор. Здесь $\alpha_{пI}$ — инверсный коэффициент передачи паразитного $p-n-p$ транзистора. Генератор тока $\alpha_I I_2$, шунтирующий диод $VD1$, определяет передачу тока из коллектора в эмиттер, а генератор тока $\alpha_{пI} I_2$, включенный параллельно диоду $VD3$, — из базы в подложку ($\alpha_{пI}$ — нормальный коэффициент передачи паразитного транзистора).

Статические параметры модели — тепловые обратные токи переходов и коэффициенты передачи тока связаны между собой двумя соотношениями: $\alpha_N I_{Э0} = \alpha_I I_{К0}$ и $\alpha_{пI} I_{К0} = \alpha_{пI} I_{И0}$. Таким образом, из семи перечисленных параметров независимыми являются пять.

Модель интегрального биполярного транзистора содержит четыре резистора: $r'_э$, $r'_б$, $r'_к$ и $r'_п$, учитывающих влияние сопротивлений полупроводниковых областей эмиттера, базы, коллектора и подложки соответственно. Из-за резисторов напряжения на переходах $U'_{ЭБ}$, $U'_{КБ}$ и $U'_{КП}$ отличаются от напряжений между соответствующими

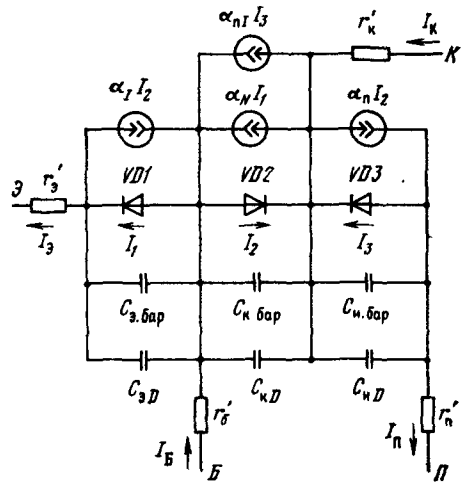


Рис. 3.18

внешними выводами. Сопротивления перечисленных резисторов являются параметрами модели. Численно они могут отличаться от объемных сопротивлений соответствующих областей транзистора.

Модель включает также барьерные и диффузионные емкости переходов: эмиттерного $C_{э\text{бар}}$, $C_{эD}$, коллекторного $C_{к\text{бар}}$, $C_{кD}$ и изолирующего $C_{и\text{бар}}$, $C_{иD}$, что позволяет использовать ее для анализа работы транзистора в импульсном режиме.

Барьерные и диффузионные емкости зависят от напряжений $U'_{эБ}$, $U'_{кБ}$ и $U'_{кп}$. Поэтому в модели могут использоваться усредненные постоянные значения емкостей — тогда они являются параметрами модели. Для повышения точности модели могут производиться различные аппроксимации зависимостей $C_{бар}(U)$ и $C_D(U)$. В этом случае заметно возрастает количество параметров модели, которые необходимо измерить. Например, зависимость барьерной емкости от напряжения на данном переходе обычно аппроксимируют функцией, $C_{бар} = C_{бар}(0)/(1 - U/\Phi_0)^m$, имеющей три параметра: $C_{бар}(0)$ — емкость при нулевом напряжении на переходе; Φ_0 — контактная разность потенциалов перехода; m — безразмерный коэффициент, лежащий в пределах от $1/3$ до $1/2$. Диффузионные емкости, существенных лишь при прямых напряжениях на переходах, представляют функциями вида $C_{эD} = k_1 I_1 = k_1 I_{э0} [\exp(U'_{эБ}/\Phi_T) - 1]$.

Эта модель пригодна для анализа транзистора при большом сигнале, поскольку в ней учитываются нелинейные характеристики элементов (диодов и конденсаторов). Она применяется для расчета импульсных и цифровых микросхем.

Модель интегрального биполярного транзистора, представленную на рис. 3.18, можно несколько упростить, если учесть, что изолирующий переход всегда смещен в обратном направлении. Поэтому полагают $I_3 \approx 0$ и $C_{иD} \approx 0$. Кроме того, обычно пренебрегают резистором r'_3 ввиду малости его сопротивления.

Для расчета аналоговых микросхем используют малосигнальные модели транзистора, соответствующие активному режиму его работы, когда эмиттерный переход включен в прямом, а коллекторный — в обратном направлениях. От моделей для дискретных транзисторов они отличаются дополнительными конденсатором $C_{и\text{бар}}$, учитывающим барьерную емкость изолирующего перехода, генератором тока утечки этого перехода и резистором $r'_п$.

3.9. БИПОЛЯРНЫЕ И ПОЛЕВЫЕ ТРАНЗИСТОРЫ НА ОДНОМ КРИСТАЛЛЕ

В некоторых аналоговых микросхемах используют полевые транзисторы с управляющим p - n переходом. Известно, что в отличие от биполярных полевые транзисторы характеризуются значительно большим входным сопротивлением и меньшим уровнем шумов, но уступают им по быстродействию и занимают большую площадь. Поэтому по-

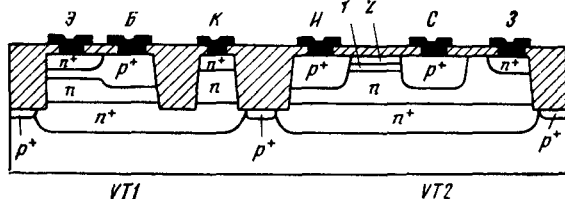


Рис. 3.19

левые транзисторы применяют во входных каскадах аналоговых микросхем, а в остальных каскадах используют биполярные транзисторы. В связи с этим возникает необходимость формирования на одном кристалле биполярных транзисторов и полевых транзисторов с управляющим p - n переходом.

На рис. 3.19 показана структура, созданная по изопланарной технологии и содержащая биполярный n - p - n транзистор $VT1$ и полевой транзистор $VT2$ с каналом p -типа. Конструкция биполярного транзистора аналогична приведенной на рис. 3.5. Истоком и стоком полевого транзистора служат области p^+ -типа, получаемые ионным легированием бором одновременно с областью пассивной базы биполярного транзистора. Каналом является область 1 p -типа, создаваемая специальным легированием бором. Дозу легирования канала и энергию ионов подбирают таким образом, чтобы канал формировался на некотором удалении от поверхности, а над ним сохранялась область 2 n -типа, которая, как и расположенная под каналом область n -типа (эпитаксиальный слой), выполняет функцию затвора.

Благодаря тому, что канал не соприкасается с поверхностью полупроводника, снижается уровень шумов, увеличивается подвижность дырок в канале и крутизна транзистора. Контактная n^+ -область затвора, как и коллекторная контактная область биполярного транзистора, используется для создания омического контакта к более высокому эпитаксиальному слою n -типа. Скрытый слой n -типа в структуре полевого транзистора необходим для уменьшения сопротивления области затвора и улучшения его частотных характеристик.

Глава 4. МДП-ТРАНЗИСТОРЫ ИНТЕГРАЛЬНЫХ МИКРОСХЕМ

В микросхемах наиболее широко распространены МДП-транзисторы с индуцированными каналами n -типа. Транзисторы со встроенными каналами используют реже, в основном как пассивные элементы (нелинейные резисторы). В комплементарных МДП-микросхемах

(КМДП) применяют транзисторы с индуцированными каналами n - и p -типа. При одинаковой конструкции n -канальные транзисторы имеют большую крутизну и более высокую граничную частоту, чем p -канальные, вследствие большей подвижности электронов по сравнению с дырками. В большинстве микросхем используют транзисторы с горизонтальным каналом (параллельным поверхности), однако существуют транзисторы и с вертикальным каналом, образующимся на стенках вытравленных канавок. Такие транзисторы занимают меньшую площадь на кристалле.

В отличие от биполярных МДП-транзисторы можно создавать в тонких слоях кремния, нанесенных на диэлектрическую подложку (например, сапфировую) или на окисленную кремниевую подложку (см. § 2.8). При этом повышаются быстродействие, степень интеграции и радиационная стойкость.

По мере совершенствования технологии топологические размеры, в частности длина канала, непрерывно снижаются. При этом основные характеристики и параметры транзисторов существенно изменяются, что необходимо учитывать.

4.1. ТРАНЗИСТОРЫ С КАНАЛАМИ n -ТИПА И САМОСОВМЕЩЕННЫМИ ЗАТВОРАМИ

Структура и топологический чертеж наиболее широко применяемого в полупроводниковых МДП-микросхемах n -канального транзистора показаны на рис. 4.1, а, б соответственно. Транзистор создается на слаболегированной подложке p -типа, области 1 и 2 n^+ -типа служат

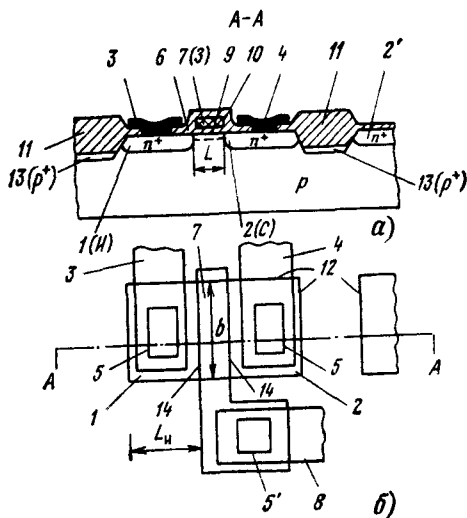


Рис. 4.1

истоком (L_n — длина истока) и стоком. Металлические (например, алюминиевые) выводы 3, 4 образуют омические контакты к ним через контактные отверстия 5 в слое окисла 6, покрывающего поверхность кристалла. Затвор 7 обычно выполняется из легированного донорами поликристаллического кремния. Слой поликремния, расположенный за пределами активной области транзистора, является одновременно и выводом затвора. При необходимости на периферии формируется контакт этого слоя с металлическим проводником 8 через контактное отверстие 5'. Под затвором 7 расположен тонкий окисел 9 — ди-

электрик МДП-структуры, а под ним слой 10, дополнительно легированный акцепторами в транзисторе с индуцированным каналом или донорами в транзисторе со встроенным каналом [3].

Соседние транзисторы на кристалле разделяются толстым углубленным слоем окисла 11, охватывающим транзистор с боковых сторон. Граница 12 окисла 11 совпадает с границами областей 1 и 2. Окисел 11 также ограничивает канал в направлении, перпендикулярном движению электронов, определяя ширину канала b .

Под разделительными областями 11 расположены сильнолегированные противоканальные слои 13 p^+ -типа, предотвращающие образование инверсных слоев n -типа, которые могли бы вызвать паразитную связь, между соседними транзисторами, например между областями 2 и 2' (см. § 3.2).

Рассмотрим процесс создания структуры микросхемы, содержащей транзисторы с индуцированными и встроенными каналами. На подложке с помощью фотолитографии формируют маску из нитрида кремния и ионным внедрением бора с большой дозой (около 10^{13} см $^{-2}$) создают противоканальные области p^+ -типа (рис. 4.2, а). Окислением через маску Si_3N_4 получают разделительный слой SiO_2 11 (рис. 4.2, б; нумерация такая же, как на рис. 4.1) и удаляют Si_3N_4 . Границы 12 разделительных слоев 11 (рис. 4.2, в) образуют так называемые окна, определяющие места расположения будущих транзисторов. Ионным внедрением бора получают слой 10 с повышенной по отношению к подложке концентрацией акцепторов.

С помощью второй фотолитографии в окна, предназначенные для транзисторов со встроенным каналом, производят ионное внедрение доноров (фосфора). В соответствующих слоях 10 происходит перекомпенсация акцепторов донорами и их проводимость изменяется с дырочной на электронную — образуются встроенные каналы. Далее формируют подзатворный диоксид кремния 9 (рис. 4.2, з), наносят на него слой поликремния и с помощью третьей фотолитографии получают рисунок затворов и поликремниевых проводников. Электрод затвора 7 (рис. 4.2, д) пересекает окно 12.

Ионным легированием (As, энергия 150...200 кэВ, доза более 10^{15} см $^{-2}$) без дополнительной маски формируют истоки 1 и стоки 2 (рис. 4.2, е) и одновременно легируют донорами затворы и поликремниевые проводники, понижая их сопротивление. Химическим паровым осаждением наносят слой диоксида кремния 6 (см. рис. 4.1, а) и с помощью четвертой фотолитографии создают в нем контакт-

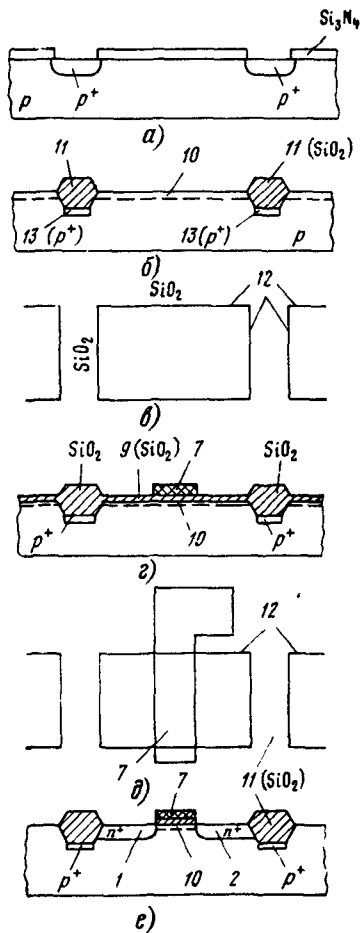


Рис. 4.2

ные отверстия. Вакуумным испарением наносят металлическую пленку (Al) и с помощью последней фотолитографии получают рисунок металлических проводников.

В целом процесс включает четыре операции нонного легирования и пять операций фотолитографии, он значительно проще, чем для биполярных микросхем, где необходимы эпитаксия, не менее четырех операций легирования и шести операций фотолитографии. Так как сопротивление поликремния весьма высокое, то вместо него для получения затворов и проводников иногда используют силициды тугоплавких металлов (см. § 2.9), имеющие на порядок меньшее сопротивление ($2 \dots 4 \text{ Ом}/\square$), или сами металлы (сопротивление менее $0,1 \text{ Ом}/\square$).

При создании областей истоков и стоков ранее сформированный затвор служит маской при внедрении доноров. В результате происходит самосовмещение краев областей истока и стока с краями затвора. На топологическом чертеже (см. рис. 4.1, б) эти края 14 практически совпадают. Самосовмещение обеспечивает минимальные емкости затвор — исток, затвор — сток и высокое быстродействие транзистора.

Рассмотрим связь между основными электрическими параметрами транзистора и параметрами его структуры. Пороговое напряжение транзистора с индуцированным каналом при нулевом напряжении исток — подложка [3]

$$U_{\text{пор}0} = -Q_{\text{пов}}/C_{\text{до}} + \sqrt{2\epsilon_0 \epsilon_n q N_{\text{а.п}} \Phi_{\text{пор}} / C_{\text{до}} + \Phi_{\text{пор}} + \Phi_{\text{м.п}0} + q N_{\text{л.д}} / C_{\text{до}}}, \quad (4.1)$$

где $Q_{\text{пов}}$ — плотность поверхностного заряда; $C_{\text{до}} = \epsilon_0 \epsilon_d / d_d$ — удельная емкость подзатворного диэлектрика; ϵ_0 — диэлектрическая проницаемость вакуума; ϵ_d , ϵ_n — относительные диэлектрические проницаемости диэлектрика и полупроводника; d_d — толщина диэлектрика; $\Phi_{\text{пор}}$ — пороговый поверхностный потенциал ($0,5 \dots 0,7 \text{ В}$), $\Phi_{\text{м.п}0}$ — контактная разность потенциалов затвор — подложка.

Для транзистора со встроенным каналом в формуле (4.1) добавляется еще один член $-q N_{\text{л.д}} / C_{\text{до}}$, определяющий отрицательный знак порогового напряжения. Для структуры на рис. 4.1 с поликремниевым затвором, легированном донорами, $\Phi_{\text{пор}} + \Phi_{\text{м.п}0} \approx 0$.

Таким образом, пороговое напряжение транзистора с индуцированным каналом растет пропорционально толщине диэлектрика и дозе легирования канала и уменьшается при увеличении положительного поверхностного заряда. Оно также увеличивается пропорционально $\sqrt{N_{\text{а.п.}}}$.

На рис. 4.3 показана зависимость порогового напряжения транзистора с индуцированным каналом от дозы легирования канала при разных толщинах диэлектрика и концентрациях примесей в подложке. Подбирая определенную дозу, можно легко получить требуемое пороговое напряжение, типичное значение которого $0,5 \dots 1 \text{ В}$.

Если напряжение исток — подложка $U_{\text{ип}}$ положительно, что соответствует обратному смещению p - n перехода, то пороговое напряжение увеличивается:

$$U_{\text{пор}} = U_{\text{пор}0} + K_{\text{подл}} (\sqrt{\Phi_{\text{пор}} + U_{\text{ип}}} - \sqrt{\Phi_{\text{пор}}}), \quad (4.2)$$

где

$$K_{\text{подл}} = \sqrt{2\epsilon_0 \epsilon_n q N_{a,n}} / C_{\text{до}} \quad (4.3)$$

— коэффициент подложки.

Важнейшая особенность транзисторов в микросхеме — наличие *общей подложки*. В процессе работы микросхемы напряжения истоков $U_{\text{И}}$ относительно общей шины многих транзисторов изменяются. Это ведет к изменению напряжений $U_{\text{ИП}}$, а значит, пороговых напряжений и токов через транзисторы. Такое явление называют *эффектом под-*

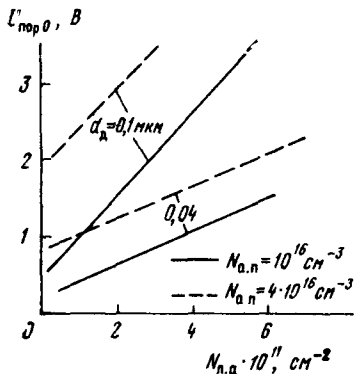


Рис. 4.3

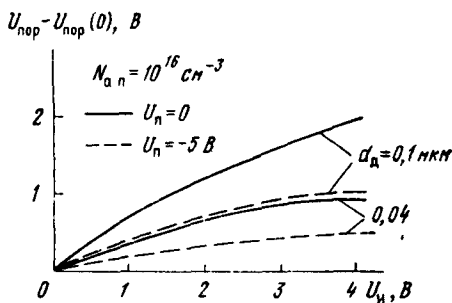


Рис. 4.4

ложки. В результате ухудшаются параметры микросхемы (см. гл. 8), причем транзисторы на одном кристалле имеют различные пороговые напряжения, даже если их структуры идентичны.

Зависимость $U_{\text{пор}}(U_{\text{И}})$ усиливается с ростом концентрации примесей в подложке, а также толщины диэлектрика. Влияние последней иллюстрируется графиками на рис. 4.4. Сплошные линии соответствуют случаю, когда подложка соединена с общей шиной, тогда $U_{\text{И}} = U_{\text{ИП}}$, $U_{\text{пор}}(0) = U_{\text{порог}}$, штриховые — случаю, когда на подложку подано напряжение смещения $U_{\text{П}}$, отрицательное относительно общей шины. Тогда напряжение $U_{\text{ИП}} = U_{\text{И}} + |U_{\text{П}}|$ увеличивается для всех транзисторов микросхемы. Зависимость $U_{\text{пор}}(U_{\text{И}})$ ослабевает, так как производная $dU_{\text{пор}}/dU_{\text{И}} \sim K_{\text{подл}} / \sqrt{\Phi_{\text{пор}} + |U_{\text{П}}| + U_{\text{И}}}$ уменьшается. Подключение подложки к дополнительному источнику напряжения является эффективной мерой ослабления эффекта подложки и улучшения параметров микросхемы.

Удельная крутизна связана с параметрами структуры следующим образом:

$$K = C_{\text{до}} \mu_n b / L = \epsilon_0 \epsilon_d \mu_n b / L d_d, \quad (4.4)$$

где μ_n — подвижность электронов; b , L — ширина и длина канала. Ток, протекающий через транзистор, пропорционален K .

Длина канала — важнейший параметр структуры транзистора. На рис. 4.5 показано ее влияние на стоко-затворную характеристику ($b = 20$ мкм, $N_{a,п} = 10^{16}$ см $^{-3}$, $d_{п} = 0,04$ мкм). С ростом L уменьшается K и крутизна стоко-затворной характеристики. Поэтому длину канала обычно выбирают минимально возможной исходя из разрешающей способности фотолитографии Δ : $L = \Delta$ (см. § 2.10). Вольт-амперные характеристики квадратичны [3], они выходят из одной точки, так как пороговое напряжение не зависит от длины канала.

Стоковые характеристики (рис. 4.6) имеют крутой начальный участок 1, соответствующий режиму неперекрытого канала, и пологий участок 2, соответствующий режиму перекрытого канала, или насыщения. Разделяющее эти участки напряжение насыщения $U_{СИ\text{нас}} = U_{ЗИ} - U_{пор}$ не зависит от длины канала. При увеличении длины канала пропорционально снижается крутизна ВАХ на участке 1 и ток насыщения на участке 2. Наклон ВАХ в режиме насыщения определяется *эффектом модуляции длины канала*, слабее выраженным при большой длине канала. Поэтому угол наклона уменьшается, а внутреннее сопротивление R_i увеличивается пропорционально L .

Для аналитического описания ВАХ широко применяются формулы

$$I_C = \begin{cases} K[(U_{ЗИ} - U_{пор})U_{СИ} - U_{СИ}^2/2], & U_{СИ} < U_{СИ\text{нас}}; \\ (K/2)(U_{ЗИ} - U_{пор})^2, & U_{СИ} > U_{СИ\text{нас}}. \end{cases} \quad (4.5a) \quad (4.5b)$$

Эффект модуляции длины канала в режиме насыщения учитывается при подстановке в формулу (4.5б) уточненной удельной крутизны $K = C_{доп}b/(L - \Delta L)$, где $\Delta L \approx \sqrt{2\epsilon_0\epsilon_{п}(U_{СИ} - U_{СИ\text{нас}})/qN_{a,п}}$ — длина участка перекрытия канала вблизи стока [3].

На рис. 4.7, а, б приведены стоко-затворная и стоковая характеристики транзисторов при различной толщине диэлектрика под зат-

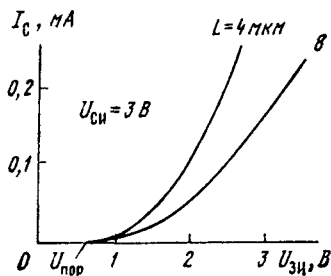


Рис. 4.5

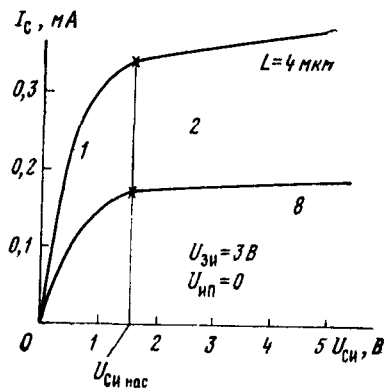


Рис. 4.6

вором. С ростом d_d уменьшаются удельная крутизна и крутизна стокзатворной характеристики (рис. 4.7, а) и увеличивается пороговое напряжение. Для увеличения крутизны, а также ослабления эффекта подложки (см. рис. 4.4) толщину диэлектрика обычно выбирают минимальной исходя из возможностей технологии. Однако при очень малом $d_d < 0,01$ мкм) возможно протекание тока через диэлектрик вследствие туннельного эффекта, а также снижается напряжение пробоя диэлектрического слоя, что ухудшает параметры транзистора.

Концентрация примесей в подложке влияет на ВАХ в основном через пороговое напряжение и в меньшей степени через удельную крутизну: с ростом $N_{a,p}$ уменьшается подвижность электронов μ_n и снижается K в соответствии с (4.4). Концентрацию $N_{a,p}$ необходимо уменьшать для повышения крутизны, ослабления эффекта подложки и снижения емкостей $p-n$ переходов, но при слишком малых $N_{a,p}$ возрастает сопротивление подложки.

Приведем типовые параметры транзисторов со структурой, показанной на рис. 4.1.

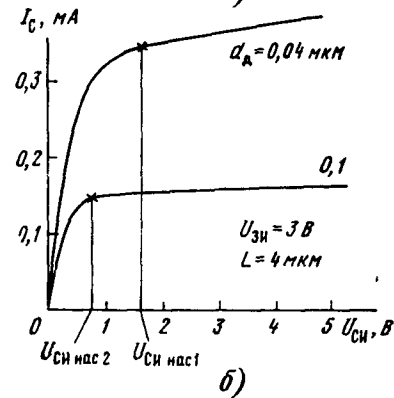
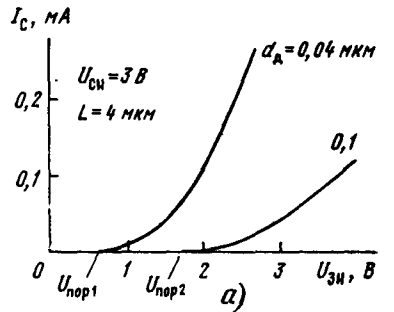


Рис. 4.7

Концентрация примесей в подложке, см ⁻³	10 ¹⁶
Толщина слоя диоксида кремния, мкм:	
подзатворного	0,03...0,04
разделительного	0,4...0,5
Толщина областей истока и стока, мкм	0,5
Длина канала, мкм	1...4
Подвижность электронов в канале, см ² /(В·с)	500...700
Пороговое напряжение транзистора, В:	
с индуцированным каналом	0,5...1
со встроенным каналом	-1...-2
Температурный коэффициент:	
порогового напряжения, мВ/°С	-1
удельной крутизны, %/°С	-(0,2...0,3)
Удельная крутизна:	
при $b/L=10$, мА/В ²	0,2...0,7
на 1 мкм ширины канала, мкА/(В ² ·мкм)	7...70
Коэффициент подложки, В ^{1/2}	0,5...0,7

Удельная емкость, пФ/мкм^2 :	
затвор — канал	$(7...10) \cdot 10^{-4}$
p - n переходов	$(1...2) \cdot 10^{-4}$
Граничная частота, ГГц	1...10
Напряжение пробоя стокового перехода	12...17 В
Минимальная площадь при $b/L=3$, мкм^2	25...220
Ток стока на единицу площади в режиме насыщения при $U_{зи} - U_{пор} = 1$ В, мкА/мкм^2	0,3...3

При одних и тех же параметрах фотолитографии минимальная площадь МДП-транзистора в 3 ... 5 раз меньше, чем биполярного. Ток насыщения МДП-транзистора менее 0,1 мА. Если требуется больший ток (например, в выходных каскадах БИС), то пропорционально увеличивают ширину канала и площадь, занимаемую транзистором.

4.2. ПАРАМЕТРЫ И ХАРАКТЕРИСТИКИ ТРАНЗИСТОРОВ С КОРОТКИМ КАНАЛОМ

Рассмотренные в § 4.1 соотношения и характеристики присущи транзисторам с длинным каналом, для которых выполняется условие $L \gg L_{об.н} + L_{об.с}$, где $L_{об.н}$, $L_{об.с}$ — толщины обедненных слоев p - n переходов исток — подложка и сток — подложка у поверхности (рис. 4.8).

Границы обедненных слоев показаны штриховыми линиями. По мере уменьшения длины канала указанное условие перестает выполняться. Если величины L и $L_{об.н} + L_{об.с}$ соизмеримы, то канал называют *коротким*.

Введем параметр $\xi = L/(L_{об.н} + L_{об.с})$, значение которого для короткого канала около единицы. Эффекты короткого канала начинают проявляться при $\xi = 3 \dots 5$, и чем меньше ξ , тем сильнее они выражены и тем больше изменяется форма ВАХ по сравнению с ВАХ транзисторов с длинным каналом (где $\xi \gg 1$). Особенно резкое отличие наблюдается при $\xi < 1$, но такие транзисторы используются сравнительно редко. Транзисторы со значениями $\xi = 2 \dots 4$ широко применяются в цифровых СБИС. Толщины обедненных слоев увеличиваются с ростом напряжений исток — подложка и сток — исток. Поэтому одна и та же структура при малых напряжениях может иметь большое ξ и по свойствам быть близкой к транзистору с длинным каналом, а при больших напряжениях — иметь малое ξ и сильно отличаться от него.

Пороговое напряжение. Для длинного канала пороговое напряжение не зависит от напряжения сток — исток. Это связано с тем, что при отсутствии канала электрическое поле под затвором около истока зависит лишь от напряжения $U_{зи}$. При изменении напряжения $U_{си}$ электрическое

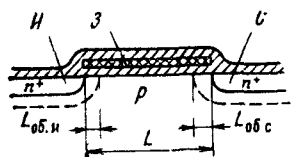


Рис. 4.8

поле изменяется только вблизи стока на расстоянии, приблизительно равном толщине обедненного слоя p - n перехода $L_{об.с.}$, где существует продольная составляющая напряженности электрического поля E_y . Так как $L_{об.с.} \ll L$, то почти во всей приповерхностной области под затвором напряженность электрического поля постоянна, причем его продольная составляющая $E_y = 0$.

При уменьшении длины канала L становится соизмеримым с $L_{об.с.}$. В этом случае продольная составляющая электрического поля $E_y \neq 0$ во всей области под затвором, в частности, и около истока. При повышении напряжения $U_{СИ}$ величина E_y растет, а высота потенциального барьера p - n перехода исток — подложка у поверхности понижается. Поэтому инжекция электронов из истока и образование канала будут происходить при меньшем напряжении на затворе. Отсюда следует, что в транзисторе с коротким каналом (при $\xi > 1$) пороговое напряжение уменьшается с ростом напряжения на стоке. Зависимость $U_{пор}$ ($U_{СИ}$) тем сильнее, чем меньше длина канала. Очевидно, что при постоянном напряжении на стоке пороговое напряжение будет снижаться при уменьшении L .

Теоретический анализ процессов в транзисторе с коротким каналом очень сложен и не дает возможности получить приемлемые в инженерной практике формулы для порогового напряжения. Его рассчитывают на ЭВМ для конкретных параметров структур либо исследуют экспериментально.

На рис. 4.9, а приведены экспериментальные графики $U_{пор}(L)$ для разных напряжений $U_{СИ}$ ($N_{а.п} = 6 \cdot 10^{15} \text{ см}^{-3}$, $U_{ИП} = 3 \text{ В}$ [7]). На рис. 4.9, б показаны зависимости относительного порогового напряжения $U_{пор}(L)/U_{пор.дл.}$, где $U_{пор.дл.}$ — пороговое напряжение для длинного канала, при разных концентрациях акцепторов в подложке. Относительная величина выбрана для более наглядной иллюстрации зависимости от L . Концентрация акцепторов влияет на пороговое напряжение при любой длине канала. Поэтому если откладывать по оси ординат $U_{пор}$, то все графики с ростом L будут стремиться к разным пределам. Не вдаваясь в детальное объяснение, укажем, что при уменьшении $N_{а.п}$ растут толщины обедненных слоев $L_{об.и.}$, $L_{об.с.}$ и снижается параметр ξ , поэтому влияние L на $U_{пор}$ проявляется сильнее при меньших концентрациях.

Как показывают теоретический анализ и эксперимент, зависимости $U_{пор}(U_{СИ})$ и $U_{пор}(L)$ ослабевают при уменьшении толщины слоев истока и стока.

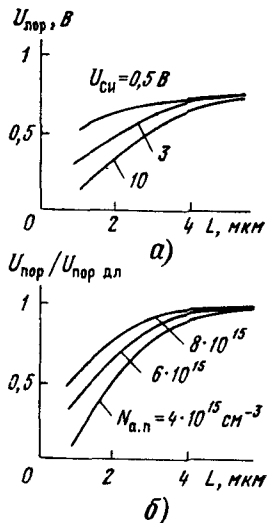


Рис. 4.9

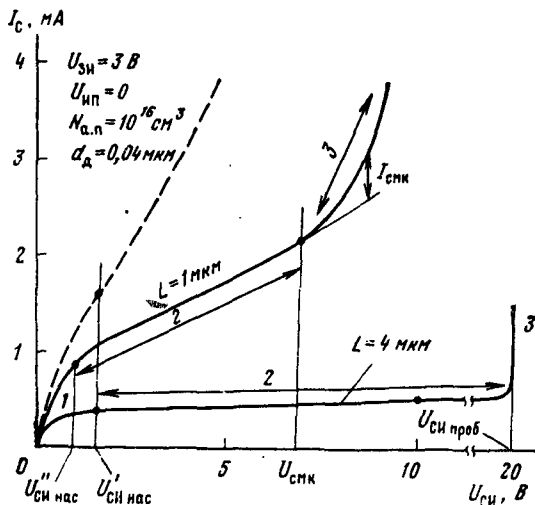


Рис. 4.10

Пороговое напряжение слабее зависит от напряжения истоков — подложка в транзисторе с коротким каналом, чем с длинным. Действительно, рост $U_{ИП}$ увеличивает высоту потенциального барьера $p-n$ перехода исток — подложка, как и в случае длинного канала. Но одновременно из-за расширения стокового $p-n$ перехода увеличивается напряженность продольного электрического поля, что частично компенсирует рост высоты барьера у поверхности, а значит, и порогового напряжения.

Зависимость $U_{пор}$ ($U_{ИП}$) можно аппроксимировать формулой (4.2), выбрав соответствующее значение коэффициента подложки $K'_{подл}$, меньшее, чем для длинного канала (формула (4.3) в этом случае неверна). При моделировании применяют следующую аппроксимацию зависимости:

$$U_{пор} = U_{пор0} + K'_{подл} (\sqrt{U_{ИП} + \Phi_{пор}} - \sqrt{\Phi_{пор}}) - \gamma U_{си}, \quad (4.6)$$

где $U_{пор0}$, $K'_{подл}$, γ — параметры модели, выбираемые из условия наилучшего совпадения формулы (4.6) с экспериментальными данными.

Стоковые характеристики. На рис. 4.10 для сравнения приведены ВАХ транзисторов с длинным ($L = 4 \text{ мкм}$) и коротким ($L = 1 \text{ мкм}$) каналами. Для первого $\xi = 8$, а для второго $\xi = 1,5$ при $U_{си} = 0$.

Первое отличие ВАХ транзистора с коротким каналом заключается в меньшем напряжении насыщения. При длинном канале насыщение происходит вследствие перекрытия канала у стока, а $U_{си нас} \approx U_{зи} - U_{пор}$ (в нашем случае $U_{пор} = 1,3 \text{ В}$). При коротком канале помимо этого насыщению способствует эффект сильного по-

ля. Он заключается в том, что с ростом напряжения $U_{СИ}$ и продольной составляющей вектора напряженности электрического поля E_y подвижность электронов уменьшается, а их дрейфовая скорость увеличивается пропорционально E_y , стремясь к постоянной величине — скорости насыщения $v_{нас}$. Это замедляет рост тока при увеличении напряжения.

Зависимость подвижности электронов от напряженности поля аппроксимируется формулой $\mu_n = \mu_{n0}/[1 + E_y \mu_{n0}/v_{нас}]$, где μ_{n0} — подвижность в слабых полях [3]. Так как ток пропорционален подвижности, то для расчета ВАХ на участке 1 используют формулу (4.5а), вводя в нее множитель $\xi_E = \mu_n/\mu_{n0} = 1/(1 + U_{СИ}/U_0)$, где $U_0 = Lv_{нас}/\mu_{n0}$. Из условия $dI_C/dU_{СИ} = 0$ получим напряжение насыщения

$$U_{СИнас} = U_0 (\sqrt{1 + 2(U_{ЗИ} - U_{пор})/U_0} - 1). \quad (4.7)$$

Соответствующий ему ток $I_{Снас} = 0,5KU_{СИнас}^2$, где $K = bC_{доп}\mu_{n0}/L$. Поскольку пороговое напряжение зависит от напряжения сток—исток, то в формулу (4.7) надо подставлять $U_{пор}$ при $U_{СИ} = U_{СИнас}$. Однако при небольшом напряжении насыщения можно подставлять $U_{СИпор}$ при $U_{СИ} = 0$ и считать, что зависимость $U_{пор}(U_{СИ})$ не сказывается на напряжении насыщения.

Второе отличие ВАХ транзистора с коротким каналом состоит в том, что ток и угол наклона ВАХ на участке насыщения 2 имеют большие значения. Однако из-за эффекта сильного поля рост тока при снижении длины канала происходит не пропорционально $1/L$, а гораздо медленнее. То же относится и к углу наклона ВАХ. На рис. 4.10 штриховой линией показана характеристика, построенная без учета эффекта сильного поля. Из-за очень сильной модуляции длины канала пологий участок ВАХ практически отсутствует. Наклон реальной характеристики в режиме насыщения определяется действием противоположных факторов: с одной стороны, эффекта модуляции длины канала и снижения порогового напряжения с ростом напряжения сток — исток, с другой — снижении подвижности электронов и насыщения их дрейфовой скорости.

Удовлетворительный численный расчет ВАХ на пологом участке возможен лишь на ЭВМ для конкретной структуры транзистора. Для очень короткого канала, когда на всем его протяжении электроны движутся со скоростью насыщения, ток на участке 2

$$I_{Снас} = C_{доп} b v_{нас} (U_{ЗИ} - U_{пор}). \quad (4.8)$$

В этом предельном случае зависимость тока от напряжения в режиме насыщения обусловлена лишь снижением $U_{пор}$ с ростом $U_{СИ}$.

Для транзистора с длинным каналом участок 3 соответствует лавинному пробую стокового $p-n$ перехода. В транзисторе с коротким каналом до наступления лавинного пробоя (т. е. при меньших напряжениях $U_{СИ}$) происходит смыкание обедненных слоев обоих $p-n$ переходов, что вызывает рост тока и переход к области 3 со значительно большим углом наклона ВАХ, чем в области 2. В этом заключается

третье отличие ВАХ транзистора с коротким каналом. При напряжении смыкания ($U_{СИ} = U_{СМК}$) параметр $\xi = 1$, а при $U_{СИ} > U_{СМК}$ параметр $\xi < 1$. В области 3 ток стока складывается из канального тока и тока смыкания ($I_{СМК}$). Последний в отличие от канального тока протекает на некотором удалении от поверхности. Затвор сохраняет управление током смыкания, т.е. транзистор с коротким каналом на участке 3 работоспособен. Однако его крутизна $dI_{СД}/dU_{ЗИ}$ уменьшается.

Ток смыкания зависит от напряжения по степенному закону, который можно аппроксимировать формулой

$$I_{СМК} \sim [U_{СИ} - U_{СМК}(U_{ЗИ})]^n = [U_{СИ} - (U_{СМК0} - vU_{ЗИ})]^n, \quad (4.9)$$

где n — параметр, лежащий в диапазоне $1 \dots 2$; $U_{СМК0}$ — напряжение смыкания при $U_{ЗИ} = 0$; v — параметр, учитывающий влияние напряжения на затворе на напряжение смыкания.

По мере снижения длины канала напряжение смыкания уменьшается по закону $U_{СМК} \sim L^2$. При очень коротком канале смыкания наступает раньше, чем проявляется эффект сильного поля и пологий участок 2 на ВАХ исчезает. Хотя транзистор и сохраняет работоспособность, но у него снижаются крутизна и внутреннее сопротивление. Применение таких транзисторов возможно в цифровых микросхемах и практически недопустимо в аналоговых.

Теоретический анализ и эксперимент показывают, что *напряжение смыкания повышается при снижении толщины областей истока и стока*. Этот факт используется на практике для устранения смыкания, если оно нежелательно.

Стоко-затворные характеристики. На рис. 4.11 приведены ВАХ транзисторов с длинным ($L = 4$ мкм) и коротким ($L = 1$ мкм) каналами в режиме насыщения при разных напряжениях сток и исток, меньших напряжения смыкания. Существенное первое отличие семейства ВАХ транзистора с коротким каналом заключается в том, что ВАХ, соответствующие разным $U_{СИ}$, начинаются из разных точек на оси абсцисс, так как пороговое напряжение уменьшается с ростом напряжения на стоке. Второе отличие состоит в том, что ток и крутизна имеют большие значения. Однако из-за эффекта сильного поля ток и крутизна растут непропорционально $1/L$.

Штриховыми линиями показаны ВАХ для $L = 1$ мкм, рассчитанные без учета эффекта сильного поля и зависимости $U_{пор}(U_{СИ})$. При $U_{ЗИ} \approx U_{пор}$ они имеют меньшую крутизну вследствие того, что $U_{пор} > U_{пор1} > U_{пор2}$. Штриховые ВАХ квадратичны (как и у транзисторов с длинным каналом), а ВАХ реального транзистора с коротким каналом квадратичны только вблизи порогового напряжения. С ростом $U_{ЗИ}$ они приближаются к линейным из-за эффекта сильного поля, а их крутизна оказывается меньше, чем при отсутствии эффекта сильного поля. В этом состоит третье отличие от ВАХ транзистора с длинным каналом.

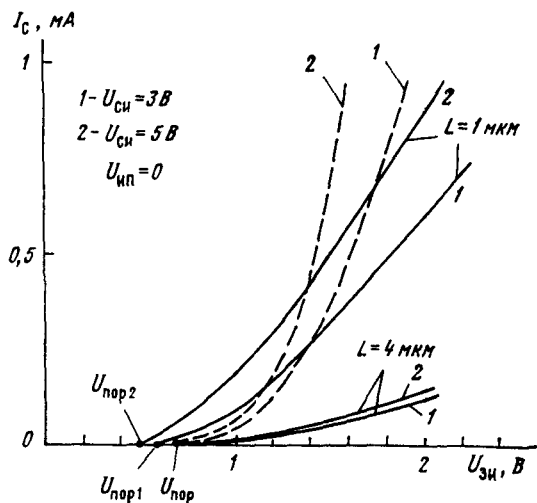


Рис. 4.11

Линеаризация характеристики транзистора с коротким каналом объясняется тем, что дрейфовая скорость электронов почти постоянна и близка к скорости насыщения. В то же время плотность заряда электронов в канале $Q_n \sim U_{зи} - U_{пор}$ следовательно, $I_c \sim Q_n v_{др} \sim (U_{зи} - U_{пор}) v_{нас}$. В предельном случае очень малой длины канала, когда на всем его протяжении электроны движутся со скоростью насыщения (но смыкания еще не произошло), ток вычисляется по формуле (4.8), а крутизна

$$S = bC_{до} v_{нас}. \quad (4.10)$$

Пробой стокового p-n перехода. В транзисторе с длинным каналом напряжение лавинного пробоя стокового p-n перехода не зависит от L , но увеличивается с ростом $U_{зи}$ [3]. Последнее объясняется уменьшением напряженности электрического поля на краю стока под затвором, где происходит пробой вследствие снижения разности потенциалов между стоком и затвором. В транзисторе с коротким каналом при тех же остальных параметрах структуры напряжение пробоя меньше, причем с ростом $U_{зи}$ или понижением L оно уменьшается.

Пробой развивается следующим образом. Электроны, движущиеся в сток, ускоряясь в сильном продольном электрическом поле, вызывают ударную ионизацию в обедненном слое у края стоковой области. В результате появляются дополнительные носители заряда обоих знаков, число которых пропорционально числу первичных электронов (т. е. току канала) и увеличивается с ростом $U_{зи}$. Дополнительные электроны быстро переносятся электрическим полем в сток; по пути они могут, в свою очередь, вызвать ударную ионизацию. Менее подвижные дырки гораздо медленнее переносятся в подложку. Вследствие этого у края стока образуется дополнительный положительный объемный заряд дырок, изменяющий распределение электрического поля и понижающий высоту потенциального барьера p-n перехода исток-подложка у поверхности. Увеличиваются инжекция электронов из истока и ток канала, что приводит к усилению удар-

ной ионизации около стока, дальнейшему росту положительного объемного заряда дырок и т. д. Возникает *положительная обратная связь* между числом ионистелей, генерируемых вследствие ударной ионизации, и числом носителей, инжектируемых из истока. Это приводит к резкому неуправляемому росту тока, т. е. пробоя, напряжение которого может быть в 1,5..2 раза меньше собственно напряжения лавинного пробоя $p-n$ перехода сток—подложка. В транзисторах с длиной канала 1 мкм $U_{СИ}$ проб ≈ 10 В при $U_{ЗИ} > U_{пор}$. Оно снижается при росте концентрации примесей в подложке и уменьшении толщины стоковой области, как и в транзисторе с длинным каналом.

Инжекция горячих электронов и окисел. В сильном электрическом поле, существующем в канале у стока, электроны на длине свободного пробега могут приобретать энергию, значительно превышающую среднюю энергию теплового движения (*горячие электроны*). Небольшая их часть имеет энергию, достаточную для преодоления потенциального барьера на границе кремний—диэлектрик. Эти электроны могут проникать (инжектироваться) в диэлектрик (окисел) и захватываться существующими там ловушками, изменяя заряд в диэлектрике. В результате увеличивается и становится нестабильным пороговое напряжение.

Для предотвращения нежелательной инжекции горячих электронов в окисел напряжение на стоке не должно превышать половины пробивного напряжения. Так как последнее при малой длине канала невелико, необходимо ограничивать минимально допустимую длину канала.

Нестабильность порогового напряжения увеличивается с ростом концентрации ловушек в окисле. Электроннолучевая и плазменная обработки пластины, характерные для технологии СБИС, как правило, увеличивают число ловушек. В связи с этим необходимо создавать структуры с минимальной напряженностью электрического поля у стока. Это достигается использованием плавных $p-n$ переходов [3], формируемых специальными технологическими методами, и понижением концентрации доноров в областях истока и стока.

4.3. РАЗНОВИДНОСТИ ТРАНЗИСТОРНЫХ СТРУКТУР СБИС

Модифицированная n -канальная структура с самосовмещенным затвором. Транзисторы СБИС при минимальных размерах должны иметь стабильное пороговое напряжение, практически не зависящее от $U_{СИ}$, малые сопротивления слоев истока и стока, предпороговые токи и емкости $p-n$ переходов при достаточно высоких напряжениях пробоя и смыкания и отсутствии инжекции горячих электронов в диэлектрик. Легко видеть, что эти требования для структуры рис. 4.1 противоречат друг другу. Например, для увеличения напряжения пробоя надо повышать глубину залегания $p-n$ переходов [3], а для увеличения напряжения смыкания — ее понижать. Для уменьшения сопротивлений надо иметь сильнолегированные области истока и стока, но тогда трудно обеспечить достаточно высокое напряжение пробоя. Снижение концентрации акцепторов в подложке уменьшает не только емкости $p-n$ переходов, но и напряжение смыкания. Более совершенная (модифицированная) структура, в которой эти противоречия ослаблены, а параметры улучшены, показана на рис. 4.12.

У границ истока и стока формируют области 1 с невысокой концентрацией доноров (10^{17} см⁻³), образующие плавные $p-n$ переходы с подложкой. Этим достигается достаточно высокое напряжение пробоя и предотвращается инжекция горячих электронов в окисел. Малая толщина слоев 1 ($x_0 \approx 0,2$ мкм) обеспечивает достаточно высо-

кое напряжение смыкания и стабильное пороговое напряжение, слабо зависящее от $U_{СИ}$ (см. § 4.2). Благодаря малой длине ($L_1 \approx 0,1 \dots 0,3$ мкм) слоя 1 практически не увеличиваются сопротивления истока, стока и площадь транзистора. Столь малые длины, находящиеся за пределами разрешающей способности фотолитографии, получают специальными технологическими методами, например самосовмещением и др. [7].

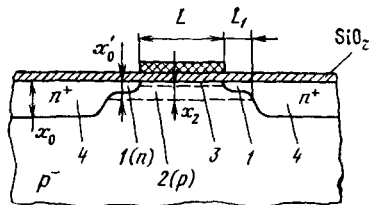


Рис. 4.12

Слаболегированная подложка ($N_{a,п} = 10^{15}$ см⁻³) обеспечивает малые емкости p - n переходов. Чтобы одновременно не снижалось напряжение смыкания, создается слой 2 с повышенной концентрацией акцепторов, оптимальная толщина которого равна толщине слоев 1 ($x_2 \approx x_0'$). Большая толщина увеличивает емкости на нижних границах слоев 1 и боковых границах слоев 4, а меньшая — не обеспечивает приемлемого напряжения смыкания. Тонкий (менее 0,1 мкм) слой 3 p -типа определяет значение порогового напряжения. Толстые ($x_0 \geq 0,5$ мкм) сильнолегированные области 4 дают малые сопротивления истока, стока. Из-за низкой концентрации примесей подложка имеет большое сопротивление $r_{п}$, что ведет к появлению значительных помех при работе СБИС. Для снижения $r_{п}$ используют более сложную структуру, где транзисторы формируют в тонком эпитаксиальном слое p -типа, нанесенном на сильнолегированную подложку p^+ -типа.

Комплементарные структуры. Сочетание транзисторов с каналами n - и p -типа представляет собой комплементарную структуру. Применяются транзисторы с индуцированными каналами. Структура формируется на слаболегированной подложке 1 p -типа (рис. 4.13), причем n -канальный транзистор подобен показанному на рис. 4.1. На рис. 4.13 обозначены его основные слои: 2, 3 — исток и сток, 4 — поликремниевый самосовмещенный затвор, 13 — покрывающий его оксид, 9 — слой, легированный акцепторами, задающий пороговое напряжение. Транзисторы разделяются углубленным оксидом с находящимися под ним противоканальными слоями 11.

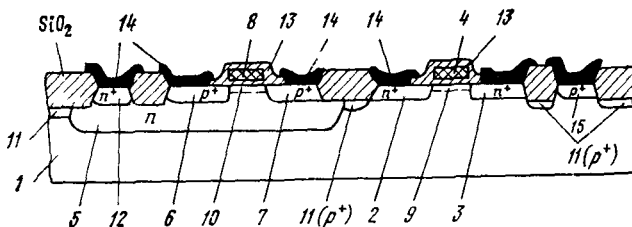


Рис. 4.13

Транзистор с каналом p -типа размещают в специальном кармане 5 толщиной 3 ... 4 мкм, создаваемом с помощью ионного легирования с последующей разгонкой для снижения до 10^{17} см $^{-3}$ концентрации доноров у поверхности. Он состоит из областей истока 6 и стока 7 p^+ -типа; поликремниевое самосовмещенное затвора 8, покрытого окислом 13, легированного акцепторами слоя 10, задающего пороговое напряжение, металлических выводов 14.

Без слоя 10 отрицательное пороговое напряжение получается слишком большим по модулю из-за влияния положительного поверхностного заряда, препятствующего образованию канала p -типа, а также довольно высокой концентрации доноров в кармане. Снижение модуля порогового напряжения связано с дозой легирования слоя 10: $|\Delta U_{\text{пор } p}| = qN_{\text{л.а}}/C_{\text{д.о}}$. Для КМДП-микросхем оптимальным является равенство модулей пороговых напряжений комплементарных транзисторов. Так как легирование канала акцепторами повышает $U_{\text{пор } n}$ и понижает $|U_{\text{пор } p}|$, а до легирования $|U_{\text{пор } p}| > U_{\text{пор } n}$, то слои 9 и 10 можно сформировать во время одной операции, подобрав дозу так, чтобы получить равенство $|U_{\text{пор } p}| = U_{\text{пор } n}$. Типичные значения $U_{\text{пор}} = 0,5 \dots 1$ В.

Несколько транзисторов с каналами p -типа, расположенные в одном кармане, разделяются областями углубленного окисла.

Область кармана 5 имеет вывод, соединяемый при работе микросхемы плюсом источника питания. Для получения омического контакта предусматривается сильнолегированная контактная область 12 (см. § 2.9). Омический контакт к подложке соединяется с минусом источника питания. Для его создания используется контактная область 15 p^+ -типа.

Площадь, приходящаяся на один транзистор, в комплементарной структуре больше, чем в структуре на однотипных n -канальных транзисторах. Это обусловлено несколькими причинами, в частности существованием карманов с выводами к ним. При формировании кармана примеси распространяются в боковом направлении на такое же расстояние, как и вглубь (3...4 мкм), вследствие чего увеличиваются его размеры. Расстояние между p - n переходом карман — подложка и p - n переходом ближайшего n -канального транзистора (например, между областями 2 и 5 на рис. 4.13) должно быть больше суммы толщин обедненных слоев этих переходов, чтобы не было замыкания областей 2 и 5. Так как подложка слабо легирована, то толщина обедненных слоев получается весьма большой (примерно 3 мкм при $N_{\text{а.п}} = 10^{15}$ см $^{-3}$ и напряжении на переходах около 5 В). Помимо этого n -канальные транзисторы надо удалять от края кармана, чтобы не возникал тиристорный эффект — замыкание между слоями 7 и 2 в результате включения тиристорной p - n - p - n структуры, образованной областями 7, 5, 1, 2 (8.3).

Структура на рис. 4.13 характеризуется относительно большими емкостями между карманом и областями истока и стока p -канального транзистора из-за высокой по сравнению с подложкой концентрацией примесей в кармане. Этот недо-

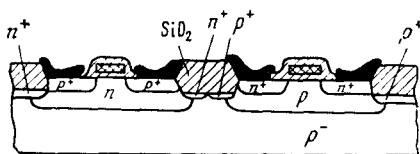
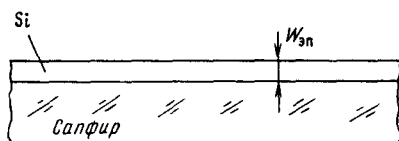
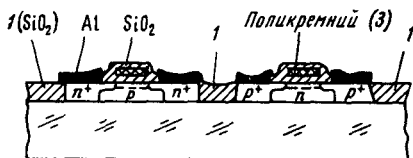


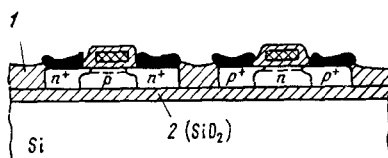
Рис. 4.14



а)



б)



б)

Рис. 4.15

статок устранен в структуре с карманами двух типов (рис. 4.14). Карманы, формируемые в подложке p -типа с очень низкой концентрацией доноров (10^{14} см^{-3}), имеют одинаковую и невысокую (менее 10^{16} см^{-3}) концентрацию примесей, обеспечивающую малые емкости p - n переходов. Необходимо, чтобы противоканальные слои разных типов (n^+ для p -канальных и p^+ для n -канальных транзисторов) были под всеми слоями окисла, разделяющими транзисторы в одном кармане. Под окислом, разделяющим карманы, создают противоканальные слои обоих типов: n^+ для предотвращения паразитных каналов между стоком (истоком) p -канального транзистора и подложкой, p^+ для предотвращения паразитных каналов между истоком (стоком) n -канального транзистора и n -карманом.

Структуры «кремний на диэлектрике» (КНД). Транзисторы формируют в тонкой кремниевой пленке, нанесенной на диэлектрический слой. Для получения хороших электрических параметров пленка должна быть монокристаллической с малым числом дефектов.

В структурах *кремний на сапфире* (КНС) пленку толщиной $0,5 \dots 1$ мкм формируют путем гетероэпитаксии (см. гл. 2) на подложке из сапфира, имеющего кристаллическую решетку, близкую к кремнию (рис. 4.15, а). Локальным окислением в эпитаксиальной пленке создают проходящие насквозь боковые слои диоксида кремния 1 (рис. 4.15, б) и получают изолированные островки кремния, предназначенные для отдельных транзисторов. Слева от центрального слоя 1 показан транзистор с каналом n -типа, справа — с каналом p -типа.

В рассмотренном примере транзисторы имеют структуру, подобную структурам на рис. 4.12. Под затвором формируется лишь один слой, задающий пороговое напряжение. Другой слой (аналог слоя 2 на рис. 4.12) не нужен, так как высокое напряжение смыкания может быть достигнуто выбором достаточно большой концентрации доноров и акцепторов в исходных островках кремния. При этом емкости p - n переходов очень малы, так как они образуются лишь с торцевых сто-

рон слов истока и стока. Применяются и более простые транзисторы без тонких крайних областей истока и стока.

Комплементарные КНС-микросхемы имеют важные преимущества по сравнению с микросхемами на кремниевых подложках (см. рис.4.13). Во-первых, выше степень интеграции, так как транзисторы можно разместить на минимальном расстоянии друг от друга, отсутствуют карманы и выводы от подложки. Во-вторых, повышается бытродействие из-за снижения емкостей $p-n$ переходов (исключаются их нижние поверхности). В-третьих, повышается радиационная стойкость к импульсному излучению.

Основной эффект, производимый в полупроводниковой структуре коротким импульсом ионизирующего излучения малой дозы, заключается в генерации большого числа электронно-дырочных пар. Они возникают на всей длине пробега ионизирующей частицы, которая значительно больше толщины активных слоев микросхемы (например, толщины кармана в структуре на рис. 4.13, эпитаксиального слоя в структуре на рис. 4.15).

Число пар, генерируемых в тонких слоях, мало. Поэтому в структуре на рис. 4.13 основная масса электронно-дырочных пар образуется в толще подложки, под транзисторами, на значительном удалении от поверхности. Диффундируя к поверхности и подходу к обедненным слоям $p-n$ переходов, неосновные носители экстрагируются и увеличивают токи переходов. Возникают импульсы тока в стоковых цепях закрытых транзисторов, и происходит их кратковременное отпирание. Это приводит к сбою, в частности теряется информация в запоминающих элементах цифровых микросхем. Полупроводниковая структура не разрушается, так как доза облучения мала; по окончании воздействия схема остается работоспособной и параметры транзисторов сохраняются. В структуре КНС число электронно-дырочных пар, генерируемых в тонкой эпитаксиальной пленке кремния, мало, а диффузия их из глубины подложки к поверхности отсутствует, так как подложка диэлектрическая. Следовательно, сбой может произойти лишь при гораздо большей интенсивности облучения, чем в структурах на кремниевых подложках.

Из-за повышенного числа дефектов в эпитаксиальной пленке подвижность носителей, а значит, и крутизна транзисторов на сапфировых подложках меньше, чем на кремниевых. Они имеют большие токи в закрытом состоянии. Дополнительные токи утечки протекают вдоль границы раздела кремний—сапфир. Токи термогенерации $p-n$ переходов также больше из-за повышенного числа центров генерации в эпитаксиальной пленке.

Существенным недостатком КНС-микросхем является их высокая стоимость. В связи с этим разработаны способы создания КНД-структур, не содержащих сапфировых подложек, путем получения тонких пленок кремния на окисленных кремниевых подложках (см. § 2.8). Такая структура изображена на рис. 4.15, в. Она имеет не только меньшую стоимость, но и лучшие по сравнению с КНС электрические параметры — большую подвижность носителей и меньшие токи утечки закрытых транзисторов (хотя и не столь малые, как в транзисторах, сформированных в монокристаллических подложках). Кремниевая подложка имеет большую теплопроводность. При работе микросхемы она соединяется с нулевой шиной и снижает паразитные емкости между соседними проводниками и другими элементами схемы.

Вертикальные структуры. Все рассматриваемые до сих пор структуры транзисторов можно назвать горизонтальными, так как в них каналы проходят параллельно поверхности кристалла. Их размеры близки к физическим пределам. Поэтому дальнейшего роста плотности элементов и степени интеграции можно добиться, переходя к бо-

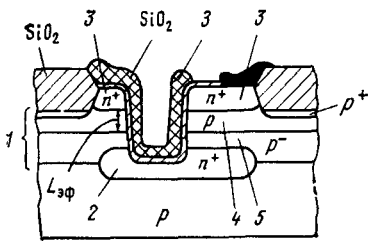


Рис. 4.16

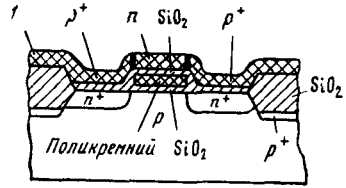


Рис. 4.17

лее компактным структурам, располагая области источка и стока друг над другом. В таких структурах канал проходит в вертикальном направлении, поэтому они называются *вертикальными*. Вертикальные структуры и микросхемы на их основе принадлежат к направлению микроэлектроники, получившей название «трехмерной» интеграции, которое в настоящее время только развивается и является исключительно перспективным. Созданы опытные образцы трехмерных микросхем.

Пример транзистора с вертикальной структурой приведен на рис. 4.16. Она содержит подложку p -типа с нанесенным на нее эпитаксиальным слоем 1 толщиной $3 \dots 4$ мкм. На границе между ними формируют скрытый слой 2 n^+ -типа, выполняющий функцию стока транзистора (вывод от него не показан, так как он расположен в другом сечении).

Методом анизотропного травления в эпитаксиальном слое создают канавку с вертикальными боковыми стенками, на которые наносят диэлектрик (SiO_2), а поверх него металлический или поликремниевый электрод затвора 3 . У поверхности эпитаксиального слоя содержится вторая область 3 n^+ -типа, играющая роль истока. Канал образуется вдоль боковых стенок канавки. Между истоком и стоком находятся слои 4 p -типа и 5 p^- -типа.

Концентрация акцепторов в слое 4 определяет пороговое напряжение, а его толщина — эффективную длину канала. При сравнительно большой толщине эпитаксиального слоя можно получить транзистор с очень малой эффективной длиной канала (менее $0,3$ мкм). Высокая концентрация акцепторов в слое 4 предотвращает смыкание p - n переходов. Достаточно большое напряжение пробоя обеспечивается малой кривизной переходов. Так как канал образуется по всем боковым стенкам канавки, то его ширина определяется ее периметром.

Многослойные структуры. В описанных в данной главе структурах все транзисторы располагались в одном и том же тонком приповерхностном слое, который можно назвать активным слоем кристалла микросхемы. Важным направлением трехмерной микроэлектроники являются многослойные структуры, содержащие не один, а несколько активных слоев, в которых транзисторы размещаются один над другим в несколько «этажей». Степень интеграции микросхемы пропорциональна числу активных слоев. Пока разработаны опытные образцы только двухслойных структур.

Пример двухслойной структуры, содержащей комплементарные транзисторы, приведен на рис. 4.17. Над n -канальным транзистором в пленке отожженного поликремния 1 , по своим свойствам приближа

ющегося к монокристаллу (см. § 2.8), сформирован транзистор с каналом *p*-типа. Оба транзистора имеют общий затвор из поликремния, что удобно в цифровых микросхемах, содержащих комплементарные пары транзисторов с соединенными затворами (см. гл. 8). Таким образом, комплементарная пара вместе с соединениями занимает такую же площадь, как один транзистор с каналом *n*-типа. Этим достигается повышение степени интеграции по крайней мере в 3 ... 4 раза по сравнению со структурой на рис. 4.13.

Глава 5. ПОЛЕВЫЕ ТРАНЗИСТОРЫ С УПРАВЛЯЮЩИМ ПЕРЕХОДОМ МЕТАЛЛ—ПОЛУПРОВОДНИК

Полевые транзисторы с управляющим переходом металл — полупроводник являются основными активными элементами арсенид галлиевых микросхем. Главная цель их разработки состояла в повышении быстродействия. Цифровые арсенид-галлиевые микросхемы относятся к классу сверхскоростных, а аналоговые, как правило, предназначены для работы в диапазоне сверхвысоких частот.

При разработке полевых транзисторов с управляющим переходом металл-полупроводник и микросхем на их основе используются следующие преимущества арсенида галлия по сравнению с кремнием: более высокие подвижность электронов в слабых электрических полях и скорость насыщения в сильных полях, большая ширина запрещенной зоны и, как следствие, значительно более высокое удельное сопротивление нелегированного арсенида галлия, позволяющее создавать полужолирующие подложки микросхемы. Ниже приведены основные электрофизические параметры арсенида галлия и кремния при $T = 300$ К.

	GaAs	Si
Подвижность, $\text{см}^2/(\text{В}\cdot\text{с})$, при концентрации доноров 10^{17} см^{-3} :		
электронов	$(4\text{...}5) \cdot 10^3$	$(0,8\text{...}1) \cdot 10^3$
дырок	250	350
Скорость насыщения в сильном электрическом поле, $\text{см}/\text{с}$	$2 \cdot 10^7$	$0,8 \cdot 10^7$
Максимальное удельное сопротивление нелегированного материала, Ом·см	$10^7\text{...}10^9$	10^5
Время жизни неосновных носителей, с	10^{-8}	10^{-3}
Плотность поверхностных состояний в МДП-структуре, см^{-2}	$10^{12}\text{...}10^{13}$	10^{10}

Видно, что арсенид галлия уступает кремнию по ряду параметров, важных для создания транзисторов и микросхем. Так, слишком высокая плотность поверхностных состояний в МДП-структурах на арсе-

ниде галлия пока не позволяет создавать на его основе высококачественные МДП-транзисторы. Низкая подвижность дырок и малое время жизни неосновных носителей затрудняют разработку биполярных транзисторов. По этим причинам наиболее оптимальным активным элементом, позволяющим реализовать в микросхемах преимущества арсенида галлия по сравнению с кремнием, является *полевой транзистор с управляющим переходом металл-полупроводник (МЕП-транзистор)*.

В данной главе рассмотрены основные разновидности конструкций, характеристики и параметры МЕП-транзисторов арсенид-галлиевых микросхем. Кроме того, описаны *гетероструктурные* полевые транзисторы с управляющим переходом металл — полупроводник.

5.1. ПРОСТЕЙШАЯ СТРУКТУРА МЕП-ТРАНЗИСТОРА

Одна из первых структур арсенид-галлиевого МЕП-транзистора (поперечный разрез) показана на рис. 5.1. Транзистор создают на подложке 1 из нелегированного арсенида галлия. Нелегированный арсенид галлия имеет слабо выраженную проводимость *p*-типа. Для ее уменьшения при выращивании монокристаллов иногда вводят в небольших количествах атомы хрома, компенсирующие действие акцепторов. Подложки, изготовленные из такого материала, обладают повышенным удельным сопротивлением, и их называют *полуизолирующими*.

У поверхности подложки методом ионного легирования формируют сильнолегированные области 2 истока и стока n^+ -типа, а затем — тонкий слой канала 3 *n*-типа. Типичная толщина слоя 3 $d_0 = 0,1 \dots 0,2$ мкм, концентрация доноров в канале $N_{д.к} = (1 \dots 2) \cdot 10^{17} \text{ см}^{-3}$. В качестве легирующих примесей (доноров) обычно используют кремний, селен, серу и др.

На поверхность подложки над слоем 3 наносят металлический электрод 4 затвора 3, например, в виде сплава титан — вольфрам. Металлические электроды 5, для которых применяют композицию золото-германий, обеспечивают омические контакты к областям истокам *I* и стокам *С*. На поверхность подложки, не используемую для контактов, наносят слой диэлектрика 6, например диоксида кремния.

Металлический электрод затвора образует со слоем 3 выпрямляющий контакт — барьер Шотки, типичная равновесная высота которого 0,8 В. Проводящий канал между истоком и стоком располагается в слое 3 и ограничен сверху обедненной областью 7 барьера Шотки, а снизу — подложкой 1. Толщина проводящего канала равна $d_0 - L_{об}$, где $L_{об}$ — толщина обедненной области 7. Типичное расстояние

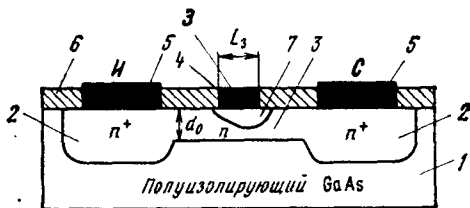


Рис. 5.1

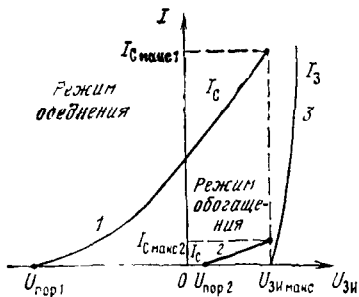


Рис. 5.2

Если напряжение на затворе равно пороговому $U_{пор}$, то граница обедненного слоя 7 достигает полуизолирующей подложки (толщина канала и ток стока равны нулю). Пороговое напряжение определяется из условия $L_{об}(U_{пор}) = d_0$:

$$U_{пор} = \Phi_{03} - qN_{д.к} d_0^2 / (2\epsilon_0 \epsilon_n), \quad (5.1)$$

где Φ_{03} — равновесная высота потенциального барьера контакта металл — полупроводник; ϵ_n — относительная диэлектрическая проницаемость арсенида галлия, $\epsilon_n = 13,1$.

Требуемое пороговое напряжение обеспечивают выбором концентрации доноров в канале $N_{д.к}$ и толщины d_0 слоя 3. Например, при $\Phi_{03} = 0,8$ В, $N_{д.к} = 10^{17}$ см⁻³ и $d_0 = 0,2$ мкм имеем $U_{пор} = -2$ В. При малой толщине d_0 пороговое напряжение может быть положительным. Так, при $d_0 = 0,1$ мкм и той же концентрации доноров в слое 3 $U_{пор} = 0,08$ В. В арсенид-галлиевых микросхемах применяют МЭП-транзисторы, для которых $U_{пор} = -2,5 \dots +0,2$ В. Если $U_{пор} < 0$, то при $U_{зи} = 0$ канал является проводящим и транзистор называют *нормально открытым* — он аналогичен МДП-транзистору со встроенным каналом. При $U_{пор} > 0$ и $U_{зи} = 0$ канал перекрыт обедненным слоем 7 и транзистор называют *нормально закрытым* — он аналогичен МДП-транзистору с индуцированным каналом.

На рис. 5.2 приведены стоко-затворные характеристики нормально открытого 1 и нормально закрытого 2 транзисторов, а также их входная характеристика 3. Для нормально открытых МЭП-транзисторов управляющее напряжение затвора, при котором протекает ток стока, может изменяться от отрицательных значений, превышающих пороговое, до небольших положительных (не более 0,6 В). При больших положительных напряжениях на затворе в его цепи появляется нежелательный ток I_3 , так как открывается переход металл — полупроводник (кривая 3). Поэтому ток стока ограничен величиной $I_{С макс1}$. Для нормально закрытых транзисторов напряжение затвора, при котором протекает ток стока, положительно и может изменяться лишь в узких пределах $0 \dots 0,6$ В. Максимальный ток стока ограничен значением $I_{С макс2}$. Для транзисторов с одинаковыми размерами канала (длиной и шириной) $I_{С макс1} \gg I_{С макс2}$.

исток — сток $L_{ис} = 1,5 \dots 3$ мкм, а длина затвора $L_3 = 0,5 \dots 1$ мкм.

Напомним принцип действия транзистора [3]. Между затвором и истоком подается управляющее напряжение $U_{зи}$, на сток — положительное напряжение $U_{си}$. При изменении управляющего напряжения изменяются толщина обедненного слоя 7 $L_{об}(U_{зи})$, толщина проводящего канала $d_k(U_{зи}) = d_0 - L_{об}(U_{зи})$, его проводимость и ток стока.

Для арсенид-галлиевых цифровых микросхем наиболее перспективны нормально закрытые МЭП-транзисторы (см. § 8.5). При создании этих транзисторов необходимо обеспечивать как можно меньший *технологический разброс пороговых напряжений*. Снижение разброса пороговых напряжений представляет серьезную технологическую проблему, так как согласно формуле (5.1) пороговое напряжение линейно зависит от концентрации доноров в канале и квадратично — от толщины слоя 3.

В некоторых микросхемах используют как нормально открытые, так и нормально закрытые транзисторы. Для их создания на одном кристалле необходимы дополнительные технологические операции. Один из вариантов технологии состоит в локальном травлении части слоя 3 *n*-типа (см. рис. 5.1). Тогда на более толстом слое *n*-типа получают нормально открытые транзисторы, а на более тонком — нормально закрытые. Последние называют транзисторами с *заглубленным затвором*. В другом варианте используют две операции селективного ионного легирования подложки из полуизолирующего арсенида галлия, с помощью которых последовательно формируют области *n*-типа для транзисторов разных типов.

Для транзисторов с длинным каналом крутизна

$$S = b\mu_n \epsilon_0 \epsilon_{II} (U_{зи} - U_{и0П}) / L_3 d_0, \quad (5.2)$$

где *b* — ширина канала. Здесь длина затвора L_3 играет роль эффективной длины канала. Благодаря более высокой подвижности электронов μ_n обеспечиваются большие, чем в кремниевых МДП-транзисторах, значения крутизны при тех же размерах. В отличие от кремния для арсенида галлия характерна меньшая критическая напряженность поля (около $3 \cdot 10^3$ В/см), при которой дрейфовая скорость достигает насыщения. Поэтому в арсенид-галлиевых МЭП-транзисторах эффект сильного поля (см. гл. 4) проявляется при большей длине канала и меньшем напряжении на стоке, чем в кремниевых МДП-транзисторах. В этом случае вследствие уменьшения подвижности с ростом напряженности поля реальное значение крутизны получается ниже, чем следует из (5.2).

В транзисторах с коротким каналом дрейфовая скорость достигает насыщения, стоко-затворная характеристика близка к линейной, а крутизна слабо зависит от напряжения на затворе. Ее можно оценить по формуле

$$S = \epsilon_0 \epsilon_{II} b v_{нас} / d_0. \quad (5.3)$$

При этом большее значение крутизны арсенид-галлиевых МЭП-транзисторов по сравнению с кремниевыми МДП-транзисторами (при тех же размерах) обусловлено большей скоростью насыщения, приблизительно равной $2 \cdot 10^7$ см/с.

Формула (5.3) может давать заниженное значение крутизны. При очень коротком канале ($L_3 < 0,5$ мкм) время пролета электронов через канал меньше среднего времени свободного пробега. В этом слу-

чае понятия подвижности и дрейфовой скорости теряют смысл. Электроны движутся через канал без рассеяния, подобно электронам в вакууме. Такое движение называют *баллистическим*. Скорость электронов v в конце неперекрытого участка канала определяется напряжением на этом участке $U_{зи} - U_{пор}$ из соотношения $m_n v^2/2 = q(U_{зи} - U_{пор})$, где m_n — эффективная масса электрона. В качестве эффективной скорости $v_{эф}$, определяющей крутизну, которую следует подставлять в формулу (5.3) вместо $v_{нас}$, можно использовать среднюю скорость в канале: $v_{эф} = v/2 = \sqrt{q(U_{зи} - U_{пор})/2 m_n}$. Например, при $d_0 = 0,2$ мкм, $b = 40$ мкм, $U_{зи} - U_{пор} = 0,25$ В, $m_n = 0,7 m_0$ (m_0 — масса покоя электрона) получаем $v_{эф} = 5,5 \cdot 10^7$ см/с и предельное значение крутизны (при данных размерах) $S = 11$ мА/В, тогда как $v_{нас} \approx 2 \cdot 10^7$ см/с и соответствующая ей крутизна $S = 4$ мА/В.

В отличие от кремниевых МДП-транзисторов с индуцированным каналом (см. гл. 4) в МЭП-транзисторе очень малы паразитные емкости затвор — исток и затвор — сток, так как затвор (см. рис. 5.1) не перекрывает область 2. Кроме того, малы и барьерные емкости сток — подложка, исток — подложка, поскольку подложка является полуизолирующей — концентрация примесей в ней очень низкая, а толщина обедненной области $n^+ - i$ переходов велика. Большое значение имеет только емкость затвор — канал $C_{зк}$, представляющая собой барьерную емкость перехода металл — полупроводник. При $U_{зи} > U_{пор}$ ее можно оценить по формуле $C_{зк} = \epsilon_0 \epsilon_n b L_3 / L_{об}$. Для снижения этой емкости следует уменьшить длину затвора.

Предельная частота крутизны f_s определяется временем пролета электронов через канал $t_{пр.к}$. При малой длине затвора $t_{пр.к} \approx L_3 / v_{эф}$. Следовательно, $f_s \approx v_{эф} / 2\pi L_3$. При $L_3 = 0,5$ мкм получаем $f_s > 60$ ГГц.

При работе МЭП-транзисторов в импульсном режиме время их переключения определяется временем пролета электронов через канал и временем перезарядки нагрузочной емкости. Чем больше крутизна, тем больше ток стока при заданном напряжении на затворе и тем быстрее перезаряжается нагрузочная емкость. Повышение быстродействия арсенид-галлиевых цифровых микросхем по сравнению с кремниевыми обусловлено главным образом увеличением крутизны используемых в них МЭП-транзисторов, а также уменьшением времени пролета и паразитных емкостей транзисторов.

По формулам (5.2) и (5.3) определяются значения крутизны без учета влияния сопротивления истока R_n . С ростом R_n крутизна уменьшается в соответствии с формулой

$$S' = S / (1 + R_n S), \quad (5.4)$$

где S определяется из (5.2) или (5.3). Для получения высоких значений крутизны необходимо выполнение условия $SR_n \ll 1$. Основной вклад в сопротивление истока вносит часть слоя 3 (см. рис. 5.1), расположенная вне затвора под диэлектриком (диоксидом кремния).

Как показал эксперимент, на границе арсенида галлия с диэлектриком находятся поверхностные состояния, заряд которых отрицателен. Под влиянием отрицательного поверхностного заряда указанная часть слоя \bar{z} у поверхности обедняется электронами, ее удельное сопротивление возрастает, что приводит к увеличению сопротивления истока. В этом состоит один из недостатков рассмотренной структуры. Для его устранения была разработана структура МЭП-транзистора с самосовмещенным затвором (см. § 5.2).

Ниже приведены типовые параметры МЭП-транзисторов со структурой, показанной на рис. 5.1.

Концентрация доноров в канале, см^{-3}	$(1..3) \cdot 10^{17}$
Подвижность электронов в канале, $\text{см}^2/(\text{В} \cdot \text{с})$	$(4..5) \cdot 10^3$
Толщина канала, нм	50...200
Высота барьера Шотки, В	0,7...0,8
Длина затвора, мкм	0,5...1,0
Ширина затвора, мкм	5...20
Расстояние исток — сток, мкм	2...3
Длина транзистора, мкм	10...12
Пороговое напряжение, В:	
нормально открытого транзистора	-2,5...-0,5
нормально закрытого транзистора	0...0,2
Крутизна на единицу ширины канала (S/b), $\text{мСм}/\text{мм}$	100...150
Удельная емкость, $\text{пФ}/\text{мм}$:	
затвор — исток $C_{зи}/b$	0,5...1,5
затвор — сток $C_{э}/b$	0,1...0,2
сток — исток $C_{си}/b$	0,05...0,1
Граничная частота, ГГц	15...20

При малой длине канала в МЭП-транзисторах проявляются эффекты короткого канала, рассмотренные в § 4.3. Пороговое напряжение в этом случае оказывается меньше получаемого из (5.1). Оно снижается при уменьшении длины канала и увеличении напряжения на стоке. Качественно эти зависимости имеют такой же вид, как для МДП-транзисторов (см. рис. 4.9).

При достаточно высоком напряжении на стоке может наблюдаться смыкание стокового и истокового переходов, приводящее к появлению в цепи стока тока $I_{\text{СМК}}$, изменяющего вид стоковых характеристик. Однако критическая напряженность поля, при которой дрейфовая скорость достигает насыщения, в арсениде галлия значительно ниже, чем в кремнии. Например, при $L_3 = 1$ мкм дрейфовая скорость достигает насыщения при напряжении на непокрытой части канала $U_{зи} = U_{\text{пор}} = 0,3$ В. Поэтому этот эффект сильнее других влияет на параметры и форму характеристик.

Насыщение дрейфовой скорости приводит к тому, что крутизна [см. формулу (5.3)] при дальнейшем повышении напряжения на затворе почти постоянна, а на стоко-затворной характеристике (см. кривую I на рис. 5.2) появляется линейный участок. Этот эффект также частично компенсирует эффект модуляции длины канала, т. е. уменьшает угол наклона стоковых характеристик в области насыщения и увеличивает выходное сопротивление.

5.2. РАЗНОВИДНОСТИ СТРУКТУР МЕП-ТРАНЗИСТОРОВ

Рассмотрим структуру транзистора с самосовмещенным затвором. Основные технологические этапы ее изготовления поясняет рис. 5.3. Структуру создают на полуизолирующей подложке из арсенида галлия. Слой n -типа (рис. 5.3, а) для канала каждого транзистора микросхемы формируют селективным ионным легированием подложки кремнием через маску из диоксида кремния. Пороговое напряжение транзисторов [см. формулу (5.1)] регулируется изменением дозы ионов кремния. Например, при одинаковой энергии ионов, равной 59 кэВ, доза для нормально закрытых транзисторов 10^{12} см $^{-2}$ и вдвое больше для нормально открытых. Затем наносят металлический затвор 3, материалом которого служит сплав титан — вольфрам.

При формировании истоковой и стоковой областей n^+ -типа (рис. 5.3, б) затвор используют в качестве маски. Поэтому указанные области непосредственно граничат с каналом. Далее наносят слой диоксида кремния (рис. 5.3, в), проводят отжиг для устранения дефектов, возникающих при ионном легировании, вскрывают контактные отверстия в диоксиде кремния и создают омические контакты к истоковой и стоковой областям, используя сплав золото — германий (рис. 5.3, г).

Для транзистора с самосовмещенным затвором при $L_g = 1,5$ мкм и $b = 1$ мм получены следующие параметры: $U_{пор} = 0,05$ В, $R_n = 0,75$ Ом, $S/b = 87$ мСм/мм. По сравнению с транзистором со структурой, показанной на рис. 5.1, имеющим те же размеры, сопротивление истока меньше в 5 раз, а крутизна больше в 3 раза. В структуре с самосовмещенным затвором пробивное напряжение затвора определяется распределением концентраций примесей в n^+ -областях, так как они непосредственно примыкают к границам затвора. При энергии ионов 175 кэВ и дозе $1,7 \cdot 10^{13}$ см $^{-2}$ максимальная концентрация доноров в областях n^+ -типа $1 \cdot 10^{18}$ см $^{-3}$, пробивное напряжение затвора 6 В. Недостатком данной структуры являются большие паразитные емкости затвор — исток и затвор — сток.

Технологию самосовмещения используют и при создании структуры МЭП-транзистора, приведенной на рис. 5.4 (указанные размеры в микрометрах). Селективным ионным легированием кремнием полуизолирующей арсенид-галлиевой подложки, как и в структуре на

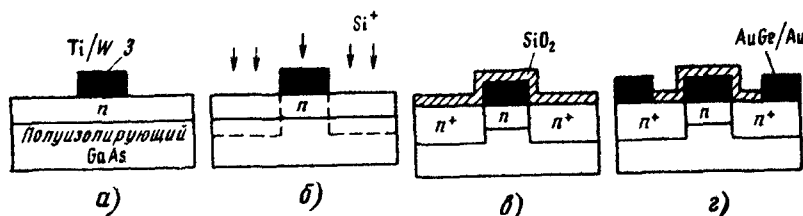


Рис. 5.3

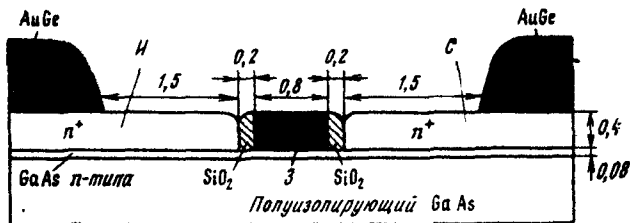


Рис. 5.4

рис. 5.3, формируют слой с проводимостью n -типа толщиной $0,08$ мкм. В этом слое располагается канал МЭП-транзистора. Затвор транзистора представляет собой полоску силицида вольфрама, его длина $0,8$ мкм. Силицид вольфрама выбран в качестве материала затвора потому, что может выдерживать последующие технологические операции, проводимые при температурах свыше 700°C .

По обеим сторонам затвора создают «прокладки» из диоксида кремния, обеспечивающие в дальнейшем самосовмещение стоковой и истоковой областей с затвором. Эти области n^+ -типа толщиной $0,4$ мкм получают селективным эпитаксиальным выращиванием с помощью химического осаждения из металлоорганических соединений. Омические контакты к истоковой и стоковой областям создают нанесением металлического слоя, представляющего собой сплав золото — германий. Малые расстояния исток — затвор и сток — затвор позволяют уменьшить паразитные (неуправляемые) сопротивления этих областей и повысить крутизну транзистора до $S/b = 250$ мСм/мм. В данной структуре ослабляются эффекты короткого канала, проявляющиеся в рассмотренных выше структурах с имплантированными областями истока и стока, проникающими в подложку на глубину, большую чем глубина самого канала.

Специфика МЭП-транзисторов, используемых в аналоговых микросхемах диапазона СВЧ, определяется тем, что помимо высоких граничных частот (десятки гигагерц) требуется обеспечить большие рабочие токи (десятки миллиампер) для достижения большой мощности. В связи с этим ширина затвора должна во много раз превышать его длину, а сопротивление затвора должно быть минимальным. Эти требования определяют особенности топологии СВЧ-транзистора.

Вариант топологии СВЧ-транзистора приведен на рис. 5.5. Для снижения сопротивления затвора вывод сделан от середины затвора $З$. Переходные сопротивления контактов к истоку $И$ и стоку $С$ должны быть как можно меньше, поэтому при изготовлении транзисторов применяют специальную очистку поверхности, а в качестве материалов для выводов — специальные металлы. Например, поверх слоя из

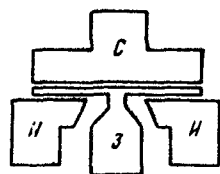


Рис. 5.5

сплава золото — германий наносят слой никеля. Используют также топологию с несколькими выводами от затвора, соединенными между собой широкими проводниками. В СВЧ-микросхемах применяют также двухзатворные транзисторы, называемые *полевыми тетрами*. Их используют в усилителях с регулируемым усилением, преобразователях частоты, переключающих устройствах, фазовращателях.

5.3. ПАРАЗИТНАЯ СВЯЗЬ МЕЖДУ ЭЛЕМЕНТАМИ ЧЕРЕЗ ПОЛУИЗОЛИРУЮЩУЮ ПОДЛОЖКУ

Полуизолирующая подложка из компенсированного хромом или нелегированного арсенида галлия, обладающего высоким удельным сопротивлением (более 10^8 Ом·см), позволяет обеспечивать очень малые токи утечки переходов исток — подложка; сток — подложка и паразитные токи между соседними транзисторами микросхемы при малых (несколько микрометров) расстояниях между ними. Однако серьезной причиной, ограничивающей минимальные расстояния между транзисторами на кристалле и степень интеграции арсенид-галлиевых микросхем, создаваемых на полуизолирующей подложке, является паразитная связь между соседними элементами, обусловленная эффектом поля в подложке.

Для пояснения этого эффекта на рис. 5.6 показана активная часть структуры транзистора (см. рис. 5.1) между истоком и стоком. В этой части в слое n -типа существуют три области (заштрихованы), обедненные электронами: 1 — под затвором, 2 — под диэлектриком у поверхности, 3 — на границе с подложкой 5. Кроме того, имеется область отрицательного объемного заряда 4, расположенная в подложке. В области 4 находятся неподвижные отрицательные ионы. Они представляют собой примеси и дефекты в подложке (центры захвата), которые захватывают электроны, переходящие из слоя n -типа.

Толщина обедненной области 3 тем больше, чем ниже концентрация доноров в слое n -типа и чем выше концентрация примесей и дефектов в подложке. Толщина области 3 также зависит от потенциала подложки под электрическим n - i переходом 3—4. При изменении этого потенциала изменяется толщина области 3, а следовательно, толщина канала и ток стока при неизменных напряжениях на электродах транзистора.

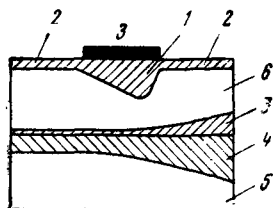


Рис. 5.6

Изменение потенциала подложки в области, расположенной под каналом транзистора, в кристалле микросхемы может быть обусловлено изменением напряжения на электродах соседних элементов. Поэтому ток стока данного транзистора может зависеть не только от напряжений на его электродах, но и от напряжений на электродах соседних элементов. В этом состоит сущность паразитной связи между соседними элементами, рас-

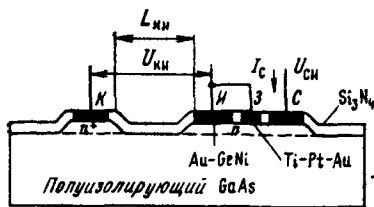


Рис. 5.7

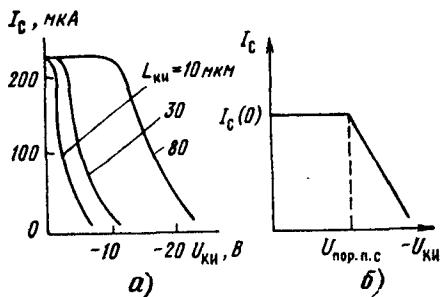


Рис. 5.8

положенными на полупроводящей подложке. Электрод соседнего элемента, напряжение на котором влияет на ток стока рассматриваемого транзистора, по отношению к нему выполняет функцию второго затвора, расположенного сбоку от транзистора. Поэтому в литературе данный эффект паразитной связи называется *эффектом бокового затвора*.

Толщина *i-n* перехода может изменяться при изменении степени заполнения центров захвата в подложке под влиянием температуры или оптического и ионизирующего излучений. Поэтому плохая воспроизводимость параметров транзисторов в пределах одной пластины может быть обусловлена не только технологией их изготовления, но и неоднородностью распределения центров захвата в самой полупроводящей подложке.

Для измерения эффекта бокового затвора используют тестовую структуру (рис. 5.7). Она содержит МЭП-транзистор, вблизи истоковой области *И* которого на расстоянии $L_{ки}$ расположена дополнительная область n^+ -типа с омическим контактом *К*, играющим роль бокового затвора. В кристалле микросхемы такая n^+ -область может быть истоковой или стоковой областью соседнего транзистора. Это может быть область *n*-типа, в которой создается диод Шотки, резистор и т. д. Затвор *З* транзистора обычно соединяют с заземленным истоком, а на сток *С* подают постоянное положительное напряжение, превышающее напряжение насыщения: $U_{си} > U_{си\text{нас}}$. Далее измеряют зависимость тока стока I_c от напряжения на боковом контакте $U_{ки}$ относительно истока.

Типичные зависимости тока стока от напряжения контакт — исток при трех значениях расстояния $L_{ки}$ между ними и при $U_{зи} = 0$, $U_{си} = 2,5$ В представлены на рис. 5.8, а. Приблизительно их можно аппроксимировать кусочно-линейными зависимостями (рис. 5.8, б): ток стока остается постоянным, равным $I_c(0)$, пока отрицательное напряжение на контакте не превышает (по модулю) пороговое напряжение паразитной связи $U_{пор.п.с}$. При $U_{ки} < U_{пор.п.с}$ ток стока линейно уменьшается с ростом (по модулю) напряжения контакт — исток.

Пороговое напряжение $U_{\text{пор.п.с}}$ увеличивается (по модулю) при росте расстояния контакт—исток. Поэтому для устранения или ослабления указанной паразитной связи необходимо размещать элементы на достаточно больших расстояниях друг от друга, что ограничивает плотность упаковки. Кроме того, при проектировании топологии микросхемы следует вывлять ее критические электроды и элементы, наиболее подверженные влиянию паразитной связи, т. е. учитывать не только взаимное расположение элементов, но и полярность и амплитуды изменения напряжений на электродах элементов микросхемы в процессе ее работы. При этом нужно учитывать, что чем больше амплитуда изменения напряжения на данном электроде, тем больше он влияет на токи тех ближайших транзисторов, потенциалы истоков которых выше потенциала этого электрода.

Степень влияния паразитной связи зависит от типа транзистора. Для нормально закрытого транзистора толщина d_0 слоя 3 n -типа (см. рис. 5.1) или (и) концентрация доноров в этом слое ниже, чем для нормально открытого. Поэтому стокковые характеристики нормально закрытого транзистора при прочих одинаковых условиях изменяются сильнее.

Таким образом, для уменьшения паразитной связи через подложку необходимо: совершенствовать технологию получения материала для полупроводящих подложек с целью более точной компенсации примесей и уменьшения концентрации дефектов, приводящих к образованию отрицательных ионов в области 4 (см. рис. 5.6); уменьшать амплитуду изменения напряжения на электродах элементов микросхемы, например, за счет снижения напряжения питания; использовать элементы, менее чувствительные к влиянию бокового затвора; выбирать достаточно большие расстояния между критическими электродами соседних элементов при проектировании топологии микросхемы.

Помимо паразитной связи, обусловленной эффектом поля, может наблюдаться инжекция электронов из области n^+ -типа в подложку. Эти электроны могут захватываться центрами захвата и усиливать эффект паразитной связи. Влияние инжекции ослабляют, создавая между элементами микросхемы специальные изолирующие области, получаемые, например, протонной бомбардировкой полупроводящей подложки. В этом случае пороговое напряжение $U_{\text{пор.п.с}}$ может быть увеличено в несколько раз.

5.4. ПОЛЕВЫЕ ТРАНЗИСТОРЫ С УПРАВЛЯЮЩИМ ПЕРЕХОДОМ МЕТАЛЛ—ПОЛУПРОВОДНИК И ГЕТЕРОПЕРЕХОДОМ

Перспективным элементом цифровых сверхскоростных микросхем и аналоговых микросхем диапазона СВЧ является *гетероструктурный* полевой транзистор с управляющим переходом металл—полупроводник (*ГМЭП-транзистор*). В этом транзисторе используют свойства

гетероперехода между тонкими монокристаллическими слоями двух полупроводниковых материалов с близкой кристаллической структурой, но различной шириной запрещенной зоны [3]. Наиболее широко применяют гетеропереход между арсенидом галлия и арсенидом галлия-алюминия $\text{Al}_x\text{Ga}_{1-x}\text{As}$ (рис. 5.9, а). Величина x показывает относительное содержание алюминия. Ширина запрещенной зоны ΔE_g арсенида галлия-алюминия линейно увеличивается с ростом x . Типичное значение $x = 0,3$, ему соответствует $\Delta E_g \approx 1,8$ эВ.

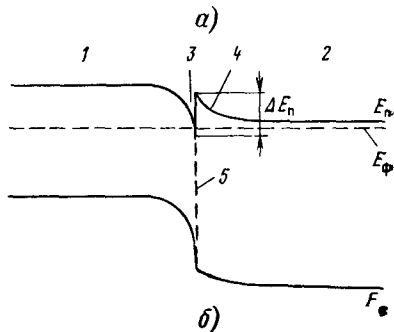
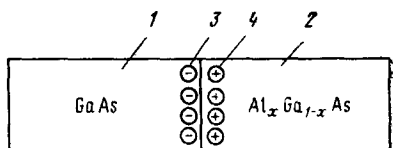


Рис. 5.9

Равновесная энергетическая диаграмма гетероперехода между нелегированным арсенидом галлия и легированными донорными примесями, например кремнием, арсенидом галлия-алюминия, приведена на рис. 5.9, б. Штриховая горизонтальная линия соответствует уровню Ферми E_F , в равновесном состоянии его энергия одинакова для обоих полупроводников, E_v — энергия, соответствующая границе валентной зоны. В нелегированном арсениде галлия (область 1) уровень Ферми располагается почти посередине запрещенной зоны, а в легированном донорами (типичная концентрация доноров $N_d = (1 \dots 20) \cdot 10^{17} \text{ см}^{-3}$) арсениде галлия-алюминия (область 2) — вблизи дна зоны проводимости E_c .

В арсениде галлия у границы раздела 5 двух полупроводников в зоне проводимости образуется область 3 с минимальной энергией электронов. В этой области происходит накопление электронов, переходящих из области 4, расположенной в арсениде галлия-алюминия. Область 4 обеднена электронами и заряжена положительно, так как содержит нескомпенсированные ионы доноров. Разрыв дна зоны проводимости (скачок энергии ΔE_n) на границе 5 при $x = 0,3$ около 0,3 эВ.

Электроны, накопленные в области 3, находятся в потенциальной яме и в слабых электрических полях могут перемещаться только вдоль границы 5 в плоскости, перпендикулярной плоскости рисунка. Поэтому совокупность электронов в области 3 называют *двумерным электронным газом*, подчеркивая тем самым, что в слабых полях эти электроны не могут перемещаться в третьем измерении, т. е. переходить, например, из области 3 в область 4, так как этому препятствует потенциальный барьер, образованный разрывом дна зоны проводимости ΔE_n .

Электроны, образующие двумерный электронный газ, возникают вследствие тепловой ионизации донорных примесей в арсениде галлия алюминия, где концентрация примесей велика (более 10^{17} см^{-3}

и перемещаются в область 3, расположенную в нелегированном арсениде галлия, где концентрация примесей мала (менее 10^{14} см $^{-3}$). Таким образом достигается пространственное разделение свободных электронов (в области 3) и рассеивающих центров (ионов акцепторов), сосредоточенных в арсениде галлия-алюминия.

Вследствие хорошего соответствия кристаллических решеток двух полупроводниковых материалов в гетеропереходе (см. рис. 5.9, а) обеспечивается низкая плотность поверхностных состояний и дефектов. По указанным причинам для электронов, накопленных в области 3, в слабых электрических полях достигается очень высокая подвижность, близкая к объемной подвижности для нелегированного арсенида галлия [$(8...9) \cdot 10^8$ см 2 /(В·с) при $T = 300$ К]. Поскольку в нелегированном слое арсенида галлия преобладает решеточное рассеяние, подвижность резко увеличивается при понижении температуры.

Для лучшего пространственного разделения двумерного электронного газа и рассеивающих центров между нелегированным арсенидом галлия и легированным донорами арсенидом галлия-алюминия вводят тонкий (толщиной несколько нанометров) разделительный слой нелегированного арсенида галлия-алюминия. Концентрация рассеивающих центров в разделительном нелегированном слое ниже, чем в легированном, поэтому подвижность электронов, накопленных в области 3, дополнительно увеличивается.

Температурная зависимость подвижности электронов для двумерного электронного газа в гетероструктуре с разделительным слоем приведена на рис. 5.10 (кривая 1). При температурах жидкого азота (77 К) и жидкого гелия (4 К) подвижность соответственно возрастает до $1,4 \cdot 10^6$ и $2 \cdot 10^6$ см 2 /(В·с). На этом же рисунке показана температурная зависимость подвижности электронов в слое арсенида галлия (кривая 2), содержащем доноры с концентрацией 10^{17} см $^{-3}$. Слой такого типа используется в рассмотренных выше структурах МЭП-транзисторов (см., например, рис. 5.1).

Подвижность электронов двумерного электронного газа, особенно при пониженных температурах, сильно зависит от технологии изготовления слоев гетероструктуры. Для их создания используют различные способы эпитаксиального наращивания тонких полупроводниковых слоев (см. гл. 2). Наилучшее качество эпитаксиальных слоев в рассматриваемой гетероструктуре, наименьшую плотность дефектов на их границах и наибольшую подвижность обеспечивает молекулярно-лучевая эпитаксия.

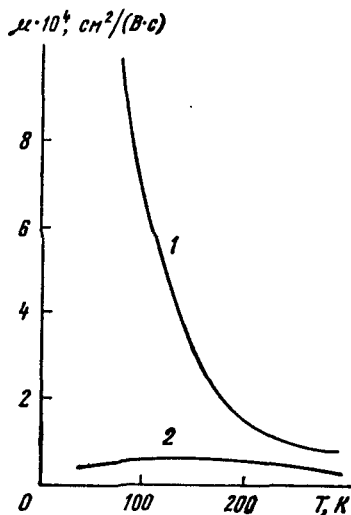


Рис. 5.10

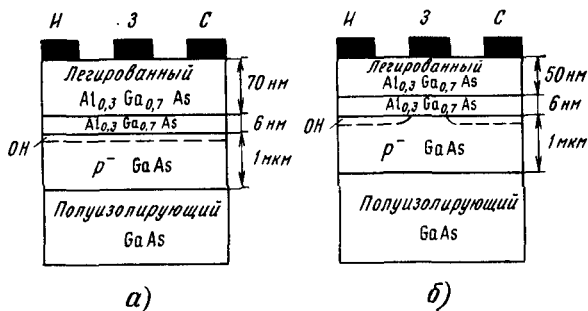


Рис. 5.11

Описанный выше гетеропереход используют в структурах полевых транзисторов с управляющим переходом металл — полупроводник. Примеры конструкций нормально открытого и нормально закрытого ГМЭП-транзисторов показаны на рис. 5.11. При изготовлении нормально открытых транзисторов на легированную хромом полуизолирующую подложку из арсенида галлия (рис. 5.11, а) методом молекулярно-лучевой эпитаксии последовательно наносят: нелегированный слой арсенида галлия p^- -типа проводимости, нелегированный разделительный слой арсенида галлия-алюминия, легированный кремнием ($N_d = 7 \cdot 10^{17} \text{ см}^{-3}$) слой арсенида галлия-алюминия. Для формирования затвора Z используют слой алюминия, для контактов к истоковой I и стоковой C областям — сплав AuGe/Ni . В нормально закрытом транзисторе с индуцированным каналом (рис. 5.11, б) верхний слой арсенида галлия-алюминия частично стравливают до толщины 50 нм. Таким способом на одной подложке изготавливают нормально открытые и нормально закрытые транзисторы.

Пороговое напряжение ГМЭП-транзистора

$$U_{\text{пор}} = \varphi_{03} - \Delta E_{\text{п}}/q - qN_d d^2/2\epsilon_0 \epsilon_{\text{п2}}, \quad (5.5)$$

Где φ_{03} — равновесная высота потенциального барьера перехода металл (затвор) — полупроводник (арсенид галлия-алюминия); d — суммарная толщина легированного донорами и нелегированного слоев арсенида галлия-алюминия; $\epsilon_{\text{п2}}$ — его относительная диэлектрическая проницаемость.

Принцип действия ГМЭП-транзистора аналогичен принципу действия МЭП-транзистора. Между металлическим затвором и расположенным под ним слоем арсенида галлия-алюминия образуется управляющий переход металл — полупроводник. Обедненная область этого перехода в основном располагается в слоях арсенида галлия-алюминия.

Канал нормально открытого транзистора формируется при $U_{\text{зи}} < < 0$ в слое нелегированного арсенида галлия на границе с гетеропереходом в области накопления (OH) двумерного электронного газа, ограниченной штриховой линией на рис. 5.11, а. Под действием управляю-

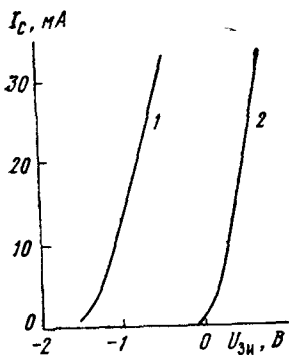


Рис. 5.12

щего напряжения затвор — исток изменяются толщина обедненной области перехода металл — полупроводник, концентрация электронов в *ОН* и ток стока. Электроны поступают в *ОН* из истока. При достаточно большом (по модулю) отрицательном напряжении затвор — исток, равном пороговому [см. формулу (5.5)], обедненная область расширяется настолько, что полностью перекрывает *ОН* электронов. Ток стока при этом прекращается.

В нормально закрытом транзисторе вследствие меньшей толщины верхнего слоя арсенида галлия-алюминия (см. рис. 5.11, б) при $U_{3и} = 0$ проводящий канал отсут-

ствует, так как *ОН* двумерного электронного газа перекрыта обедненной областью управляющего перехода. Канал возникает при некотором положительном напряжении, равном пороговому [см. формулу (5.5)], когда обедненная область управляющего перехода сужается настолько, что ее нижняя граница попадает в *ОН* электронов.

На рис. 5.12 приведены стоко-затворные характеристики нормально открытого 1 и нормально закрытого 2 транзисторов при длине затвора $L_3 = 0,8$ мкм и расстоянии сток — исток 4 мкм; толщины слоев соответствуют указанным на рис. 5.11. Благодаря высокой подвижности электронов и малой длине затвора практически во всем диапазоне изменения напряжения затвора (за исключением малой области вблизи порогового напряжения) достигается насыщение дрейфовой скорости электронов в канале и наблюдается линейная зависимость

$$I_C = S'(U_{3и} - U_{пор} - E_{кр} L_3), \quad (5.6)$$

где $E_{кр}$ — критическая напряженность поля; S' находится из соотношения (5.4), в котором

$$S = \epsilon_0 \epsilon_{п2} v_{нас} b/d. \quad (5.7)$$

Для кривых 1 и 2 S'/b равно 117 и 173 мСм/мм соответственно. Больше значение крутизны для нормально закрытого транзистора обусловлено меньшей толщиной легированного донорами арсенида галлия-алюминия.

Важными достоинствами структуры ГМЭП-транзистора (по сравнению со структурой МЭП-транзистора на рис. 5.1) являются меньшая плотность поверхностных состояний на границе арсенида галлия-алюминия с диэлектриком и большая высота барьера Шотки ($\phi_{03} \approx 1$ В). Вследствие меньшей плотности поверхностных состояний уменьшаются отрицательный поверхностный заряд и толщина обедненных областей в промежутках исток — затвор, затвор — сток, что позволяет обеспечивать меньшие паразитные сопротивления этих областей, не используя дополнительные технологические операции селек-

тивного ионного легирования, необходимые для транзисторов с самосмещенным затвором (см. рис. 5.3). Вследствие большей высоты барьера Шотки для ГМЕП-транзисторов допустимо большее (до 0,7 В) прямое напряжение затвор — исток, что особенно важно для нормально закрытых транзисторов, рабочие напряжения на затворах которых могут изменяться лишь в узком диапазоне, ограниченном сверху напряжением отпираания управляющего перехода металл — полупроводник.

Импульсные и частотные свойства ГМЕП-транзисторов в основном определяются временем пролета электронов через канал, где они движутся со скоростью насыщения: $t_{пр.к} = L_3/v_{нас}$. При $T = 300$ К $v_{нас} \approx 2 \cdot 10^7$ см/с, при понижении температуры скорость насыщения увеличивается по закону $v_{нас} \sim 1/T$.

ГМЕП-транзисторы перспективны для использования в СВЧ-микросхемах. Наилучшие параметры эти транзисторы имеют при низких температурах. Однако и при комнатной температуре их основные параметры (коэффициенты шума и усиления) лучше, чем у МЭП-транзисторов. Одинаковые параметры для МЭП- и ГМЕП-транзисторов достигаются при большей длине затвора ГМЕП-транзисторов. Например, в диапазоне частот 18 ... 26,5 ГГц МЭП-транзисторы при длине затвора 0,25 мкм имеют коэффициент шума 1,8 дБ и коэффициент усиления 9 дБ. Аналогичные значения этих параметров для ГМЕП-транзисторов получены при длине затвора 0,4 мкм. Разрабатываются ГМЕП-транзисторы с длиной затвора 0,2 мкм, которые смогут работать на частотах до 100 ГГц.

Недостатком ГМЕП-транзисторов (по сравнению с МЭП-транзисторами) является более высокая стоимость, обусловленная усложнением технологии изготовления.

Глава 6. ПАССИВНЫЕ ЭЛЕМЕНТЫ

В полупроводниковых микросхемах наиболее распространенными пассивными элементами являются резисторы. Вследствие низкого удельного сопротивления полупроводниковых слоев они занимают большую площадь на кристалле. Поэтому микросхемы проектируют так, чтобы число резисторов было минимальным, а их сопротивления — небольшими (обычно менее 10 кОм). Аналоговые микросхемы содержат, как правило, больше резисторов, чем цифровые. Во многих цифровых микросхемах (например, на полевых транзисторах) резисторов нет — вместо них используют транзисторы. Полупроводниковые резисторы имеют сильную температурную зависимость и большой технологический разброс сопротивления. Иногда вместо полупроводниковых применяют токоопленочные резисторы с лучшими параметрами, но тогда технологический процесс усложняется.

Основная часть полупроводниковых микросхем не содержит конденсаторов из-за их большой площади. Например, полупроводниковый или тонкопленочный конденсатор емкостью всего 50 пФ занимает приблизительно такую же площадь, как 10 биполярных или 100 МДП-транзисторов. Поэтому, если требуется емкость более 50 ... 100 пФ, применяют внешние дискретные конденсаторы, для подключения которых в микросхемах предусматривают специальные выводы (см. гл. 12). В некоторых микросхемах конденсаторы малой емкости объединяются с другими элементами. Например, в элементах памяти динамического типа (см. § 9.2) конденсаторы совмещены с МДП-транзисторами, в логических элементах на арсениде галлия — с металл-полупроводниковыми диодами (см. § 8.6).

Конденсаторы емкостью порядка 10 пФ на основе МДП-структур используются в некоторых аналоговых микросхемах, обладающих частотной избирательностью сигналов (например, в активных фильтрах). На высоких частотах МДП-конденсаторы имеют низкую добротность, так как одной из обкладок служит полупроводниковый слой со значительным сопротивлением. Высокую добротность обеспечивают тонкопленочные конденсаторы. Такие конденсаторы емкостью 0,1 ... 1 пФ, а также тонкопленочные индуктивные элементы (доли наногенри) применяют в полупроводниковых аналоговых арсенид-галлиевых СВЧ-микросхемах. На более низких частотах индуктивные элементы не используют. В некоторых случаях индуктивный эффект получают схемным путем (применяя операционные усилители с *RC*-цепями обратной связи, активные фильтры и др.). Для других случаев применения, где индуктивности необходимы, используют катушки, находящиеся вне корпуса микросхемы.

В гибридных микросхемах широко распространены пленочные резисторы с сопротивлениями от нескольких ом до единиц мегаом. Если требуется высокая плотность резисторов на подложке, применяют тонкопленочную технологию, если же необходима низкая стоимость микросхем, а плотность элементов не столь существенна — толстопленочную.

В низкочастотных микросхемах применяют дискретные миниатюрные конденсаторы и катушки индуктивности. Пленочные реактивные элементы с емкостями менее 100 пФ и индуктивностями менее 1 мкГн используют в аналоговых высокочастотных микросхемах. В сантиметровом диапазоне СВЧ требуются элементы малых размеров (много меньше длины волны), которые следует воспроизводить с высокой точностью. Для этого необходима тонкопленочная технология. Она также обеспечивает меньшее сопротивление проводящих слоев по сравнению с толстопленочной технологией (см. § 6.4) и более высокую добротность элементов. В этом диапазоне используют и тонкопленочные пассивные элементы на основе микрополосковых линий передачи с распределенными емкостью и индуктивностью. Размеры элементов порядка длины волны, поэтому их плотность относительно низкая.

6.1. ПОЛУПРОВОДНИКОВЫЕ РЕЗИСТОРЫ

В полупроводниковых микросхемах на биполярных транзисторах для упрощения технологии в качестве резисторов широко используют базовые слои p -типа с сопротивлением $R_{cл} = 100 \dots 300 \text{ Ом}/\square$. Рассмотрим изопланарную структуру, поперечный разрез которой показан на рис. 6.1, *а*. Резистивный слой 1 p -типа толщиной $1 \dots 2 \text{ мкм}$ размещен в кармане 2 n -типа, изолированном с боковых сторон диоксидом кремния 3. На концах слоя 1 созданы контакты 4. Для снижения площади ширина b резистивной полоски (см. вид сверху на рис. 6.1, *б*) выбирается минимальной. Для повышения сопротивления ($R = R_{cл}a/b$) длину a увеличивают. Резисторы с большими сопротивлениями (порядка 10 кОм) выполняют в виде меандра (рис. 6.1, *в*), а с малыми (десятки ом) — в виде широких полосок (рис. 6.1, *г*). Чтобы ток протекал только по слою 1, на p - n переходе между слоями 1 и 2 должно быть обратное напряжение. Для этого область 2 с помощью контакта 5 подключается к плюсу источника питания.

Сопротивление увеличивается с ростом температуры из-за снижения подвижности дырок, причем температурный коэффициент сопротивления (ТКС) равен $0,1 \dots 0,3 \text{ \%}/^\circ\text{C}$. Технологический разброс сопротивлений для разных микросхем $\delta R/R = \pm 10 \text{ \%}$, в то время как резисторы с одинаковой геометрией на одном кристалле практически идентичны. Разброс отношения сопротивлений резисторов на одном кристалле менее $0,1 \text{ \%}$, их ТКС $< 0,01 \text{ \%}/^\circ\text{C}$. Удельная барьерная емкость p - n перехода между слоями 1 и 2 равна $(2 \dots 4) \cdot 10^{-4} \text{ пФ}/\text{мкм}^2$. Резистор вместе с распределенной по его длине емкостью образует RC -линию, которую можно использовать в аналоговых микросхемах для получения частотно-избирательных цепей. Однако в большинстве случаев емкость является нежелательной (паразитной), так как ухудшает быстродействие микросхем.

Модель резистора, в которой распределенная емкость заменена сосредоточенной, приведена на рис. 6.2. Влиянием паразитной емкости C_R можно пренебречь, если частота аналогового сигнала мала по срав-

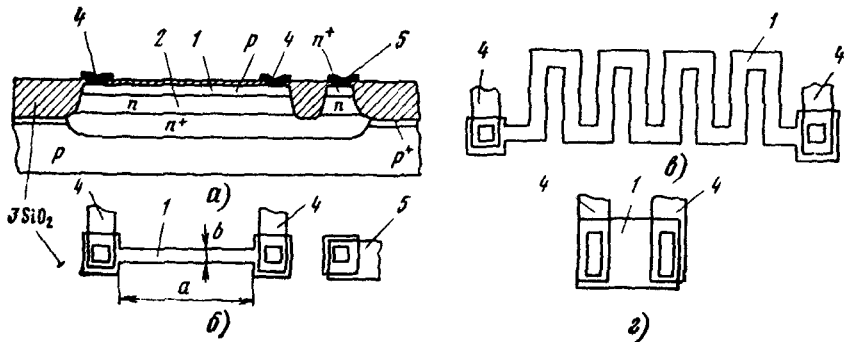


Рис. 6.1

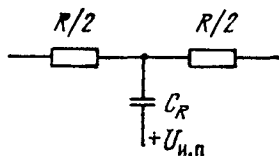


Рис. 6.2

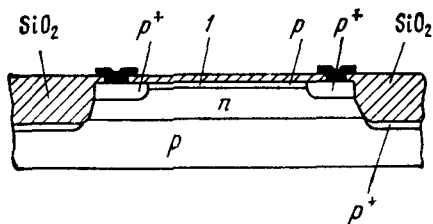


Рис. 6.3

нению с граничной частотой резистора $f_{гp} = (2\pi RC_R)^{-1}$ или длительность фронта (среза) импульсного сигнала велика по сравнению с постоянной времени резистора $\tau_R = RC_R$. Для $R = 10 \text{ кОм}$, $b = 3 \text{ мкм}$, $a = 150 \text{ мкм}$ получаем $C_R = 0,1 \dots 0,2 \text{ пФ}$, $\tau_R = 1 \dots 2 \text{ нс}$, $f_{гp} = 80 \dots 160 \text{ МГц}$. Значения R и C_R пропорциональны длине резистора a , поэтому $f_{гp} \sim a^{-2} \sim R^{-2}$, $\tau_R \sim R^2$.

С помощью специальной операции ионного легирования, не связанной с формированием базы, можно создать очень тонкий ($0,1 \dots 0,2 \text{ мкм}$) резистивный слой 1 (рис. 6.3) с сопротивлением до $20 \text{ кОм}/\square$. Для получения контактов на его концах формируют более толстые области p^+ -типа. Сопротивление слоя определяется дозой легирования $N_{л,а}$: $R_{сл} = (q\mu_p N_{л,а})^{-1}$. Например, для $N_{л,а} = 10^{12} \text{ см}^{-2}$ имеем $R_{сл} = 3 \text{ кОм}/\square$. Технологический разброс сопротивлений ионно-легированных резисторов около 6%, ТКС = $0,1 \text{ \%}/^\circ\text{C}$.

Малые сопротивления (единицы ом) получают на основе эмиттерных слоев n^+ -типа, имеющих $R_{сл} = 2 \dots 3 \text{ Ом}/\square$, ТКС = $0,01 \text{ \%}/^\circ\text{C}$, $\delta R/R = \pm 10 \text{ \%}$.

В микросхемах на полевых транзисторах в качестве резисторов используют транзисторы с нелинейной или квазилинейной ВАХ и реже — тонкие ионно-легированные слои. На рис. 6.4 показан ионно-легированный резистор в арсенид-галлиевой микросхеме (1 — резистивный слой, 2 — полуизолирующая подложка, 3 — контактные области). Так как подложка является изолятором, то паразитная емкость пренебрежимо мала. Из-за большой подвижности электронов сопротивление слоя при той же дозе легирования ($N_{л,д} = N_{л,а}$) на порядок меньше, чем в кремниевых микросхемах. При малой длине резистора

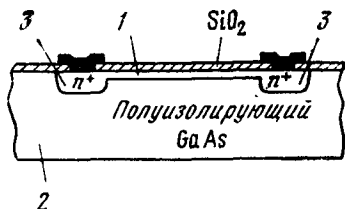


Рис. 6.4

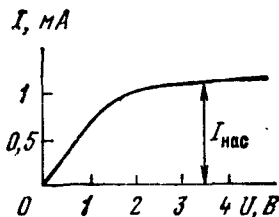


Рис. 6.5

его ВАХ нелинейна (рис. 6.5), что обусловлено эффектом насыщения дрейфовой скорости электронов. Он проявляется, когда напряженность электрического поля в слое 1, равная U/a , превышает критическое значение $E_{кр} = 0,3 \text{ В/мкм}$. Например, при $R_{с.л} = 200 \text{ Ом/}\square$, $R = 1 \text{ кОм}$, $b = 1 \text{ мкм}$, $a = 5 \text{ мкм}$ нелинейность возникает для $U > 1,5 \text{ В}$. Ток насыщения $I_{нас} = qN_{л.д}bv_{нас}$, где $v_{нас}$ — скорость насыщения электронов.

6.2. ПЛЕНОЧНЫЕ РЕЗИСТОРЫ

Структура резистора гибридной микросхемы показана на рис. 6.6, а (1 — резистивный слой, 2 — подложка, 3 — металлические контакты). В зависимости от требуемого сопротивления резистор может иметь конфигурацию полоски (рис. 6.6, б), параллельных полосок с металлическими перемычками (рис. 6.6, в) либо меандра (рис. 6.6, г).

Тонкопленочные резистивные слои из нихрома толщиной менее $0,1 \text{ мкм}$ наносят вакуумным испарением (см. § 2.7) и обеспечивают $R_{с.л}$ до $300 \text{ Ом/}\square$, $\text{ТКС} = 0,01 \text{ \%}/^\circ\text{С}$. Сопротивление слоя до нескольких килоом на квадрат при $\text{ТКС} \leq 0,02 \text{ \%}/^\circ\text{С}$ имеют пленки тантала, получаемые катодным распылением. Большим $R_{с.л}$ (до $10 \text{ кОм/}\square$) обладают тонкие пленки резистивных сплавов, например кремния и хрома в различных процентных соотношениях. Еще больше $R_{с.л}$ (до $50 \text{ кОм/}\square$) имеют пленки керметов — смесей диэлектрического материала с металлом (например, SiO и Cr), их ТКС порядка — $0,2 \text{ \%}/^\circ\text{С}$. Технологический разброс сопротивлений тонкопленочных резисторов в разных микросхемах около 5 \% , а отношение сопротивлений резисторов на одной подложке выдерживается с точностью $0,1 \text{ \%}$. Их максимальное сопротивление (до 1 МОм) больше, а ТКС, технологический разброс и паразитная емкость существенно меньше, чем у полупроводниковых резисторов.

Тонкопленочные резисторы применяются не только в гибридных, но и в некоторых полупроводниковых микросхемах, в частности ана-

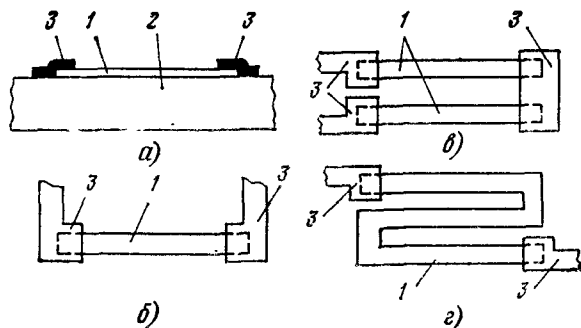


Рис. 6.6

логовых диапазона СВЧ на арсениде галлия. Резистивный слой в них наносят непосредственно на поверхность нелегированной подложки.

В кремниевых цифровых БИС используются резистивные слои поликристаллического кремния толщиной $0,2 \dots 0,3$ мкм, сопротивление которых в зависимости от концентрации легирующих примесей изменяется в широких пределах вплоть до $10 \text{ МОм}/\square$. Такие резисторы располагают над транзисторами, чтобы уменьшить площадь кристалла. Большое сопротивление резисторов уменьшается с ростом температуры с высоким ТКС $\approx -1 \text{ }^\circ\text{C}$. Технологический разброс также весьма велик ($20 \dots 30 \%$), однако это допустимо для ряда схем (см., например, § 9.1). Поликремниевый резистор малой длины (несколько микрометров) имеет нелинейную ВАХ, обусловленную тем, что между отдельными зернами поликремния (размером порядка $0,1$ мкм) существуют потенциальные барьеры (высотой около $0,2 \text{ В}$), препятствующие прохождению электронов.

Для получения толсто пленочных резисторов применяют пасты, содержащие в качестве функциональной фазы частицы Pd и Ag_2O . Сопротивление слоя толщиной $15 \dots 20$ мкм лежит в пределах от $50 \text{ Ом}/\square$ до $1 \text{ МОм}/\square$ в зависимости от процентного соотношения между Pd и Ag_2O , его ТКС $= 0,1 \text{ }^\circ\text{C}$. Для уменьшения технологического разброса до $1 \dots 10 \%$ применяют индивидуальную подгонку резисторов.

6.3. КОНДЕНСАТОРЫ И ИНДУКТИВНЫЕ ЭЛЕМЕНТЫ

На рис. 6.7, а показана структура МДП-конденсатора. Одной из обкладок является n^+ -слой 1 толщиной $0,3 \dots 1$ мкм, другой — слой металла (алюминия) 2, а диэлектриком — слой 3 диоксида кремния. Такой конденсатор применяют в полупроводниковых микросхемах при незначительном усложнении технологического процесса (требуются дополнительные операции литографии и окисления для создания слоя 3). Слой 1 формируется с помощью той же операции легирования, что и эмиттеры биполярных транзисторов или истоки и стоки n -канальных МДП-транзисторов. Топологическая конфигурация конденсатора — квадратная или прямоугольная. Для увеличения удельной емкости толщина d слоя 3 выбирается минимально возможной исходя из условия отсутствия пробоя: $d \geq U_{\text{проб}}/E_{\text{проб}}$, где $E_{\text{проб}}$ —

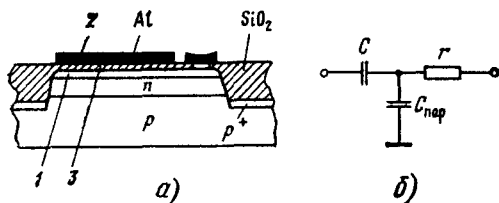


Рис. 6.7

электрическая прочность слоя 3, т. е. напряженность электрического поля, при которой начинается пробой (около 600 В/мкм). Поэтому максимальная удельная емкость $C_0 = \epsilon_0 \epsilon_d / d = \epsilon_0 \epsilon_d E_{проб} / U_{проб}$. Например, при $U_{проб} = 50$ В получаем $C_0 = 4 \cdot 10^{-4}$ пФ/мкм².

На рис. 6.7, б приведена эквивалентная схема конденсатора, где r — сопротивление слоя 1, $C_{пар}$ — паразитная емкость между слоем 1 и подложкой (барьерная емкость изолирующего $p-n$ перехода), которая в 4 ... 7 раз меньше полезной емкости C . Если обкладка 1 в схеме не соединена с общей шиной микросхемы, то высокочастотный сигнал, проходящий через конденсатор, ослабляется емкостным делителем в $1 + C_{пар}/C \approx 1,15 \dots 1,25$ раза. Сопротивление r определяет добротность на высокой частоте: $Q = (2\pi Crf)^{-1}$.

При квадратной конфигурации $r \approx 2$ Ом, тогда для $C = 10$ пФ и $f = 10$ МГц имеем $Q = 750$. На более высоких частотах из-за скин-эффекта r возрастает. Так как толщина скин-слоя $\delta \sim 1/\sqrt{f}$, то $r \sim \sqrt{f}$ и $Q \sim f^{-3/2}$, т. е. добротность уменьшается быстрее, чем по закону $1/f$. Например, на частоте 1 ГГц получаем $r = 20$ Ом и $Q = 0,75$.

Поэтому МДП-конденсаторы неприменимы в диапазоне СВЧ — надо использовать тонкопленочные конденсаторы. В отдельных случаях в качестве конденсаторов в полупроводниковых микросхемах на биполярных транзисторах применяют $p-n$ переходы. Такие конденсаторы могут работать только при одной полярности приложенного напряжения (обратном напряжении на $p-n$ переходе). Добротность мала как на низких частотах (из-за влияния обратного сопротивления $p-n$ перехода), так и на высоких (сопротивления обкладок больше, чем в структуре рис. 6.7).

Структура пленочного конденсатора гибридной микросхемы и его вид сверху показаны на рис. 6.8, а, б соответственно, где 1 — подложка, 2 и 4 — металлические обкладки, 3 — диэлектрический слой. Наиболее технологичным диэлектрическим материалом является монооксид кремния, наносимый термическим вакуумным испарением (см. § 2.7). Он имеет $\epsilon_d = 5$, $E_{проб} = (2 \dots 3) \cdot 10^6$ В/см. Положив $U_{проб} = 50$ В, получим максимальную удельную емкость $C_0 = (2 \dots 3) \cdot 10^{-4}$ пФ/мкм² при $d = 0,2$ мкм. Близкие параметры обеспечивают боро- и алюмосиликатные стекла, наносимые тем же методом. Диоксид кремния имеет более высокую электрическую прочность и дает большую удельную емкость ($4 \cdot 10^{-4}$ пФ/мкм²). Однако для его нанесения необходим более сложный метод реактивного распыления. В качестве обкладок конденсаторов с указанными диэлектриками используют пленки алюминия. Большую удельную емкость (до 10^{-3} пФ/мкм²) имеют

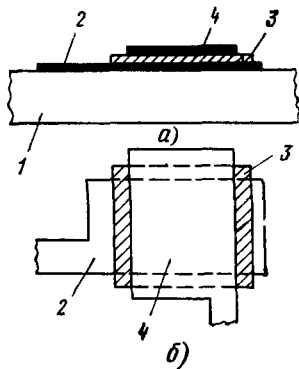


Рис. 6.8

танталовые конденсаторы, в которых нижняя обкладка выполняется из Та, диэлектриком является слой Ta_2O_5 ($\epsilon_d = 20$), получаемый анодным окислением, а верхней обкладкой — слой Al.

В кремниевых полупроводниковых микросхемах тонкопленочные конденсаторы формируются на поверхности пластин, покрытых слоем SiO_2 , а в арсенид-галлиевых микросхемах — непосредственно на поверхности иелегированной подложки. В качестве диэлектрика применяются слои SiO_2 или Si_3N_4 ($C_0 = 6 \cdot 10^{-4}$ пФ/мкм²), наносимые методом химического осаждения из газовой фазы.

Температурный коэффициент емкости тонкопленочных конденсаторов 0,02 ... 0,04 %/°C, а технологический разброс емкостей для разных микросхем 10 ... 15 % (без подгонки). Добротность на высоких частотах определяется сопротивлением обкладок. Алюминиевые обкладки имеют сопротивление слоя порядка сотых долей ома на квадрат и обеспечивают высокую добротность ($Q \gg 1$) в диапазоне СВЧ. У танталовых конденсаторов сопротивление обкладки Та велико (100 Ом/□), что снижает добротность, поэтому область применения ограничивается, как правило, частотами менее 1 МГц. Добротность на низких частотах определяется потерями, обусловленными поляризацией диэлектрика при воздействии переменного напряжения, и составляет 300 ... 1000 на частоте 1 кГц (что соответствует тангенсу угла диэлектрических потерь $\text{tg} \delta = (1...3) \cdot 10^{-3}$).

Конденсаторы с емкостями порядка десятых долей пикофарды, необходимые в гибридных СВЧ-микросхемах, кроме структуры, показанной на рис. 6.8, а, могут иметь и гребенчатую структуру (рис. 6.9). Размер гребенки L должен быть малым по сравнению с длиной волны, что легко достигается применением литографии. Конденсаторы такого типа удобны для включения в разрыв микрополосковой линии (см. § 6.5). Обкладки 1 и 2 совмещают с проводниками линии.

Для получения толстопленочных конденсаторов используют диэлектрические пасты, содержащие сегнетоэлектрик (например, титанат бария) с высокой диэлектрической проницаемостью ($\epsilon_d > 500$ при $T = 20$ °C). Это обеспечивает при толщине диэлектрического слоя 20 ... 30 мкм удельную емкость до $2 \cdot 10^{-4}$ пФ/мкм² — примерно такую же, как в тонкопленочных конденсаторах. Напряжение пробоя (около 800 В) не является фактором, ограничивающим удельную емкость. Для получения обкладок применяют пасты на основе смеси серебра и палладия (те же, что и для проводников, — см. § 2.12). Толстопленочные конденсаторы имеют температурный коэффициент примерно 0,1 %/°C.

Пленочные индуктивные элементы представляют собой плоские прямоугольные или круглые спирали 1 (рис. 6.10, а, б), формируемые на основе тех же пленок, что и проводники (см. § 2.12). Для изоляции центрального вывода в структуре на рис. 6.10, а применен диэлектрический слой 2. Его толщина определяет паразитную емкость между центральным выводом и витками спирали. Паразитная емкость снижается, если вывод сделать в виде проволочной перемычки (см.

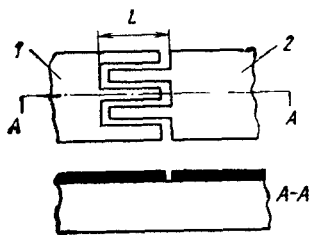


Рис. 6.9

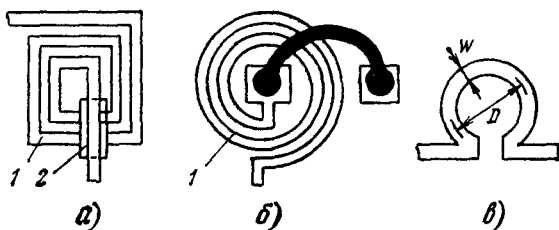


Рис. 6.10

рис. 6.10, б), но это увеличивает площадь. При ширине проводника и расстоянии между витками 30 ... 50 мкм удельная индуктивность 10 ... 20 нГн/мм². Элементы с индуктивностью 0,1 ... 1 нГи, необходимые в СВЧ-микросхемах, имеют кольцевую структуру, показанную на рис. 6.10, в. Индуктивность, имеющая размерность нГи, $L \approx 0,6 \times \times D [\ln(4\pi D/W) - 2]$, где D и W выражаются в миллиметрах. Необходимо, чтобы длина проводника, образующего виток, была много меньше длины волны ($\pi D < 0,1 \lambda$). Например, при $D = 200$ мкм, $W = 20$ мкм получим $L = 0,3$ нГи. Из-за большой длины проводника, образующего кольцо (или спираль), его сопротивление велико, поэтому снижается добротность $Q = 4\pi fL/D$. Для проводника с $R_{с\lambda} = 0,02$ Ом/□ имеем $r = 0,63$ Ом и $Q = 3$ при $f = 1$ ГГц.

6.4. МИКРОПОЛОСКОВЫЕ ЛИНИИ И ЭЛЕМЕНТЫ НА ИХ ОСНОВЕ

В СВЧ-микросхемах сантиметрового диапазона применяют элементы с распределенными параметрами (емкостями и индуктивностями), которые строятся на основе отрезков микрополосковых линий передачи (МПЛ). Наиболее распространена несимметричная МПЛ (рис. 6.11). Она состоит из плоского проводника 1 шириной W , сформированного на поверхности диэлектрической подложки 2 толщиной $d_{\text{подл}}$, и проводящего слоя 3, нанесенного на нижнюю поверхность подложки, выполняющего функцию нулевой шины («земляная плоскость»). Подложка является не только механической основой, но и диэлектриком МПЛ. Поэтому критичны толщина подложки и диэлектрическая проницаемость $\epsilon_{\text{подл}}$ и ее стабильность в широком диапазоне частот и температур. В гибридных микросхемах чаще всего применяют подложки из алюмооксидной керамики ($\epsilon_{\text{подл}} = 9 \dots 10$). Лучшие параметры у сапфира ($\epsilon_{\text{подл}} = 9,3 \dots 11$), обладающего более гладкой поверхностью, что важно при создании тонкопленочных элементов, но сапфир имеет высокую стоимость. Для микросхем большой мощности используются подложки из окиси бериллия с высокой теплопроводностью. В полупроводниковых микросхемах применяют арсенид-галлиевые полупроводниковые подложки ($\epsilon_{\text{подл}} = 11$).

Длина волны сигнала, распространяющегося в линии, $\lambda = c/f\sqrt{\epsilon_{эф}}$, где c — скорость света; $\epsilon_{эф}$ — эффективная диэлектрическая проницаемость, причем $\epsilon_{эф} < \epsilon_{подл}$, так как часть электромагнитной волны распространяется не в диэлектрике, а в пространстве над ним (МПЛ является линией открытого типа). Для грубых оценок полагают $\epsilon_{эф} = (\epsilon_{подл} + 1)/2$. Таким образом, длина волны и связанная с ней длина отрезков МПЛ, входящих в пассивные элементы, приблизительно пропорциональны $1/\sqrt{\epsilon_{эф}}$. Важнейший параметр линии — волновое сопротивление Z_0 . Зависимость Z_0 от отношения ширины проводника к толщине подложки приведена на рис. 6.12. При $Z_0 = \text{const}$ ширина проводника уменьшается с ростом $\epsilon_{подл}$. Обычно применяют МПЛ со стандартным значением $Z_0 = 50$ Ом. Для керамической подложки $W \approx 1,1d_{подл}$, а для арсенид-галлиевой — $W \approx 0,8 d_{подл}$. Чтобы снизить ширину и площадь МПЛ, надо уменьшить толщину подложки. В арсенид-галлиевых схемах она ограничивается механической прочностью (0,1 ... 0,15 мкм). И все же ширина линии (порядка 100 мкм) по масштабам полупроводниковых микросхем велика. Толщина подложек в гибридных микросхемах и ширина линий в них в несколько раз больше.

Другой параметр линии — затухание — характеризует ослабление передаваемой мощности на единице длины, связанное с потерями. Главной причиной потерь является сопротивление проводника. Оно определяется толщиной скин-слоя δ , в котором протекает основная доля тока, и удельным сопротивлением материала, причем $\delta \sim \sqrt{\rho/f}$, а $R_{сл} \sim \rho/\delta \sim \sqrt{\rho f}$. Для материалов, применяемых в тонкопленочных микросхемах (см. § 2.12), при $f = 10$ ГГц имеем $\delta \sim 0,7$ мкм. Толщина проводника должна быть в 2...3 раза больше, т. е. 2 мкм; при этом затухание около 0,6 дБ/см [27].

Толстопленочные проводники имеют большее ρ , следовательно, сопротивление проводника, пропорциональное $\sqrt{\rho f}$, возрастает несмотря на большую толщину пленки, и потери увеличиваются. Причиной потерь также служит излучение с боковых сторон линии. Оно увеличивается с ростом частоты, особенно в местах изгибов. Кроме того, при повышении частоты помимо основной волны типа ТЕМ в линии могут возбуждаться другие типы волн, в том числе поверхностные,

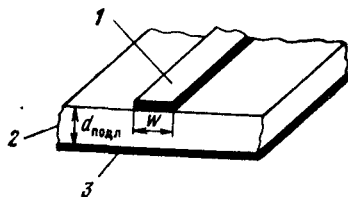


Рис. 6.11

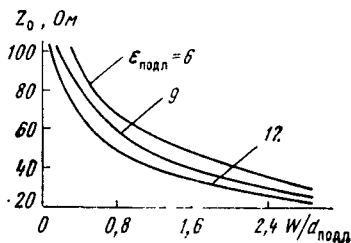


Рис. 6.12

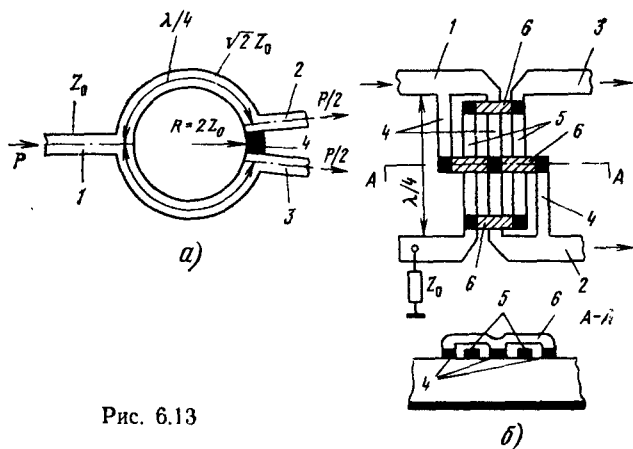


Рис. 6.13

распространяющиеся вдоль границы диэлектрика и приводящие к большим потерям. Поэтому МПЛ применяют до частот не выше 30 ... 50 ГГц (верхней границы сантиметрового диапазона). В миллиметровом диапазоне необходимы принципиально другие линии (например, диэлектрический волновод и др.).

На основе МПЛ строятся трансформаторы сопротивлений, резонаторы, сумматоры и делители мощности, направленные ответвители, элементы развязки и другие пассивные элементы.

Рассмотрим несколько примеров [27]. На рис. 6.13, а изображен кольцевой делитель мощности, состоящий из входной линии 1 с волновым сопротивлением Z_0 и полукольцевых отрезков МПЛ длиной $\lambda/4$ с волновыми сопротивлениями $\sqrt{2}Z_0$. Между концами отрезков МПЛ включен резистор 4 с размерами много меньше λ и сопротивлением $R = 2Z_0$. Выходные линии 2 и 3 имеют волновое сопротивление Z_0 . Этот элемент обеспечивает деление входной мощности пополам при хорошей развязке между выходами. Нагружая один делитель на другой, можно осуществить деление на 4, 8 и т. д.

На рис. 6.13, б показан направленный ответвитель, где входной сигнал, подаваемый в плечо 1, разветвляется в плечи 2 и 3 со сдвигом по фазе 90° . Он содержит взаимодействующие между собой (связанные) параллельные МПЛ 4 и 5, образующие встречно-штыревую структуру (ответвитель Ланге). Отдельные отрезки линии 4 (или 5) соединяются проводящими нависающими золотыми перемычками 6, отделенными от линии 5 (или 4) воздушными зазорами (воздушными мостиками). В зависимости от числа штырей и других параметров направленный ответвитель позволяет достичь любого заданного коэффициента деления мощности с хорошей развязкой между выходами и малыми потерями в широком диапазоне частот.

На базе связанных звеньев МПЛ можно делать фазовращатели и полосовые фильтры. Одиночные отрезки МПЛ длиной $\lambda/4$ используют

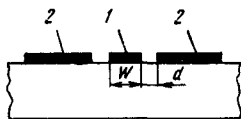


Рис. 6.14

как развязывающие элементы в цепях питания транзисторов или СВЧ-диодов. Принцип развязки основан на том, что отрезок $\lambda/4$, подключенный к шине питания, заземленной по переменному току, имеет бесконечное входное сопротивление. Поэтому СВЧ-сигнал не будет ответвляться в цепь питания, а пойдет во входную или выходную цепь прибора, имеющую в диапазоне СВЧ невысокое сопротивление.

В микросхемах, построенных на МПЛ, общая шина находится с обратной стороны подложки. Для соединения элементов с этой шиной необходимо создавать в подложке сквозные отверстия, что является существенным недостатком. Поэтому в некоторых микросхемах применяют другие типы линий, например *копланарные* (рис. 6.14). Они состоят из центрального проводника 1 шириной W , проводников 2 большей ширины, расположенных по обе стороны от проводника 1 и отделенных малыми зазорами ($d \ll W$). Проводники 2 связаны с общей шиной (или сами служат ею). Копланарные линии отличаются от МПЛ большими волновым сопротивлением и потерями из-за сильного излучения и повышенного сопротивления. Элементы на таких линиях занимают значительно большую площадь в микросхемах.

Глава 7. ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ НА БИПОЛЯРНЫХ ТРАНЗИСТОРАХ

Логическими элементами (ЛЭ) называют электронные схемы, выполняющие простейшие логические операции. Логические элементы используются в большинстве цифровых микросхем и наряду с элементами памяти, рассмотренными в гл. 9, являются их основными элементарными «кирпичиками», которые во многом определяют параметры микросхем.

Логические элементы отличаются большим разнообразием. В данной главе описаны наиболее распространенные ЛЭ на биполярных транзисторах.

7.1. КЛАССИФИКАЦИЯ ЛОГИЧЕСКИХ ЭЛЕМЕНТОВ

Логические элементы прежде всего классифицируют по выполняемым ими логическим функциям. Логические функции изучаются в алгебре логики, или булевой алгебре. Они представляют собой операции над логическими переменными, которые обозначим A , B , C и т. д. В алгебре логики различные логические выражения (высказывания) могут принимать только два значения: «истинно» или «ложно». Для обозначения истинности или ложности высказываний

используют соответственно символы 1 или 0. Каждая логическая переменная может принимать только одно значение: 1 или 0.

Все возможные логические функции любого числа логических переменных можно образовать с помощью трех основных операций: логического отрицания (инверсии, операции НЕ), логического сложения (дизъюнкции, операции ИЛИ) и логического умножения (конъюнкции, операции И). Инверсия обозначается знаком «—» над переменной, например $B = \bar{A}$. Логическая операция ИЛИ для двух переменных A и B записывается в виде $C = A + B$ и определяется следующим образом: $C = 1$, если $A = 1$ или $B = 1$, или $A = B = 1$. Логическая операция И для двух переменных A и B представляется как $C = AB$, т. е. $C = 1$ только в том случае, когда $A = 1$ и $B = 1$. Комбинация логических операций НЕ и ИЛИ приводит к более сложной функции ИЛИ-НЕ: $C = \overline{A + B}$. В этом случае значения, принимаемые логической переменной C , противоположны ее значениям для операции ИЛИ. Сочетание операций НЕ и И дает логическую функцию И-НЕ: $C = \overline{AB}$.

Логические элементы, как правило, реализуют одну или несколько из перечисленных выше функций: НЕ, И, ИЛИ, И-НЕ, ИЛИ-НЕ. Условные графические обозначения ЛЭ, выполняющих эти функции, представлены на рис. 7.1. Соединяя соответствующим образом эти ЛЭ, можно получить микросхему, выполняющую любую более сложную логическую функцию. В принципе для этого достаточно использовать только элементы И-НЕ или ИЛИ-НЕ, поэтому они получили наибольшее распространение в микросхемах. Выше были приведены логические функции двух переменных. Для их выполнения необходимы ЛЭ с двумя входами (рис. 7.1, б — д). При увеличении числа логических переменных соответственно возрастает и число входов; их может быть три, четыре и более. Логический элемент, выполняющий операцию НЕ (рис. 7.1, а), называется *инвертором*. Он имеет один вход и один или несколько выходов. В последнем случае для любого из k выходов выполняется операция $B_i = \bar{A}$ ($i = 1, 2, \dots, k$).

В большинстве логических элементов современных микросхем логические нули (лог. 0) и единицы (лог. 1) представляются двумя существенно различающимися значениями напряжения (потенциала). Ло-

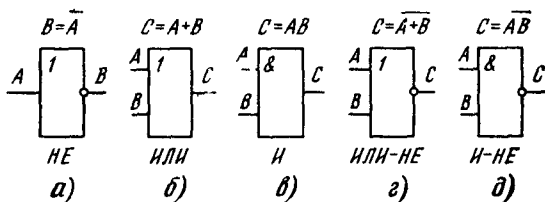


Рис. 7.1

гическому нулю обычно соответствует напряжение низкого уровня U^0 , а логической единице — напряжение высокого уровня U^1 .

Логические элементы по режиму работы подразделяют на статические и динамические. Статические ЛЭ могут работать как в статическом, так и динамическом (импульсном) режимах. Статические элементы наиболее широко используются в современных микросхемах. Динамические ЛЭ могут работать только в импульсном режиме.

Логические элементы классифицируют также по типу применяемых транзисторов. Наибольшее распространение получили ЛЭ на биполярных и МДП-транзисторах. Кроме того, интенсивно разрабатываются ЛЭ на арсенид-галлиевых МЭП и ГМЭП-транзисторах. Для каждого из перечисленных типов ЛЭ существует большое число их схмотехнических и конструктивно-технологических разновидностей. Например, к биполярным ЛЭ относятся элементы ТТЛ, эмиттерно-связанной логики (ЭСЛ), интегральной инжекционной логики (И²Л) и другие, рассмотренные в данной главе.

7.2. ОСНОВНЫЕ ХАРАКТЕРИСТИКИ И ПАРАМЕТРЫ ЛОГИЧЕСКИХ ЭЛЕМЕНТОВ

Основной статической характеристикой ЛЭ является *передаточная характеристика* — зависимость выходного напряжения $U_{\text{вых}}$ от напряжения на одном из входов при постоянных напряжениях на остальных входах, равных U^0 или U^1

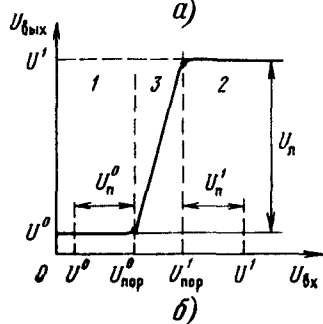
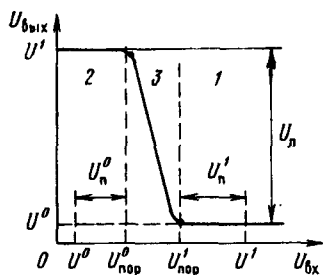


Рис. 7.2

в зависимости от типа ЛЭ. По виду передаточной характеристики различают *инвертирующие* и *неинвертирующие* ЛЭ. На выходе первых (НЕ, И-НЕ, ИЛИ-НЕ и др.) получают инверсные по отношению к входным логические сигналы, на выходах вторых (И, ИЛИ и др.) — прямые.

Передаточные характеристики инвертирующего и неинвертирующего ЛЭ представлены соответственно на рис. 7.2, а, б. Они имеют три четко выраженных участка. Участок 1 соответствует состоянию $U_{\text{вых}} = U^0$, участок 2 — состоянию $U_{\text{вых}} = U^1$. Кроме того, имеется промежуточный участок 3, на котором состоянии ЛЭ не определено. В статическом режиме соответствующие участку 3 значения напряжений недопустимы. Границы участков определяются точками единичного усиления, в которых выполняется условие $|dU_{\text{вых}}/dU_{\text{вх}}| = 1$. Входные напряжения, опре-

деляющие границы участков, называются *порогами переключения* $U_{\text{пор}}^0$ и $U_{\text{пор}}^1$. Разность напряжений лог. 1 и лог. 0 называют *логическим перепадом*:

$$U_{\text{л}} = U^1 - U^0. \quad (7.1)$$

Сложные логические функции реализуются с помощью разветвленных цепей, состоящих из ЛЭ. При этом выход одного ЛЭ соединяют со входом другого. Поэтому логический сигнал U^0 или U^1 с выхода предыдущего ЛЭ поступает на вход последующего. Входные напряжения U^0 и U^1 , задаваемые предыдущими ЛЭ, показаны на осях входных напряжений на рис. 7.2.

Помимо логических сигналов на входах могут появляться *напряжения помехи*, которые либо повышают, либо понижают входное напряжение. Если на входе действует напряжение U^0 , то опасны помехи, имеющие положительную полярность, так как они повышают входное напряжение. При достаточно большом напряжении помехи рабочая точка на передаточной характеристике может сместиться в область переключения 3 (см. рис. 7.2), что приведет к сбою в работе, т. е. ложному изменению выходных напряжений в цифровом устройстве. При поступлении на вход напряжения U^1 и напряжения помехи отрицательной полярности также возможно ложное переключение. Максимально допустимые постоянные напряжения помехи положительной полярности $U_{\text{п}}^0$ (при напряжении U^0 на входе) и отрицательной полярности $U_{\text{п}}^1$ (при напряжении U^1 на входе) определяют помехоустойчивость ЛЭ по отношению к статическим (длительно действующим) помехам. Эти напряжения отмечены на рис. 7.2:

$$U_{\text{п}}^0 = U_{\text{пор}}^0 - U^0; \quad (7.2)$$

$$U_{\text{п}}^1 = U^1 - U_{\text{пор}}^1. \quad (7.3)$$

Внутренние помехи в цифровом устройстве возникают при переключении ЛЭ, поэтому их амплитуда пропорциональна логическому перепаду $U_{\text{л}}$. Для оценки помехоустойчивости ЛЭ помимо напряжений $U_{\text{п}}^0$ и $U_{\text{п}}^1$ используют относительные величины

$$k_{\text{п}}^0 = U_{\text{п}}^0 / U_{\text{л}}; \quad k_{\text{п}}^1 = U_{\text{п}}^1 / U_{\text{л}}, \quad (7.4)$$

называемые *коэффициентами помехоустойчивости*. Из рис. 7.2 видно, что $k_{\text{п}}^0 + k_{\text{п}}^1 < 1$, так как $U_{\text{п}}^0 + U_{\text{п}}^1 < U_{\text{л}}$.

В тех случаях, когда область переключения 3 не очень широкая, т. е. $U_{\text{пор}}^1 - U_{\text{пор}}^0 \ll U_{\text{л}}$, можно ввести средний порог переключения $\bar{U}_{\text{пор}} = (U_{\text{пор}}^0 + U_{\text{пор}}^1) / 2$.

Для повышения помехоустойчивости необходимо увеличивать логический перепад и уменьшать «ширину» области переключения 3. Поскольку напряжение U^1 не может быть выше напряжения источника питания $U_{\text{н.п}}$, а напряжение U^0 ниже нуля, то $U_{\text{л}} \leq U_{\text{н.п}}$ и $U_{\text{п}}^0 + U_{\text{п}}^1 < U_{\text{н.п}}$. Идеальная передаточная характеристика, соответствующая максимальной помехоустойчивости, должна удовлетворять условиям

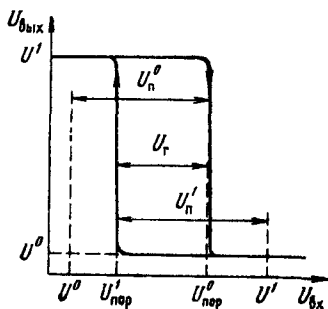


Рис. 7.3

$U^1 = U_{н.п.}$, $U^0 = 0$, $U_{пор}^0 = U_{пор}^1$; тогда достигаются одинаковые и максимально возможные значения $U_n^0 = U_n^1 = 0,5 U_{н.п.}$, $k_n^0 = k_n^1 = 0,5$.

Бóльшие значения U_n^0 и U_n^1 при том же напряжении питания можно получить только в специальных схемах с обратной связью, для которых передаточная характеристика имеет гистерезис, как показано на рис. 7.3. Для этой характеристики $U_{пор}^0 > U_{пор}^1$, $U_n^0 + U_n^1 = U_{л} + U_r$, где $U_r = U_{пор}^0 - U_{пор}^1$ — ширина петли гистерезиса.

В предельном случае, когда $U_r \approx U_{л.}$

достигается максимально возможная помехоустойчивость $U_n^0 \approx U_n^1 \approx U_{л.} = U_{н.п.}$

При оценке помехоустойчивости по формулам (7.2) и (7.3) следует учитывать, что входящие в них величины U^1 , U^0 , $U_{пор}^0$, $U_{пор}^1$ имеют технологический разброс, т. е. различаются даже для однотипных ЛЭ и зависят от температуры, напряжения источника питания, числа нагрузок аналогичных ЛЭ, присоединенных к выходу, и других условий. Поэтому в этих формулах обычно используют наихудшие значения величин; при этом в технических условиях приводят заниженные, но гарантируемые при заданных условиях эксплуатации значения U_n^0 и U_n^1 . Технологический разброс указанных выше напряжений велик для ЛЭ разных микросхем, но он значительно меньше для ЛЭ в составе одной микросхемы.

Соотношения (7.2) и (7.3) определяют как максимально допустимые постоянные напряжения помех, так и амплитуды импульсных помех большой длительности. Если длительность импульса помехи уменьшается настолько, что становится меньше времени переключения ЛЭ, то допустимая амплитуда импульсной помехи возрастает. Следовательно, импульсная помехоустойчивость может быть выше статической.

Входная характеристика — это зависимость входного тока $I_{вх}$ от напряжения на данном входе при постоянных напряжениях на остальных входах. Для ЛЭ на биполярных транзисторах по этой характеристике определяют входные токи для двух состояний: ток низкого уровня $I_{вх}^0 \geq 0$ при $U_{вх} = U^0$, вытекающий из данного входа, и ток высокого уровня $I_{вх}^1 \leq 0$ при $U_{вх} = U^1$, втекающий в этот вход. Для элементов на МДП-транзисторах (см. гл. 8) входные токи в обоих состояниях пренебрежимо малы.

Выходная характеристика — это зависимость выходного напряжения $U_{вых}$ от выходного тока $I_{вых}$ при заданных постоянных напряжениях на входах. В общем случае таких характеристик может быть две: для напряжения низкого уровня на выходе $U_{вых}^0 = f(I_{вых}^0)$ и для напряжения высокого уровня на выходе $U_{вых}^1 = f(I_{вых}^1)$, где $I_{вых}^0$ и $I_{вых}^1$ — выходные токи низкого и высокого уровней.

Нагрузочная способность n (коэффициент разветвления на выходе) характеризует максимальное число ЛЭ, аналогичных рассматриваемому, которые одновременно можно подключать к его выходу. Чем выше нагрузочная способность, тем меньшее число ЛЭ необходимо для построения сложной цифровой микросхемы. Однако увеличение нагрузочной способности ограничено, поскольку с ростом числа нагрузок ухудшаются другие основные параметры ЛЭ, главным образом статическая помехоустойчивость и быстродействие (см. ниже). Так, помехоустойчивость ЛЭ на биполярных транзисторах уменьшается с ростом числа нагрузок, так как увеличиваются выходные токи в обоих состояниях, а это приводит к снижению уровня напряжения U^1 и повышению уровня напряжения U^0 . Среднее время задержки сигнала возрастает вследствие увеличения емкости нагрузки. По этой причине в состав одной серии микросхем малой и средней степеней интеграции и в цифровых устройствах БИС вводят ЛЭ с различной нагрузочной способностью: $n = 4 \dots 25$.

Коэффициент объединения по входу t равен числу входов ЛЭ. С увеличением коэффициента t расширяются его логические возможности за счет выполнения функций над большим числом логических переменных. При этом для создания сложного устройства требуется меньше ЛЭ. Однако увеличение числа входов, как правило, ухудшает другие основные параметры ЛЭ, прежде всего быстродействие. Для построения большинства цифровых микросхем достаточно иметь элементы с числом входов $t = 3 \dots 4$. Если требуются схемы с повышенным числом входов, то в серии микросхем вводятся специальные ЛЭ расширителн числа входов.

Потребляемая мощность ЛЭ (мощность, потребляемая ЛЭ от источника питания) зависит от его логического состояния, так как изменяется ток $I_{н.п}$ в цепи питания. Логический элемент потребляет ток $I_{н.п}^0$ при $U_{вых} = U^0$ и ток $I_{н.п}^1$ при $U_{вых} = U^1$. Поэтому *средняя потребляемая мощность* в статическом режиме

$$P_{ср} = 0,5U_{н.п}(I_{н.п}^0 + I_{н.п}^1). \quad (7.5)$$

Зная среднюю мощность и число ЛЭ в цифровом устройстве $N_{л.э}$, можно вычислить среднюю мощность, потребляемую устройством; она равна $P_{ср}N_{л.э}$. Уменьшить потребляемую мощность можно, снизив напряжение или ток питания. Однако при этом понизятся помехоустойчивость, а для многих типов ЛЭ и быстродействие. Наиболее эффективный способ уменьшения мощности $P_{ср}$ реализован в ЛЭ на КМДП-транзисторах. В этих элементах токи в статическом режиме пренебрежимо малы, а мощность потребляется *только при переключении*. Мощность, потребляемую дополнительно в процессе переключения, называют *динамической*. Она пропорциональна частоте переключения ЛЭ. Поэтому динамическую мощность определяют при заданной рабочей частоте, близкой к максимальной.

Быстродействие ЛЭ оценивают средним временем задержки распространения сигнала $t_{\text{зд.р.ср}}$ (средней задержкой), определяющим среднее время выполнения логической операции:

$$t_{\text{зд.р.ср}} = 0,5 (t_{\text{зд.р}}^{0,1} + t_{\text{зд.р}}^{1,0}), \quad (7.6)$$

где $t_{\text{зд.р}}^{0,1}$, $t_{\text{зд.р}}^{1,0}$ — времена задержки распространения сигнала при переходе напряжения на выходе от U^0 к U^1 и от U^1 к U^0 соответственно, измеряемые на уровне $\bar{U}_{\text{пор}}$. Произведение средней задержки на максимальное число последовательно соединенных ЛЭ в устройстве дает наибольшую задержку сигнала в этом устройстве.

Временные диаграммы на входе и выходе инвертирующего ЛЭ приведены на рис. 7.4. Задержки распространения $t_{\text{зд.р}}^{1,0}$ и $t_{\text{зд.р}}^{0,1}$ отсчитываются на этих диаграммах либо по уровню усредненного порога переключения $\bar{U}_{\text{пор}} = 0,5 (U_{\text{пор}}^0 + U_{\text{пор}}^1)$, либо по уровню, соответствующему половине логического перепада. Задержки необходимо измерять в условиях, учитывающих работу ЛЭ в цифровых устройствах. Поэтому входной сигнал $U_{\text{вх}}(t)$ формируется аналогичным ЛЭ, а на выходе исследуемого ЛЭ подключают схему-нагрузку.

При упрощенном анализе переходных процессов в ЛЭ реальный входной сигнал заменяют импульсом прямоугольной формы. Соответствующие временные диаграммы показаны на рис. 7.5. Времена задержек включения $t_{\text{зд.р}}^{1,0}$, выключения $t_{\text{зд.р}}^{0,1}$ и переходов $t^{1,0}$, $t^{0,1}$ отсчитывают по уровням $0,1 U_{\text{л}}$ и $0,9 U_{\text{л}}$. Среднюю задержку вычисляют из соотношения $t_{\text{зд.р.ср}} \approx 0,5 (t_{\text{зд.р}}^{1,0} + t_{\text{зд.р}}^{0,1} + t^{1,0} + t^{0,1})$.

В литературе часто приводят среднее время задержки в *кольцевом генераторе*, представляющем замкнутую в кольцо цепочку нечетного числа k_r инвертирующих ЛЭ. Схема кольцевого генератора, содержа-

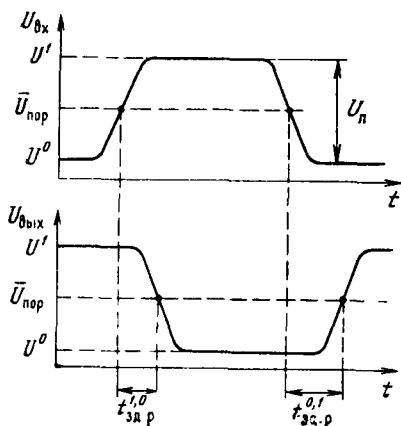


Рис. 7.4

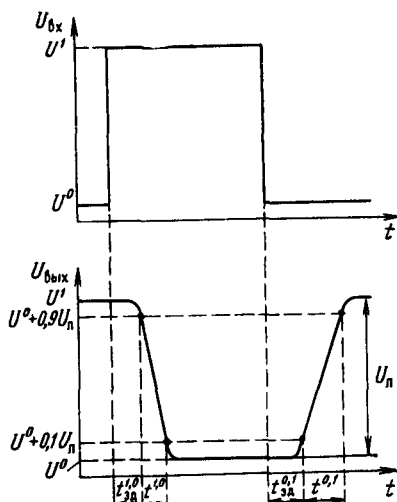


Рис. 7.5

шая k_r инверторов, представле- на на рис. 7.6. Если напряжение на входе первого инвертора в некоторый момент времени равно U^1 , то при нечетном числе инверторов на выходе последнего элемента с задержкой $k_r t_{\text{зд.р.ср}}$ установится напряже- ние U^0 и начнется переключение первого инвертора в противоположное состояние. При этом в кольце- вом генераторе возбуждаются колебания с периодом $T_r = 2k_r t_{\text{зд.р.ср}}$. Коэффициент 2 в этой формуле обусловлен тем, что для переключения первого инвертора в исходное состояние $U_{\text{вх}} = U^1$ электрическое колебание по цепочке инверторов должно пройти дважды. Измеряя пе- риод колебаний, можно вычислить среднюю задержку: $t_{\text{зд.р.ср}} = T_r / 2k_r$. Для исключения зависимости измеряемой задержки от чис- ла инверторов в цепи последнее выбирают достаточно большим: $k_r = 9 \dots 11$.

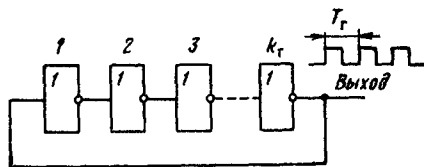


Рис. 7.6

Кольцевые генераторы наиболее широко используют для измере- ния средней задержки ЛЭ в составе БИС. Эти ЛЭ имеют очень малые емкости нагрузки по сравнению с входной емкостью измерительного прибора, например осциллографа, поэтому непосредственно измерить среднюю задержку одного ЛЭ невозможно. Для уменьшения влияния входной емкости измерительного прибора к выходу кольцевого гене- ратора подключают усилитель с малой входной емкостью, изготавли- ваемый на том же кристалле. При единичной нагрузке каждого инвер- тора задержка, измеренная в кольцевом генераторе, минимальна и служит для оценки *предельного быстродействия* ЛЭ. Кольцевой гене- ратор удобен также для измерения малых значений средней задержки (менее 1 нс), поскольку период его колебаний в $2k_r$ раз больше $t_{\text{зд.р.ср}}$.

При заданных импульсных параметрах транзисторов среднюю за- держку ЛЭ можно уменьшить в определенных пределах, увеличив то- ки, потребляемые от источника питания, и уменьшив тем самым вре- мена перезарядки паразитных емкостей. Однако при этом возрастает потребляемая мощность. Таким образом, между средней задержкой и потребляемой мощностью ЛЭ существуют зависимость: *чем меньше средняя задержка, тем больше потребляемая мощность*.

В связи с этим для сравнения ЛЭ различных типов используют па- раметр, называемый *работой переключения*:

$$A_{\text{пер}} = P_{\text{ср}} t_{\text{зд.р.ср}} \quad (7.7)$$

Чем выше качество схемотехнической и конструкторско-технологич- еской реализации ЛЭ, тем меньше работа переключения. Для ЛЭ микросхем малой и средней степеней интеграции $A_{\text{пер}} = 1 \dots 10$ пДж, для логических элементов в БИС и СБИС $A_{\text{пер}} = 0,01 \dots 1$ пДж.

Большинство основных параметров ЛЭ сильно зависит от напряжения источника питания $U_{и.п.}$. При снижении $U_{и.п.}$ уменьшаются потребляемая мощность и работа переключения, но ухудшаются помехоустойчивость, нагрузочная способность и, как правило, снижается быстродействие. Заданные параметры большинства типов ЛЭ могут быть обеспечены лишь в сравнительно узком диапазоне отклонения напряжения питания от выбранного номинального значения $\pm (5 \dots 10) \%$.

Температурные изменения электрических параметров транзисторов, диодов и резисторов, используемых в ЛЭ, обуславливают зависимости их основных параметров от температуры. В связи с этим для микросхем всегда задается диапазон рабочих температур, в котором значения их параметров не выходят за определенные границы.

Важную роль играют конструктивно-технологические параметры и характеристики ЛЭ: площадь, занимаемая ЛЭ на кристалле (при заданном минимальном топологическом размере), и количество основных технологических операций, используемых при изготовлении микросхемы. Площадь ЛЭ наряду с потребляемой мощностью определяет максимально достижимую степень интеграции, а количество основных технологических операций — процент выхода годных микросхем и их стоимость. Для уменьшения площади ЛЭ стремятся упростить их электрическую схему, уменьшить число используемых в ней транзисторов, диодов и резисторов. При проектировании топологии и структуры ЛЭ для снижения его площади уменьшают число карманов, размещая там, где это возможно, несколько транзисторов или резисторов в одном кармане. Используют поликремниевые пленочные резисторы, сформированные на поверхности кристалла над транзисторами. Применяют совмещение областей транзисторов; в этом случае одна область кристалла может использоваться для нескольких транзисторов, например как база одного и коллектор другого биполярного транзистора (см. § 7.5).

Для сопоставления ЛЭ различных типов при заданном уровне технологии, характеризуемом минимальным топологическим размером Δ , используют *относительную площадь*, выражаемую числом квадратов со стороной Δ (литографических квадратов).

За три десятилетия, прошедших с момента разработки первых цифровых микросхем, были изобретены и исследованы десятки типов ЛЭ. Их подробный анализ выходит за рамки данного курса. Основная цель поиска новых типов ЛЭ состоит в улучшении тех или иных параметров: уменьшении площади и потребляемой мощности, повышении быстродействия и т. д. Важным стимулом к поиску являются новейшие достижения в технологии микросхем, поскольку оптимальные ЛЭ могут быть созданы только при органическом сочетании физических принципов работы, конструкции, технологии и схемотехники.

В настоящее время наиболее актуальны исследования и разработки ЛЭ для БИС и СБИС, проводимые в трех основных направлениях. Первое развивается на основе кремниевых МДП-транзисторов и позволяет получать максимальную степень интеграции (число элементов

$10^6 \dots 10^7$) при достаточно высоком быстродействии (средняя задержка 0,5 ... 1 нс). Во втором направлении используются кремниевые биполярные транзисторы и обеспечивается повышенное быстродействие (средняя задержка 0,1 ... 0,5 нс), но при меньшей степени интеграции (число элементов $10^4 \dots 10^5$). Третье направление позволяет достигать сверхвысокого быстродействия (средняя задержка 50 ... 200 пс) при числе элементов $10^3 \dots 10^4$; оно развивается на основе арсенид-галлиевых МЭП-транзисторов.

Ниже подробно рассмотрены только важнейшие типы ЛЭ, нашедших наиболее широкое применение. Кроме того, кратко описаны ЛЭ, которые согласно современным оценкам представляются перспективными.

7.3. ЭЛЕМЕНТЫ ТРАНЗИСТОРНО-ТРАНЗИСТОРНОЙ ЛОГИКИ

Отличительным признаком элементов ТТЛ является *многоэмиттерный транзистор* (см. § 3.3), включенный во входной цепи. Схема простейшего элемента ТТЛ приведена на рис. 7.7. Она содержит входной двухэмиттерный транзистор VT1, в базовой цепи которого включен резистор R1, и выходной инвертор на транзисторе VT2, в коллекторной цепи которого включен резистор R2. Многоэмиттерный транзистор выполняет логическую операцию И над входными логическими переменными A и B, а на выходе элемента реализуется функция И-НЕ: $C = \overline{AB}$. Простейшие элементы ТТЛ используют в БИС.

Рассмотрим принцип действия ЛЭ в статическом режиме, полагая, что он работает в составе цепочки последовательно соединенных одинаковых ЛЭ. Выделим в этой цепочке два соседних логических элемента ЛЭ1 и ЛЭ2 на рис. 7.8.

Пусть на первый вход ЛЭ1 подано напряжение U^0 , а на второй — напряжение U^1 . При этом первый эмиттерный переход смещен в прямом направлении, напряжение на нем обозначим $U_{БЭ1}^0$. Напряжение на базе транзистора VT1 $U_{Б1}^0 = U_{БЭ1}^0 + U^0$ (около 0,8 В при $T = 300$ К), а ток базы $I_{Б1}^0 = (U_{н.п} - U_{БЭ1}^0 - U^0)/R_1$. Этот ток вы-

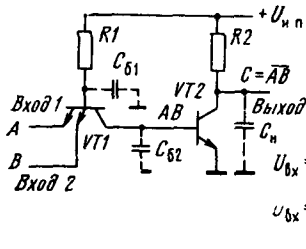


Рис. 7.7

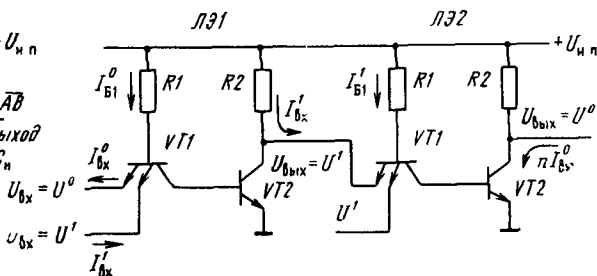


Рис. 7.8

текает через первый вход $LЭ1$. Второй эмиттерный переход смещен в обратном направлении, поэтому через второй вход втекает ток $I_{вх}^1$. Этот ток также вытекает через первый вход. Поэтому ток первого входа $I_{вх}^0 = I_{Б1}^1 + I_{вх}^1$, а коллекторный ток транзистора $VT1$ (базовый ток транзистора $VT2$) близок к нулю. Коллекторный переход транзистора $VT1$ смещен в прямом направлении, а напряжение между его коллектором и первым эмиттером равно напряжению насыщения $U_{КЭ\text{нас}1}$ для транзистора $VT1$ при $I_K \approx 0$.

Напряжение на базе транзистора $VT2$ $U_{БЭ2}^0 = U^0 + U_{КЭ\text{нас}1}$, что ниже его порога отпираания $U_{БЭ\text{пор}2}$. Напомним, что напряжение $U_{БЭ\text{пор}}$ на 2...3 φ_T ниже напряжения база — эмиттер в режиме насыщения [3]. Следовательно, транзистор $VT2$ закрыт и его коллекторный ток близок к нулю. Через резистор $R2$ в выходную цепь $LЭ1$ течет ток $I_{вх}^1$, являющийся входным током для $LЭ2$: $I_{вх}^1 = I_{Б1}^1 \beta_{11}$, где $I_{Б1}^1$ — ток базы транзистора $VT1$ в элементе $LЭ2$; β_{11} — инверсный коэффициент передачи этого транзистора. Чтобы ток $I_{вх}^1$ был достаточно малым, необходимо уменьшать β_{11} . Способ уменьшения β_{11} рассмотрен в § 3.3.

При малом токе $I_{вх}$ падение напряжения на резисторе $R2$ элемента $LЭ1$ невелико, поэтому напряжение на выходе $LЭ1$ соответствует напряжению высокого уровня

$$U^1 = U_{и.п} - R_2 I_{вх}^1 = U_{и.п} - R_2 I_{Б1}^1 \beta_{11} \approx U_{и.п}. \quad (7.8)$$

Если к выходу $LЭ1$ подсоединить не один, а n логических элементов, то вытекающий выходной ток увеличится в n раз, а уровень напряжения U^1 понизится. Выходное напряжение $LЭ1$ не изменится, если и на второй его вход будет подано напряжение U^0 .

Рассмотрим теперь $LЭ2$. Пусть на второй его вход (см. рис. 7.8) подано напряжение U^1 . Поскольку и на первый вход, как мы установили выше, с выхода $LЭ1$ также поступает напряжение U^1 , то оба эмиттерных перехода входного транзистора смещены в обратном направлении. Этот транзистор работает в инверсном режиме. Через каждый вход втекает ток $I_{вх}^1$. В цепи базы транзистора $VT1$ через резистор $R1$ протекает ток $I_{Б1}^1$, который несколько меньше $I_{Б1}^0$, так как напряжение на базе повысилось примерно до 1,4 В (определяется прямым напряжением на эмиттерном переходе $VT2$ и коллекторном переходе $VT1$) при $T = 300$ К. Коллекторный переход входного транзистора $LЭ2$ смещен в прямом направлении. Через него в базу выходного транзистора течет ток $I_{Б2}^1 = I_{Б1}^1 + 2I_{вх}^1$. При соответствующем выборе сопротивлений резисторов $R1$ и $R2$ и коэффициента передачи β_2 транзистора $VT2$ выполняется условие $I_{Б2}^1 \beta_2 > I_{К2}$ и транзистор $VT2$ будет находиться в режиме насыщения. Выходное напряжение $LЭ2$ будет соответствовать напряжению низкого уровня $U^0 = U_{КЭ\text{нас}2}$, где $U_{КЭ\text{нас}2}$ — напряжение насыщения транзистора $VT2$ при заданном токе $I_{К2} = I_{вх}^0$ (при одной нагрузке). Это напряжение возрастает приблизительно пропорционально коллекторному току.

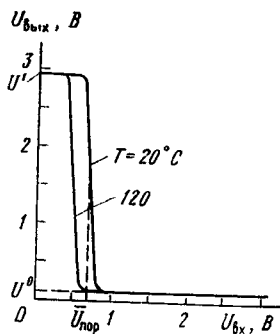


Рис. 7.9

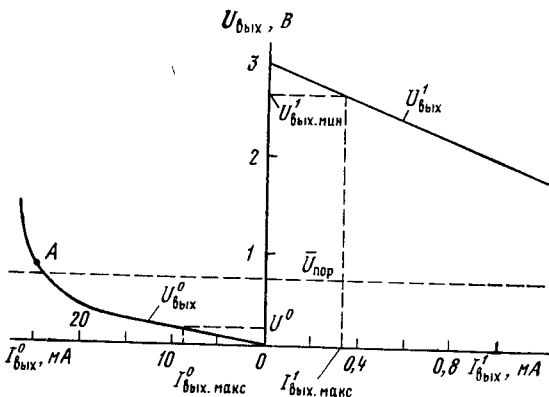


Рис. 7.10

Если к выходу ЛЭ2 подключить не один, а n аналогичных элементов, то вытекающий в его выход ток увеличится в n раз (см. рис. 7.8), соответственно возрастет коллекторный ток выходного транзистора и повысится напряжение U^0 .

Если теперь повысить напряжение на первом входе ЛЭ1 до уровня U^1 , то его выходное напряжение понизится до уровня U^0 , что вызовет переключение ЛЭ2 в состояние $U_{\text{вых}} = U^1$. Таким образом, для рассматриваемого двухвходового ЛЭ при $U_{\text{вх1}} = U^0$ ($A = 0$) или при $U_{\text{вх2}} = U^0$ ($B = 0$), или при $U_{\text{вх1}} = U_{\text{вх2}} = U^0$ ($A = B = 0$) $U_{\text{вых}} = U^1$ ($C = 1$), а при $U_{\text{вх1}} = U_{\text{вх2}} = U^1$ ($A = 1, B = 1$) $U_{\text{вых}} = U^0$ ($C = 0$), что соответствует логической функции И-НЕ.

Передаточная характеристика рассматриваемого элемента ТТЛ при $U_{\text{и.п}} = 3$ В, $T = 20^\circ\text{C}$ и $n = 1$ приведена на рис. 7.9. При снятии этой характеристики для ЛЭ, имеющего m входов, входное напряжение изменяют только на одном из входов в диапазоне от 0 до $U_{\text{и.п}}$, а на остальные входы подают напряжение U^1 . Усредненный порог переключения $\bar{U}_{\text{пор}} \approx (U_{\text{БЭ пор2}} + U_{\text{БЭ нас2}})/2$. Как видно из рисунка с учетом обозначений данных на рис. 7.2, а или формул (7.2) и (7.3), $U_{\text{пор}}^0 \approx 0,5$ В, а $U_{\text{пор}}^1 \approx 2$ В. При повышении температуры $U_{\text{пор}}$ понижается (температурный коэффициент около -2 мВ/°C), что приводит к уменьшению $U_{\text{пор}}^0$ и увеличению $U_{\text{пор}}^1$. Соответствующая характеристика для $T = 120^\circ\text{C}$ показана на рис. 7.9.

Нагрузочная способность ЛЭ прежде всего ограничена тем, что с ростом числа нагрузок увеличиваются выходные токи. **Выходные характеристики** элемента ТТЛ при $U_{\text{и.п}} = 3$ В, $R_2 = 1,2$ кОм, $\beta_2 = 60$ и $T = 20^\circ\text{C}$ приведены на рис. 7.10. Вытекающий из ЛЭ ток $I_{\text{вых}}^1$ считается здесь положительным, а вытекающий в него ток $I_{\text{вых}}^0$ — отрицательным. Характеристика $U_{\text{вых}}^0 = f(I_{\text{вых}}^0)$ снимается при входных напряжениях U^1 на всех входах, а характеристика $U_{\text{вых}}^1 = f(I_{\text{вых}}^1)$ — при $U_{\text{вх}} = U^0$. Видно, что увеличение выходных токов приводит к понижению уровня U^1 и повышению уровня U^0 . Уро-

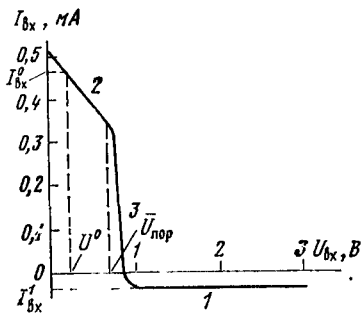


Рис. 7.11

вень U^1 понижается по линейному закону в соответствии с формулой (7.8), в которой нужно заменить $I_{вх}^1$ на $I_{вых}^1$. Уровень $U_{вых}$ при малых токах $I_{вых}^0$ повышается также по линейному закону вследствие увеличения напряжения насыщения выходного транзистора. Точка А отделяет режим насыщения от активного режима этого транзистора. Активный режим недопустим, так как выходное напряжение резко возрастает при увеличении выходного тока.

Входная характеристика элемента ТТЛ при $U_{н.п} = 3$ В, $R_1 = 4$ кОм,

$\beta_{J1} = 0,05$ и $T = 20^\circ\text{C}$ показана на рис. 7.11. Вытекающий из ЛЭ ток считается положительным. Характеристика имеет три участка, которые пронумерованы, как на рис. 7.2, а. На участке 2 при $U_{вх} < \bar{U}_{пор} \approx 0,7$ В с ростом входного напряжения входной ток уменьшается по линейному закону в соответствии с формулой $I_{вх} = (U_{н.п} - U_{БЭ1}^0 - U_{вх})/R_1$. На участке переключения 3 входной ток резко уменьшается при увеличении напряжения на 3...4 φ_T вследствие запираания эмиттерного перехода входного транзистора. На участке 1 полярность тока изменяется, и с ростом напряжения он стремится к значению $I_{вх}^1 = \beta_{J1} I_{Б1}$, в рассматриваемом примере равному 20 мкА.

По входным и выходным характеристикам можно определить нагрузочную способность с учетом требуемой помехоустойчивости. В качестве примера зададимся значением $U_n^0 = 0,5$ В, учитывая, что для ЛЭ этого типа $U_n^0 < U_n^1$. Тогда $U^0 = \bar{U}_{пор} - U_n^0 = 0,7 - 0,5 = 0,2$ В. При $U_{вых} = U^0 = 0,2$ В по выходной характеристике $U_{вых}^0 = f(I_{вых}^0)$ (см. рис. 7.10) определяем $I_{вых.макс}^0 = 8$ мА, а по входной характеристике (см. рис. 7.11) при $U_{вх} = U^0 = 0,2$ В находим $I_{вх}^0 = 0,46$ мА. При этом нагрузочная способность $n = I_{вых.макс}^0 / I_{вх}^0 \approx 17$, а выходной ток $I_{вых}^1 = n I_{вх}^0 = 17 \cdot 0,02 = 0,34$ мА. Из выходной характеристики $U_{вых}^1 = f(I_{вых}^1)$ получаем $U_{вых.мин}^1 = 2,7$ В, следовательно, $U_n^1 = U_{вых.мин}^1 - U_{пор} \approx 2,7 - 0,7 = 2$ В.

Для повышения нагрузочной способности необходимо увеличивать коэффициент передачи выходного транзистора и уменьшать сопротивление его коллекторной области. Последнее достигается формированием в коллекторе скрытого слоя n^+ -типа (см. рис. 3.1). Нагрузочная способность зависит от температуры и напряжения источника питания. Как показывает анализ, наименьшее значение n соответствует минимальной рабочей температуре, что обусловлено главным образом уменьшением коэффициента передачи выходного транзистора, а также наименьшему напряжению источника питания. Типовые значения n для элемента ТТЛ с учетом наихудших условий работы составляют 4...5.

Средняя потребляемая мощность [см. формулу (7.5)] может быть оценена по формуле

$$P_{\text{ср}} = 0,5U_{\text{и.п}}(I_{\text{Б1}}^0 + I_{\text{Б1}}^1 + I_{\text{к2}}^1) \approx U_{\text{и.п}}[(U_{\text{и.п}} - 1,5U_{\text{БЭ.пор}})/R_1 + U_{\text{и.п}}/2R_2]. \quad (7.9)$$

Поскольку при снижении напряжения питания уменьшаются помехоустойчивость и нагрузочная способность, оно ограничивается значением $U_{\text{и.п. мин}} \approx 2$ В. Поэтому потребляемую мощность можно уменьшить, только увеличив сопротивления R_1 и R_2 . Однако при этом возрастает средняя задержка.

Средняя задержка определяется временем перезарядки паразитных емкостей, отсчитываемых относительно общей шины: базы входного транзистора $C_{\text{б1}}$, базы выходного транзистора $C_{\text{б2}}$ и коллектора этого транзистора $C_{\text{н}}$ (емкость нагрузки). Включение соответствующих конденсаторов показано на рис. 7.7. Емкость $C_{\text{б1}}$ складывается из усредненных барьерных емкостей эмиттерных переходов входного транзистора, паразитных емкостей металлического соединения и резистора $R1$. Емкость $C_{\text{б2}}$ учитывает барьерные емкости эмиттерного и коллекторного переходов выходного транзистора, паразитную емкость металлического соединения и емкость коллектор-подложка входного транзистора. Емкость $C_{\text{н}}$ состоит из паразитных емкостей коллектор-подложка выходного транзистора, резистора $R2$, соединительных проводников и входных емкостей элементов-нагрузок. Кроме того, средняя задержка зависит от времени рассасывания избыточного заряда в выходном транзисторе.

Рассмотрим работу ЛЭ в импульсном режиме. Пусть на первом входе ЛЭ напряжение U^0 , на втором — напряжение U^1 . В некоторый момент времени на первый вход поступает переключающий импульс напряжения прямоугольной формы (см. рис. 7.5). Напряжение на выходе будет изменяться с задержкой $t_{\text{зд}}^{1,0}$, во время которой напряжение на базе выходного транзистора увеличится до порога его отпираания. При этом коллекторный ток транзистора $VT2$ останется очень малым и на выходе сохранится уровень U^1 . На этом этапе конденсаторы $C_{\text{б1}}$ и $C_{\text{б2}}$ (см. рис. 7.7) заряжаются током, задаваемым резистором $R1$. Поэтому время задержки $t_{\text{зд}}^{1,0}$ уменьшается при снижении емкостей $C_{\text{б1}}$ и $C_{\text{б2}}$ и сопротивлений R_1 .

По окончании задержки коллекторный ток выходного транзистора нарастает, выходное напряжение понижается и формируется фронт. Время перехода $t^{1,0}$ сокращается при уменьшении барьерной емкости коллекторного перехода выходного транзистора, емкости нагрузки и сопротивлений R_1 и R_2 , а также при увеличении коэффициента усиления этого транзистора (как и для простого ключа — инвертора [3]). После окончания фронта в течение некоторого времени коллекторный ток продолжает нарастать, в выходное напряжение — понижаться. Затем выходной транзистор переходит в режим насыщения, а выходное напряжение достигает уровня U^0 .

При скачкообразном понижении входного напряжения выходное напряжение изменяется с задержкой $t_{зд}^{0,1}$, в течение которой рассасывается избыточный заряд, накопившийся в выходном транзисторе в режиме насыщения. Время задержки $t_{зд}^{0,1}$ равно времени рассасывания, которое изменяется пропорционально постоянной времени рассасывания $\tau_{рас}$ и уменьшается при росте тока, вытекающего из базы выходного транзистора. Постоянная времени рассасывания приблизительно равна объемному времени жизни дырок в коллекторе [3]. Для уменьшения $\tau_{рас}$ используют легирование кристалла золотом, в результате получают $\tau_{рас} = 10 \dots 20$ нс, однако при этом понижается коэффициент передачи выходного транзистора.

Для уменьшения времени рассасывания необходимо обеспечить достаточно большой ток, вытекающий из базы выходного транзистора. Этот ток протекает через транзистор $VT1$ во входную цепь ЛЭ и поступает на выход предыдущего ЛЭ, т. е. течет в коллекторной цепи выходного транзистора последнего. Значение тока определяется напряжением $U_{Бэ}$ транзистора $VT2$ и малыми сопротивлениями транзистора $VT1$ данного ЛЭ и транзистора $VT2$ предыдущего ЛЭ. В результате получают достаточно большой ток и время рассасывания, меньшее $\tau_{рас}$. За время рассасывания выходное напряжение почти не изменяется и остается близким к уровню U^0 .

По окончании процесса рассасывания происходит быстрое уменьшение коллекторного тока выходного транзистора и начинает повышаться выходное напряжение. Время перехода $t^{0,1}$ пропорционально постоянной времени $R_2 C_n$ и почти не зависит от других параметров. Напомним, что емкость C_n значительно слабее (в β_2 раз) влияет на время перехода $t^{1,0}$, так как при этом она быстро разряжается большим коллекторным током открывшегося выходного транзистора.

Основной вклад в среднюю задержку элементов ТТЛ вносят время рассасывания и время перехода $t^{0,1}$. Поскольку последнее увеличивается пропорционально емкости нагрузки, эти ЛЭ могут эффективно использоваться только при малых емкостях нагрузки $C_n < 0,5$ пФ. При этом средняя задержка $t_{зд.р.ср} \leq 5$ нс, а работа переключения $A_{пер} \leq 5$ пДж. Элементы ТТЛ занимают сравнительно малую площадь на кристалле, их относительная площадь 500 ... 1000 литографических квадратов. Простейшие элементы характеризуются сравнительно невысокой помехоустойчивостью: $U_n^0 \geq 0,2$ В в диапазоне рабочих температур — 60 ... +125 °С. По этим причинам они используются во внутренних цепях БИС, где обеспечиваются малые емкости соединительных проводников и низкие уровни внутренних помех.

Для повышения помехоустойчивости, нагрузочной способности и обеспечения высокого быстродействия при значительно большей емкости нагрузки в элементах ТТЛ используют *сложный инвертор*. Такие элементы применяют в микросхемах малой и средней степеней интеграции, а также в выходных каскадах БИС.

Схема элемента ТТЛ со сложным инвертором представлена на рис. 7.12. Этот элемент выполняет логическую функцию И-НЕ. Назначение входного транзистора и резистора $R1$, то же, что и в простейшем элементе (см. рис. 7.7). Остальные транзисторы и резисторы составляют сложный инвертор, содержащий промежуточный каскад на транзисторе $VT2$ и резисторах $R2$, $R3$ и выходной каскад на транзисторах $VT3$ — $VT5$ и резисторе $R4$. Транзистор $VT5$ используется в диодном включении ($U_{\text{БК}} = 0$). С выходов промежуточного каскада (с коллектора и эмиттера $VT2$) задаются управляющие сигналы, обеспечивающие противофазное переключение транзисторов $VT3$ и $VT4$ выходного каскада: если один из них включен, то другой выключен.

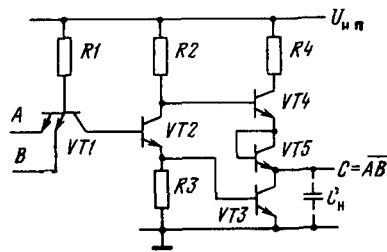


Рис. 7.12

При $U_{\text{вх}} = U^0$ на одном или нескольких входах, как и в простейшем элементе ТТЛ, коллекторный ток входного транзистора и напряжение на базе транзистора $VT2$ близки к нулю. Поэтому транзисторы $VT2$ и $VT3$ закрыты. Транзистор $VT4$ открыт, так как в его базу втекает ток, задаваемый резистором $R2$. Напряжение на выходе соответствует напряжению высокого уровня. Пренебрегая малым падением напряжения на этом резисторе, выходное напряжение можно оценить по формуле

При $U_{\text{вх}} = U^0$ на одном или нескольких входах, как и в простейшем элементе ТТЛ, коллекторный ток входного транзистора и напряжение на базе транзистора $VT2$ близки к нулю. Поэтому транзисторы $VT2$ и $VT3$ закрыты. Транзистор $VT4$ открыт, так как в его базу втекает ток, задаваемый резистором $R2$. Напряжение на выходе соответствует напряжению высокого уровня. Пренебрегая малым падением напряжения на этом резисторе, выходное напряжение можно оценить по формуле

$$U^1 = U_{\text{н.п}} - 2U'_{\text{БЭ}}, \quad (7.10)$$

где $2U'_{\text{БЭ}}$ — падение напряжения на эмиттерных переходах транзисторов $VT4$ и $VT5$. Через эти переходы протекает выходной ток элемента ТТЛ, являющийся входным током нагрузочных элементов. В зависимости от значения выходного тока $U'_{\text{БЭ}}$ может принимать значения 0,45 ... 0,5 В при $T = 25^\circ\text{C}$. Из сопоставления (7.8) и (7.10) с учетом (7.3) следует, что для обеспечения большей помехоустойчивости $U_{\text{н}}$ для ЛЭ со сложным инвертором необходимо более высокое напряжение питания. Типовое напряжение питания 5 В. При этом для $U'_{\text{БЭ}} = 0,5$ В из (7.10) получаем $U^1 = 4$ В.

Нагрузочная способность в состоянии $U_{\text{вых}} = U^1$ по сравнению с нагрузочной способностью простейшего элемента ТТЛ увеличивается за счет использования транзистора $VT4$. В этом состоянии $VT4$ работает в активном режиме и в β_4 раз ослабляет зависимость выходного напряжения $U_{\text{вых}}$ от выходного тока $I_{\text{вых}}^1$. Выходная характеристика элемента ТТЛ со сложным инвертором аналогична по форме зависимости $U_{\text{вых}}^1 = f(I_{\text{вых}}^1)$ на рис. 7.10, но идет выше (так как повышено напряжение $U_{\text{н.п}}$) и значительно (приблизительно в β_4 раз) положе.

При напряжении U^1 на всех входах транзистор $VT2$ открывается коллекторным током входного транзистора и переходит в режим насыщения. Напряжение на его коллекторе понижается и транзистор

$VT4$ закрывается. Транзистор $VT3$ открывается эмиттерным током транзистора $VT2$ и также переходит в режим насыщения. При этом выходное напряжение соответствует напряжению низкого уровня и определяется напряжением насыщения транзистора $VT3$. Для того чтобы транзистор $VT4$ не открывался при понижении выходного напряжения, в схему введен транзистор $VT5$. Напряжение на базе $VT4$ в рассматриваемом состоянии ЛЭ $U_{B4} = U_{B33} + U_{KЭ\text{ нас}2}$, где U_{B33} — напряжение база — эмиттер транзистора $VT3$ в режиме насыщения; $U_{KЭ\text{ нас}2}$ — напряжение насыщения транзистора $VT2$. Если предположить, что в худшем с точки зрения обеспечения запирающего транзистора $VT4$ случае $U_{\text{вых}} = U^0 \approx 0$, то и при этом напряжение $U_{B4} = 0,7 + 0,1 = 0,8$ В (при $T = 25^\circ\text{C}$) недостаточно для отпирания двух последовательно включенных эмиттерных переходов транзисторов $VT4$ и $VT5$.

Сопротивления R_1 и R_2 выбирают из условия $R_1 > R_2$, поэтому эмиттерный ток транзистора $VT2$ в режиме насыщения значительно больше тока базы. Следовательно, в промежуточном каскаде происходит усиление тока. В результате в базу транзистора $VT3$ поступает больший ток, чем в простейшем элементе при том же сопротивлении R_1 , что увеличивает нагрузочную способность в состоянии $U_{\text{вых}} = U^0$. Форма выходной характеристики ЛЭ со сложным инвертором в этом состоянии такая же, как и характеристики $U_{\text{вых}}^0 = f(I_{\text{вых}}^0)$ на рис. 7.10. Однако значения токов $I_{\text{вых}}^0$ значительно (приблизительно в R_1/R_2 раз) больше.

Резистор $R3$ необходим для создания цепи, по которой протекает базовый ток транзистора $VT3$ во время процесса рассасывания. Резистор $R4$ с малым сопротивлением (около 100 Ом) служит для ограничения импульсного тока транзистора $VT4$, протекающего при переключении ЛЭ из состояния $U_{\text{вых}} = U^0$ в состояние $U_{\text{вых}} = U^1$.

Передаточная характеристика ЛЭ со сложным инвертором при $U_{н,п} = 5$ В и $T = 20^\circ\text{C}$ показана на рис. 7.13 (сплошная кривая). При входном напряжении менее 0,7 В транзисторы $VT2$ и $VT3$ закрыты, напряжение на выходе $U^1 = 3,6$ В. Когда входное напряжение достигает приблизительно 0,7 В, начинает открываться транзистор $VT2$, увеличиваются его коллекторный ток и падение напряжения, создаваемое этим током на резисторе $R2$. Поэтому напряжение на базе транзистора $VT4$ и выходное напряжение понижаются (участок A). Транзистор $VT3$ на этом участке закрыт, так что эмиттерный ток транзистора $VT2$ течет через резистор $R3$. Наклон характеристики $|dU_{\text{вых}}/dU_{\text{вх}}|$ на участке A тем больше, чем меньше отношение R_3/R_2 .

Увеличивать сопротивление R_3 для повышения порогового напряжения $U_{\text{пор}}^0$ и помехоустойчивости U_n^0 нецелесообразно, так как при этом уменьшается базовый ток транзистора $VT3$ во время процесса рассасывания. Поэтому для коррекции формы передаточной характеристики в схему ЛЭ кроме резистора $R3$ вводят корректирующую цепочку, как показано на рис. 7.14. Она состоит из транзистора $VT6$ и ре-

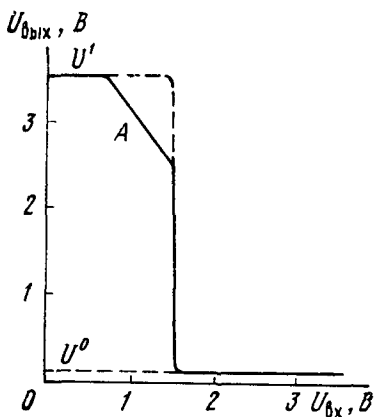


Рис. 7.13

одном напряжении $\bar{U}_{пор} \approx 1,4$ В, поэтому помехоустойчивость $U_{п}^0$ возрастает на 0,7 В.

Одним из существенных недостатков простейшего элемента ТТЛ (см. рис. 7.7) является жесткое ограничение емкости нагрузки: при большой C_n время нарастания выходного напряжения определяется постоянной времени $R_2 C_n$, с которой заряжается эта емкость. Для ЛЭ со сложным инвертором допустима значительно большая емкость нагрузки ($C_n = 50 \dots 150$ пФ), поскольку она заряжается большим эмиттерным током транзистора $VT4$, включающегося при выключении транзистора $VT2$.

Потребляемая мощность для ЛЭ со сложным инвертором значительно выше, чем для простейшего, что обусловлено большим напряжением источника питания. Кроме того, сложный инвертор потребляет дополнительную динамическую мощность при переключении: когда напряжение на выходе повышается, транзистор $VT4$ открывается и его коллекторный ток увеличивает на это время ток питания. В цепи питания при переключении элемента из состояния $U_{вых} = U^0$ в состояние $U_{вых} = U^1$ появляется пик тока. Для его ограничения используется резистор $R4$. Потребляемая мощность возрастает при увеличении рабочей частоты переключения.

Логический элемент со сложным инвертором по сравнению с простейшим занимает значительно большую площадь кристалла. По этой причине, а также вследствие большой потребляемой мощности его применение ограничено цифровыми микросхемами малой и средней степени интеграции.

Для повышения быстродействия элементов ТТЛ в них используют транзисторы с диодом Шоттки (см. § 3.4). Так, в схеме со сложным инвертором (см. рис. 7.12) все транзисторы, кроме транзисторов $VT4$ и $VT5$, работающих в активном режиме, заменяют транзисторами с диодом Шоттки. При этом время рассасывания оказывается пренебрежимо

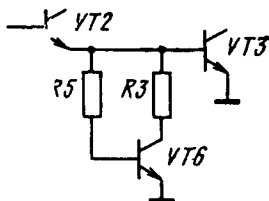


Рис. 7.14

малым сопротивлением (200 ... 400 Ом). Скорректированный участок передаточной характеристики ЛЭ показан на рис. 7.13 штриховой линией. В этом случае транзисторы $VT2$, $VT3$ и $VT6$ открываются практически при

малым, а средняя задержка определяется временем перезарядки паразитных емкостей. Средняя задержка уменьшается до 1...2 нс при $P_{\text{ср}} = 10 \dots 20$ мВт. Для элементов ТТЛ, содержащих транзисторы с диодом Шоттки, характерно пониженное значение помехоустойчивости U_n^0 [см. формулу (7.2)]. Это обусловлено повышением напряжения $U^0 = U'_{\text{Бэ}} - U_{\text{д}}$, где $U_{\text{д}}$ — прямое напряжение на диоде Шоттки, и понижением порога переключения вследствие увеличения напряжения коллектор — эмиттер многоэмиттерного транзистора.

7.4. ЭЛЕМЕНТЫ ЭМИТТЕРНО-СВЯЗАННОЙ ЛОГИКИ

Основным отличительным признаком элементов ЭСЛ является использование *переключателя тока*, транзисторы которого работают в *активном режиме*. Исключение режима насыщения и связанной с ним задержки рассасывания обеспечивает более высокое быстродействие элементов ЭСЛ по сравнению с элементами ТТЛ. Схема переключателя тока приведена на рис. 7.15. Она состоит из двух одинаковых ветвей, содержащих входной $VT_{\text{вх}}$ и опорный $VT_{\text{оп}}$ транзисторы, в коллекторных цепях которых включены резисторы $R_{\text{к}}$. На базу опорного транзистора подано постоянное опорное напряжение отрицательной полярности $-U_{\text{оп}}$. Заданный ток $I_{\text{э}}$ протекает через одну из ветвей схемы в зависимости от напряжения на входе.

При $U_{\text{вх}} = -U_{\text{оп}}$ оба транзистора открыты и работают в активном режиме, их эмиттерные токи одинаковы и равны $0,5 I_{\text{э}}$. Напряжение на эмиттере $U_{\text{э}} = -U_{\text{оп}} - U'_{\text{Бэ}}$, где $U'_{\text{Бэ}}$ — прямое напряжение на эмиттерном переходе, равное $0,6 \dots 0,7$ В при $T = 25^\circ\text{C}$. В активном режиме коллекторный ток существенно зависит от напряжения $U_{\text{Бэ}}$: $I_{\text{к}} = \alpha I_{\text{э}0} \exp(U_{\text{Бэ}}/\varphi_{\text{т}})$. Согласно этой формуле изменение напряжения $U_{\text{Бэ}}$ на $2,3 \varphi_{\text{т}}$ приводит к изменению тока на порядок. Если напряжение на входе понизить на $\delta U = 2,3 \varphi_{\text{т}}$ (на 60 мВ при $T = 25^\circ\text{C}$), то коллекторный ток входного транзистора станет значительно меньше тока опорного транзистора. При этом напряжение на выходе 1 будет соответствовать напряжению высокого уровня $U^1 = -R_{\text{к}} I_{\text{вых}}$, где $I_{\text{вых}}$ — выходной ток, вытекающий из этого выхода в нагрузку при $U_{\text{вых1}} = U^1$. Коллекторный ток опорного транзистора $I_{\text{к}} \approx \alpha I_{\text{э}} \approx I_{\text{э}}$. Этот ток создает на резисторе $R_{\text{к}}$ падение напряжения, приблизительно равное $R_{\text{к}} I_{\text{э}}$. Поэтому напряжение на втором выходе соответствует напряжению низкого уровня $U^0 \approx -R_{\text{к}} I_{\text{э}}$.

При повышении входного напряжения до $U_{\text{вх}} = -U_{\text{оп}} + \delta U$ увеличиваются коллекторный ток входного транзистора (приблизительно до $\alpha I_{\text{э}}$), напря-

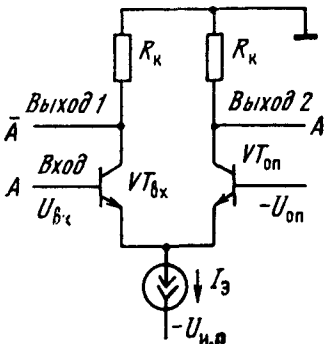


Рис. 7.15

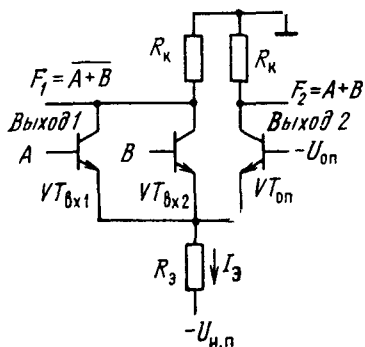


Рис. 7.16

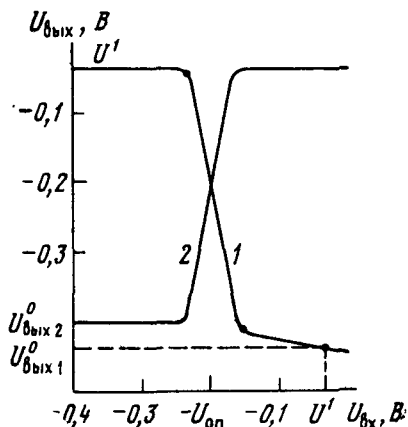


Рис. 7.17

жение на эмиттерах и уменьшается коллекторный ток опорного транзистора ($I_{\text{кол}} \ll I_{\text{э}}$). Следовательно, ток $I_{\text{э}}$ переключается в цепь входного транзистора, напряжение на выходе 1 понижается до уровня U^0 , а на выходе 2 повышается до уровня U^1 . Выход 1, на котором появляется логический сигнал \bar{A} , называется инверсным, а выход 2 — прямым. Таким образом, для переключения тока $I_{\text{э}}$ между двумя коллекторными цепями переключателя тока достаточно изменить входное напряжение на $2\delta U = 4,6 \varphi_{\text{т}} \approx 0,12 \text{ В}$ относительно среднего уровня $U_{\text{вх}} = -U_{\text{оп}}$.

Для исключения режима насыщения транзисторов необходимо ограничить входное напряжение. На границе насыщения $U_{\text{БК}} = 0$, откуда получаем условие предотвращения режима насыщения: $U_{\text{вх}} = U^1 \leq U_{\text{К}} = U^0$, т. е. $U^1 < U^0$, что невозможно. Следовательно, непосредственное последовательное соединение переключателей тока для полного исключения режима насыщения недопустимо и нужны дополнительные согласующие схемы, предотвращающие режим насыщения, — схемы смещения уровня.

Известно, что условие $U_{\text{БК}} < 0$ не является строго обязательным. Можно допустить небольшое прямое напряжение на коллекторном переходе (0,4 ... 0,5 В), так как при этом еще не происходит заметной инжекции неосновных носителей. Такой режим работы характерен, например, для транзистора с диодом Шоттки (см. § 3.4).

Указанный режим используют в простейших элементах ЭСЛ, называемых элементами малосигнальной эмиттерно-связанной логики (МЭСЛ). Эти элементы применяют во внутренних цепях СИС или БИС. Схема элемента МЭСЛ приведена на рис. 7.16. В отличие от рассмотренного выше переключателя тока она содержит два входных транзистора $VT_{\text{вх1}}$ и $VT_{\text{вх2}}$; роль генератора тока играет токозадающий резистор R_3 . Число входных транзисторов может быть и больше двух.

Эмиттеры всех транзисторов соединены в одной точке, что отражено в названии: эмиттерно-связанная логика. Схема имеет два выхода. На инверсном выходе 1 реализуется логическая функция ИЛИ-НЕ: $F_1 = \overline{A + B}$, на прямом выходе 2 — функция ИЛИ: $F_2 = A + B$.

Передаточные характеристики элемента МЭСЛ для инверсного 1 и прямого 2 выходов показаны на рис. 7.17. Поскольку напряжение источника питания $U_{и.п}$ и опорное напряжение $U_{оп}$ отрицательной полярности, то входные и выходные напряжения также отрицательны. При напряжениях $U_{вх} = U^0 < -U_{оп}$ входные транзисторы закрыты, а опорный — открыт. Напряжение на инверсном выходе равно U^1 . Значение U^1 определяется падением напряжения на резисторе в коллекторной цепи опорного транзистора при протекании выходного тока $I_{вых}^1$ в нагрузку:

$$U^1 = -I_{вых}^1 R_K = -nI_{Э} R_K / (\beta + 1), \quad (7.11)$$

где β — коэффициент передачи входного транзистора следующего ЛЭ. Это напряжение снижается с ростом числа нагрузок n , что ограничивает нагрузочную способность в состоянии $U_{вых} = U^1$. Поскольку опорный транзистор открыт и в его коллекторной цепи протекает ток $I_K \approx I_{Э} = (U_{и.п} - U_{оп} - U_{БЭ})/R_a$, то напряжение на прямом выходе

$$U_{вых2}^0 \approx -(U_{и.п} - U_{оп} - U_{БЭ}) R_K / R_a. \quad (7.12)$$

При напряжении $U_{вх} = U^1$ на одном или нескольких входах соответствующие входные транзисторы открыты, а опорный транзистор закрыт. На инверсном выходе $U_{вых1}^0 = U_{вых1}^0$, где

$$U_{вых1}^0 \approx -I_{Э} R_K = -(U_{и.п} - U_{вх}^1 - U_{БЭ}) R_K / R_a, \quad (7.13)$$

т. е. напряжение низкого уровня на инверсном выходе уменьшается при росте входного напряжения (см. рис. 7.17), поскольку увеличивается ток $I_{Э}$. При этом на прямом выходе $U_{вых} = U^1$, где U^1 определяется соотношением (7.11).

Для элементов МЭСЛ характерен малый логический перепад $U_{л} = 0,3 \dots 0,5$ В. Средний порог переключения получают из условия $\overline{U}_{пор} = -U_{оп} = -0,5U_{л}$. Опорное напряжение задают от специальной схемы, размещаемой на том же кристалле и используемой для многих ЛЭ. В этой схеме предусматривают компенсацию изменений напряжений эмиттер—база входных и опорного транзисторов.

Особенность применения элементов МЭСЛ — использование отрицательного напряжения питания. При этом согласно (7.12) и (7.13) значительно (в R_a/R_K раз) ослабляется влияние изменений напряжения $U_{и.п}$ на уровни напряжений U^0 и U^1 , что особенно важно для элементов с малым логическим перепадом.

Вследствие малого логического перепада элементы МЭСЛ имеют сравнительно низкую помехоустойчивость. При температуре 25°C и номинальном напряжении питания типичные значения $U_{п}^0 \approx U_{п}^1 \approx$

$\approx 100 \dots 150$ мВ, а в рабочих диапазонах температур и напряжений питания они уменьшаются до $U_n^0 \approx U_n^1 \approx 40 \dots 50$ мВ. Нагрузочная способность, как отмечалось выше, ограничена понижением напряжения U^1 [см. формулу (7.11)] при росте тока нагрузки: $n = 4 \dots 5$. Типичные значения напряжения питания — (2...3) В.

Потребляемая мощность практически одинакова для обоих состояний ЛЭ, поскольку ток $I_{\text{Э}}$ почти не изменяется при переключении:

$$P_{\text{ср}} = U_{\text{и.п}} I_{\text{Э}} = U_{\text{и.п}} (U_{\text{и.п}} - U_{\text{оп}} - U_{\text{БЭ}}) / R_{\text{э}} \approx U_{\text{и.п}} U_{\text{л}} / R_{\text{к}}. \quad (7.14)$$

Рассмотрим *переходные процессы* при переключении элемента МЭСЛ. Пусть в исходном состоянии входные транзисторы закрыты, а опорный — открыт. При поступлении на вход импульса положительной полярности (см. рис. 7.5) входные транзисторы открываются с некоторой задержкой. Первым этапом переходного процесса, как и в простейшем ключе [3], будет повышение напряжения на эмиттерном переходе входного транзистора до порога его отпирания, при этом заряжается входная емкость $C_{\text{вх}}$. Длительность первого этапа при условии, что источник входного сигнала имеет очень малое внутреннее сопротивление, можно определить по формуле

$$t_{\text{зд1}}^{1,0} = 0,7r_{\text{б}} C_{\text{вх}}, \quad (7.15)$$

где $r_{\text{б}}$ — сопротивление базы; $C_{\text{вх}} = C_{\text{э,бар}} + C_{\text{к,бар}}$; $C_{\text{э,бар}}$, $C_{\text{к,бар}}$ — усредненные барьерные емкости эмиттерного и коллекторного p - n переходов. С учетом конечного выходного сопротивления источника входного сигнала задержка будет больше.

Вследствие сверхвысокого быстродействия элементов МЭСЛ при оценке задержки включения следует учитывать даже столь малую величину, как время пролета $\tau_{\text{пр}}$ [3]. Длительность второго этапа

$$t_{\text{зд2}}^{1,0} = \tau_{\text{пр}} = 1/f_{\text{гр}}, \quad (7.16)$$

где $f_{\text{гр}}$ — граничная частота транзистора.

Далее коллекторный ток входного транзистора быстро возрастает, а выходное напряжение на инверсном выходе снижается по закону $U_{\text{вых1}} = -U_{\text{л}} [1 - \exp(-t/\tau_{\text{к}})]$, где $\tau_{\text{к}} = R_{\text{к}} C_{\text{вых1}}$. Эквивалентная емкость на инверсном выходе $C_{\text{вых1}}$ состоит из суммы барьерных емкостей коллекторных p - n переходов входных транзисторов, емкости изоляции входных транзисторов и резистора $R_{\text{к}}$, паразитных емкостей металлических соединений и емкости нагрузки, пропорциональной числу нагрузок. Время перехода выходного напряжения, отсчитываемое по уровням $0,9U_{\text{л}}$ и $0,1U_{\text{л}}$,

$$t^{1,0} = 2,2\tau_{\text{к}}. \quad (7.17)$$

По окончании импульса коллекторные токи входных транзисторов быстро уменьшаются до нуля за время порядка $\tau_{\text{пр}}$. Затем напряжение на инверсном выходе начнет повышаться по мере заряда эквивалентной выходной емкости током, задаваемым резистором $R_{\text{к}}$. Время перехода $t^{0,1}$ также определяется формулой (7.17).

Схема элемента МЭСЛ симметрична, поэтому напряжение на прямом выходе при переключении изменяется так же, как и на инверсном, но в противофазе.

Для повышения быстродействия элементов МЭСЛ необходимо уменьшать барьерные емкости p - n переходов, паразитные емкости проводников, сопротивление базы, ограничивать число нагрузок и увеличивать граничную частоту транзисторов. Все это достигается совершенствованием конструкции и технологии изготовления микросхем. Уменьшение сопротивления R_k ограничено увеличением потребляемой мощности.

Элементы МЭСЛ используют в сверхбыстродействующих БИС, где обеспечиваются малые уровни помех и паразитные емкости. При относительно большой емкости нагрузки ($C_n > 10$ пФ) и (или) большом числе нагрузок ($n > 10$) в сверхбыстродействующих цифровых микросхемах применяют более сложные элементы ЭСЛ. Схема такого элемента ЭСЛ приведена на рис. 7.18. Она содержит дополнительно два выходных эмиттерных повторителя на транзисторах $VT_{э,п}$ и резисторах $R_{э,п}$. В остальном эта схема совпадает со схемой элемента МЭСЛ и выполняет те же логические функции.

Выход 1 — инверсный, на нем реализуется функция ИЛИ-НЕ $F_1 = A + B$, выход 2 — прямой, ему соответствует логическая функция ИЛИ $F_2 = A + B$.

Принципы работы элементов ЭСЛ и МЭСЛ аналогичны, однако их основные параметры заметно различаются. Благодаря использованию эмиттерных повторителей и большему напряжению питания ($U_{и,п} = -5$ В) элементы ЭСЛ по сравнению с элементами МЭСЛ имеют большие логический перепад, помехоустойчивость, нагрузочную способность, допустимую емкость нагрузки, потребляемую мощность, среднюю задержку и площадь, занимаемую на кристалле.

Передаточные характеристики элемента ЭСЛ при $T = 25$ °С для инверсного 1 и прямого 2 выходов представлены на рис. 7.19. Эмиттерные повторители, во-первых, выполняют функцию согласующих схем смещения уровня выходного напряжения, предотвращающих режим насыщения входных транзисторов последующих ЛЭ. Действительно, выходные напряжения U^1 элемента ЭСЛ (рис. 7.19) оказываются ниже выходных напряжений U^1 элемента МЭСЛ (см. рис. 7.17) на величину прямого напряжения $U_{бэ}$ на эмиттерных переходах транзисторов $VT_{э,п}$ (см. рис. 7.18).

Во-вторых, эмиттерные повторители ослабляют зависимость уровня напряжения U^1 от числа нагрузок. С ростом числа нагрузок увеличивается выходной ток, а уровень U^1 понижается вследствие увеличения падения напряжения на резисторе R_k . Однако базовый ток транзистора $VT_{э,п}$, протекающий через этот резистор, в $\beta + 1$ раз меньше выходного тока. Поэтому нагрузочная способность элементов ЭСЛ значительно выше, чем элементов МЭСЛ: $n = 10...20$.

В-третьих, эмиттерные повторители позволяют увеличить логический перепад (до $U_n = 0,8$ В при $T = 25$ °С), что невозможно в

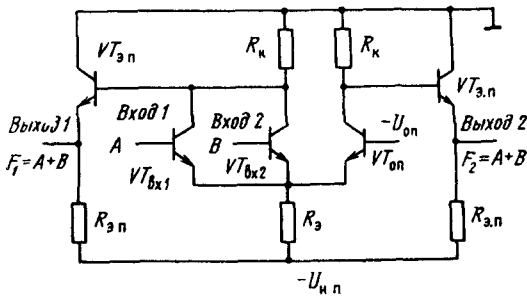


Рис. 7.18

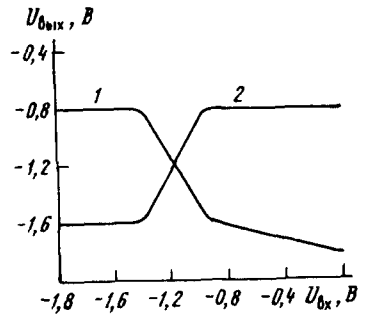


Рис. 7.19

элементах МЭСЛ из-за перехода входных транзисторов в режим глубокого насыщения. Благодаря большому логическому перепаду возрастает помехоустойчивость до $U_n^0 \approx U_n^1 \approx 300$ мВ при $T = 25^\circ\text{C}$ и номинальном напряжении питания и $U_n^0 \approx U_n^1 \approx 100...200$ мВ в рабочих диапазонах температур и напряжений питания.

Наряду с этим мощность, потребляемая элементом ЭСЛ, в 3...5 раз выше, чем МЭСЛ, так как дополнительная мощность потребляется эмиттерными повторителями и элемент ЭСЛ используется при большем напряжении питания $U_{и.п} = -(4...5)$ В. Для уменьшения потребляемой мощности эмиттерные повторители могут подключаться к источнику питания с меньшим напряжением, например -2 В. При заданной мощности элемента ЭСЛ можно перераспределять ее между переключателем тока $P_{п.т}$ и эмиттерными повторителями $P_{э.п}$, изменяя отношение сопротивлений $R_k/R_{э.п}$. При этом, как показывают расчеты и измерения, существуют оптимальные отношения указанных сопротивлений $(R_k/R_{э.п})_{опт} = (0,1...0,15) \sqrt{C_2/C_1}$ и мощностей $(P_{п.т}/P_{э.п})_{опт} \approx 2 \sqrt{C_1/C_2}$, при которых обеспечивается наименьшая средняя задержка. Здесь C_1 — емкость между базой транзистора и общей шиной, C_2 — выходная емкость ЛЭ.

Вследствие больших значений потребляемой мощности и площади, занимаемой на кристалле, элементы ЭСЛ с эмиттерными повторителями применяются в сверхбыстродействующих цифровых микросхемах малой и средней степеней интеграции. При потребляемой мощности $P_{ср} = 10...20$ мВт эти элементы ЭСЛ имеют $t_{зд.ср} = 0,5...1$ нс.

7.5. ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ БИС С ИНЖЕКЦИОННЫМ ПИТАНИЕМ

Логические элементы этого типа были разработаны специально для применения в цифровых БИС и не имеют аналогов среди ЛЭ на дискретных транзисторах. В БИС с инжекционным питанием электричес-

кое питание осуществляется путем инжекции неравновесных неосновных носителей в полупроводниковый кристалл через специальный *p-n* переход, называемый *инжекторным*.

Логические элементы БИС с инжекционным питанием получили широко распространенное, крайне неудачное название — интегральная инжекционная логика (И²Л). Корректнее было бы использовать термин «логика с инжекционным питанием». В конструкциях БИС с инжекционным питанием используются сложные биполярные структуры, в которых совмещаются области многоколлекторных транзисторов типов *n-p-n* и *p-n-p*. Поэтому для элементов И²Л не существуют принципиальные электрические схемы — их работа описывается с помощью эквивалентных схем.

На рис. 7.20, *а, б* показаны вид сверху части кристалла БИС, содержащей четыре ЛЭ, и поперечный разрез *A—A* соответственно. Кристалл БИС создают по изопланарной технологии. Структура содержит подложку 1 *n*⁺-типа, эмиттерный слой 2 *n*-типа, базовые области 3 *p*-типа, коллекторные области 4 *n*⁺-типа, инжекторную область 5 *p*-типа и разделительные области 6 из диоксида кремния. Общий контакт к эмиттерным областям многих ЛЭ делают через подложку *n*⁺-типа. К базовым, коллекторным и инжекторной областям создают омические контакты, обозначенные соответственно Б, К, И.

Базовый вывод служит входом ЛЭ, а коллекторные выводы — его выходами. В рассматриваемом примере все ЛЭ имеют по два выхода. Обычно число выходов $n = 1..4$. Источник питания подключают к выводам инжектора (плюс) и эмиттера (общая шина).

Эквивалентная схема двух последовательно соединенных ЛЭ представлена на рис. 7.21. Она содержит один двухколлекторный транзистор VT_T типа *p-n-p*, эмиттер которого включен в цепь питания через

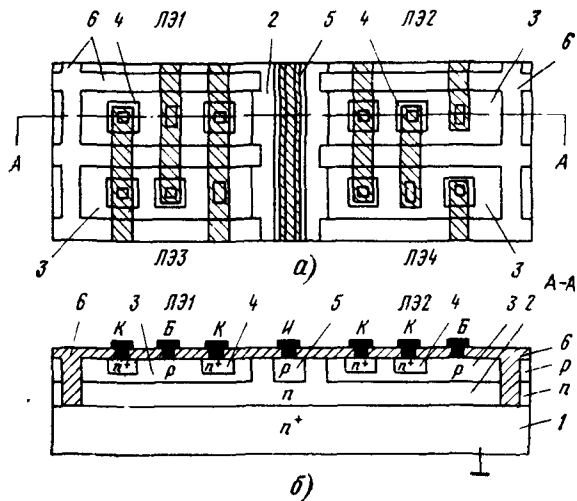


Рис. 7.20

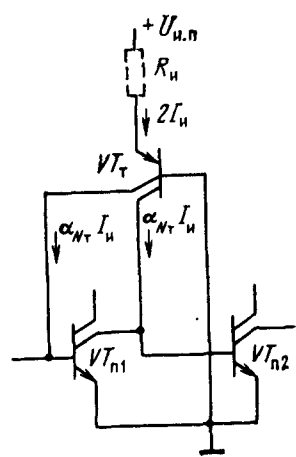


Рис. 7.21

токозадающий резистор $R_{и}$. Последний показан штриховыми линиями, чтобы подчеркнуть, что он не входит в эквивалентную схему ЛЭ и является общим для всего кристалла БИС. Транзистор VT_T называют *токозадающим*. Он моделирует часть структуры ЛЭ, содержащую инжекционную область 5 (эмиттер VT_T), базовую область 3 (коллектор VT_T) и часть эмиттерного слоя, расположенную между областями 5 и 3 (база VT_T). Расстояние от инжектора 5 до базы 3 должно быть значительно меньше диффузионной длины дырок у поверхности эмиттерного слоя, чтобы перечисленные области образовывали горизонтальный *p-n-p* транзистор с достаточно высоким коэффициентом передачи α_{NT} . В общем случае токозадающий транзистор является многоколлекторным: число коллекторов определяется числом ЛЭ, имеющих общую инжекционную область, и может доходить до нескольких сотен.

Транзистор VT_T задает постоянные токи в базы транзисторов $VT_{п1}$, $VT_{п2}$ типа *n-p-n*, равные $\alpha_{NT}I_{и}$, где $I_{и}$ — ток инжектора, проходящий на один ЛЭ (см. рис. 7.21). Транзистор $VT_{п}$ называют *переключательным*. Он моделирует часть структуры ЛЭ (см. рис. 7.20), содержащую эмиттерный слой 2 (эмиттер $VT_{п}$), базовую область 3 (база $VT_{п}$) и коллекторные области 4 (коллекторы $VT_{п}$). Транзистор типа *n-p-n* является вертикальным. Он отличается от обычных *n-p-n* транзисторов (см. гл. 3) тем, что включен инверсно: его эмиттером служит нижний высокоомный слой *n*-типа (коллектор обычных транзисторов), а коллекторами — области 4, которые в обычных (многоэмиттерных) транзисторах являются эмиттерами. Переключательные транзисторы в модели ЛЭ включены по схеме с ОЭ, а токозадающий — по схеме с общей базой (ОБ).

Термин *инжекционное питание* означает, что электрическая энергия, необходимая для работы ЛЭ, вводится в кристалл за счет инжекции неравновесных дырок в эмиттерную область из инжектора через инжекционный *p-n* переход. Этот переход смещают в прямом направлении. Напряжение на инжекционном переходе составляет 0,7...0,8 В (при $T = 25^\circ\text{C}$). Дырки, инжектированные в эмиттерную область, движутся в ней к базовой области за счет диффузии. Их движение создает внутренний базовый ток переключательного транзистора, равный $\alpha_{NT}I_{и}$. Таким образом, токозадающий транзистор VT_T моделирует эффект инжекционного питания. Его коэффициент передачи α_{NT} определяет коэффициент полезного действия цепи питания (для структуры на рис. 7.20 $\alpha_{NT} = 0,5...0,6$).

Поскольку транзистор VT_T задает постоянные коллекторные токи $\alpha_{NT}I_{и}$, его можно заменить двумя генераторами тока. Тогда получим упрощенную эквивалентную схему двух последовательно соединенных ЛЭ, показанную на рис. 7.22. Токи I_T одинаковы и равны $\alpha_{NT}I_{и}$. Поясним принцип работы ЛЭ, используя рис. 7.22.

Если на входе ЛЭ1 напряжение $U_{вх1} = U^0$ (для упрощения можно положить $U^0 \approx 0$), то ток I_T этого элемента ответвляется во внешнюю цепь, ток базы транзистора $VT_{п1}$ равен нулю — он закрыт. Поскольку коллекторный ток транзистора $VT_{п1}$ равен нулю, то весь ток I_T гене-

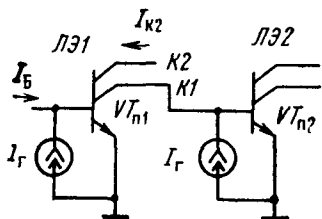


Рис. 7.22

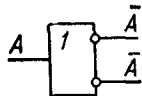


Рис. 7.23

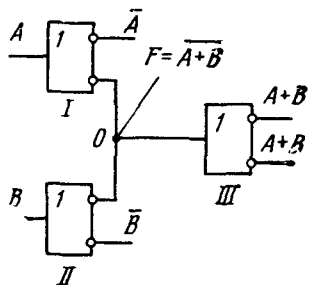


Рис. 7.24

ратора тока $ЛЭ2$ течет в базу транзистора $VT_{п2}$ — транзистор открыт. Току $I_{Г}$, протекающему через эмиттерный переход транзистора $VT_{п2}$, соответствует прямое напряжение база—эмиттер, равное $0,5...0,7$ В (в зависимости от значения $I_{Г}$). Такое же напряжение будет и на коллекторе транзистора $VT_{п1}$, т. е. на выходе $ЛЭ1$. Это напряжение соответствует напряжению U^1 . Следовательно, при $U_{вх1} = U^0$ на выходе $ЛЭ1$ получаем $U_{вых1} = U^1$.

Рассмотрим второе состояние $ЛЭ1$, когда его входная цепь разомкнута, т. е. вход подключен к коллектору выключенного транзистора $VT_{п}$ предыдущего ЛЭ (на рис. 7.22 не показан). В этом состоянии ток $I_{Г}$ генератора тока $ЛЭ1$ втекает в базу транзистора $VT_{п1}$, напряжение на его базе равно U^1 . Транзистор открыт, ток в его коллекторной цепи равен $I_{Г}$ (он вытекает из входа $ЛЭ2$). Следовательно, для транзистора $VT_{п1} I_{Б} = I_{К} = I_{Г}$. При достаточно большом коэффициенте передачи $\beta_{нп} > 1$ выполняется условие насыщения $I_{Б} > I_{К}/\beta_{нп}$ и транзистор находится в режиме насыщения. На его коллекторе (выходе $ЛЭ1$) устанавливается напряжение $U^0 < 0,02$ В. Значит, при $U_{вх1} = U^1$ на выходе $ЛЭ1$ $U_{вых1} = U^0$. Аналогичные рассуждения справедливы и для второго выхода $ЛЭ1$, если к нему подключен нагрузочный ЛЭ. Таким образом, рассматриваемый элемент выполняет логическую операцию инверсии по всем выходам. Условное графическое обозначение инвертора с двумя выходами приведено на рис. 7.23.

Разделительные области δ устраняют паразитную связь между базами переключательных транзисторов соседних ЛЭ (например, $ЛЭ1$ и $ЛЭ3$ на рис. 7.20, а), обусловленную инжекцией дырок в эмиттерный слой в режиме насыщения.

Если соединить выходы нескольких инверторов, например двух (I и II на рис. 7.24), и подключить к точке соединения O нагрузочный инвертор III, то в этой точке будет реализовываться логическая функция ИЛИ-НЕ $F = \overline{A + B}$ относительно входных переменных A и B. Действительно, уровень U^0 появится в точке O, когда либо $U_{вх1} = U^1 (A = 1)$ и $U_{вх2} = U^0 (B = 0)$, либо $U_{вх2} = U^1 (B = 1)$ и $U_{вх1} = U^0 (A = 0)$, либо $U_{вх1} = U_{вх2} = U^1 (A = B = 1)$. Уровень U^1

со входа элемента III) появится в точке O лишь в случае, когда $U_{вх1} = U_{вх2} = U^0 (A = B = 0)$.

Логический элемент с n выходами представляет собой *многоэлектродный* биполярный транзистор, содержащий $n + 2$ взаимодействующих $p-n$ переходов: инжекторный, эмиттерный и n коллекторных $p-n$ переходов. Анализ модели Эберса—Молла для многоэлектродного транзистора показал, что ее можно свести к известной модели трехэлектродного транзистора, характеристики которой по одному из коллекторов совпадают с характеристиками модели многоэлектродного транзистора [13]. Для двухколлекторного транзистора влияние инжектора и второго коллектора учитывается с помощью тока генератора в цепи базы (см. рис. 7.22)

$$I_{г} = \alpha_{NТ} I_{и} + (1 - \alpha_{Iп}) I_{К2} \quad (7.18)$$

и эквивалентных параметров

$$\beta_{Nэк} = \beta_{Nп} / [1 + (1 - \alpha_{Iп}) \beta_{Nп}]; \quad (7.19)$$

$$I_{Э0 эк} = I_{Э0} (1 + \beta_{Nп}) / (1 + 2\beta_{Nп}). \quad (7.20)$$

Здесь $\beta_{Лп} = I_{К1} / I_{Б} = \alpha_{Nп} / (1 - 2\alpha_{Nп})$ — коэффициент передачи переключательного транзистора в схеме с ОЭ; $\alpha_{Iп}$ — инверсный коэффициент передачи того же транзистора в схеме с ОБ; $I_{Э0}$ — тепловой обратный ток эмиттерного $p-n$ перехода. При измерении $\beta_{Nп}$ на инжекторный и второй коллекторный переходы подаются обратные напряжения. Величина $\alpha_{NТ} I_{и}$ в (7.18) имеет смысл тока дырок, прошедших без рекомбинации от инжектора до базы, поэтому она непосредственно складывается с внешним базовым током $I_{Б}$ (см. рис. 7.22).

Ток $I_{К2}$ в (7.18) считается положительным, если он втекает во второй коллектор. Положительные значения тока $I_{К2}$ могут быть только при $I_{Б} > 0$ или $I_{и} > 0$, они ограничены значением тока, соответствующим границе активного режима и режима насыщения по второму коллектору.

Используя выражения (7.18)—(7.20) и известные формулы для статических характеристик обычного транзистора [3], можно получить аналитические выражения для всех характеристик двухколлекторного транзистора и ЛЭ.

На рис. 7.25 приведены *входные характеристики* $U_{БЭ} = f(I_{Б})$ при заданном токе инжектора и $T = 25^\circ\text{C}$. Для $I_{и} = 0$ форма ВАХ такая же, как для обычного транзистора в схеме с ОЭ. При $I_{и} > 0$ характеристика, сохраняя форму, сдвигается влево по оси тока базы на $\alpha_{NТ} I_{и}$. Для ЛЭ рабочая область характеристик соответствует $I_{Б} \leq 0$. Значение $U_{БЭ}$ при $I_{Б} = 0$ и заданном токе инжектора определяет напряжение U^1 .

Для рассмотренной структуры ЛЭ (см. рис. 7.20) характерны низкие значения коэффициента передачи $\beta_{Nп}$ переключательного транзистора, что обусловлено прежде всего его инверсным включением.

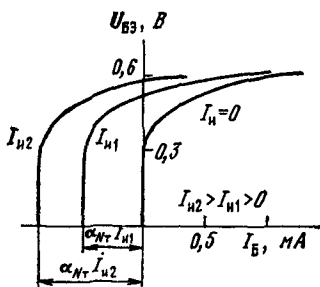


Рис. 7.25

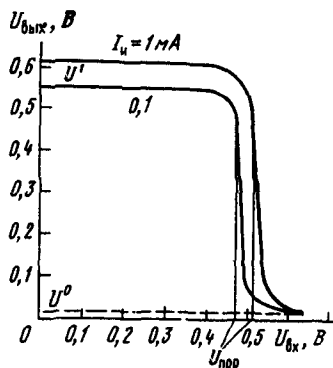


Рис. 7.26

Концентрация примесей в эмиттерной области 2 невелика, так как она создается на основе эпитаксиального слоя n -типа. Поэтому при прямом напряжении через эмиттерный p - n переход кроме полезного тока инжекции электронов в активные области базы, расположенные под коллекторами, течет значительный ток встречной инжекции дырок из базы в эмиттер, уменьшающий коэффициент инжекции эмиттерного p - n перехода. Кроме того, часть электронов инжектируется из эмиттера не в активные, а в пассивные области базы, расположенные, например, между коллекторами и под базовым контактом. Эти электроны рекомбинируют в пассивной базе, на ее поверхности, на базовом контакте и не достигают коллекторов. По этим причинам значения $\beta_{NП}$ невелики, и даже для однокollectорных транзисторов $\beta_{NП} = 5 \dots 10$.

Если выход одного ЛЭ соединить со входом следующего, то, изменяя напряжение на входе $U_{вх}$ первого ЛЭ и измеряя напряжение на его выходе $U_{вых}$ при заданном токе инжектора, можно снять *передаточную характеристику* $U_{вых} = f(U_{вх})|_{I_{и}=\text{const}}$ (рис. 7.26, $T = 25^\circ\text{C}$). Как объяснялось выше, при малых входных напряжениях выходное напряжение соответствует напряжению высокого уровня U^1 , а при больших — напряжению низкого уровня U^0 . Напряжение U^1 создается в нагруженном ЛЭ и представляет собой напряжение прямого смещения эмиттерного p - n перехода:

$$U^1 = \varphi_T \ln [\alpha_{NТ} I_{и} / I_{Э0 \text{ эк}} (1 - \alpha_{NЭк})]. \quad (7.21)$$

Оно незначительно повышается с ростом тока инжектора. Напряжение низкого уровня не зависит от тока инжектора:

$$U^0 = \varphi_T \ln [\beta_{NЭк} / (\beta_{NЭк} - 1)]. \quad (7.22)$$

Из передаточной характеристики видно, что $U_{н}^0 \gg U_{н}^1 \approx (2 \dots 3)\varphi_T$, т. е. помехоустойчивость $U_{н}^1 = 50 \dots 75$ мВ при $T = 25^\circ\text{C}$. Значение $U_{н}^0$ приблизительно такое же, как в простейших элементах ТТЛ.

При повышении температуры U^1 и U_n^0 уменьшаются (температурный коэффициент напряжения приблизительно равен -2 мВ/°С).

Согласно соотношениям (7.21) и (7.22) логический перепад $U_{л} \approx \approx U^1$. При уменьшении тока инжектора он незначительно уменьшается (см. рис. 7.26): снижению тока инжектора на порядок соответствует понижение напряжений U^1 и $U_{л}$ на $2,3\varphi_T \approx 60$ мВ (при $T = = 25$ °С). Ограничение минимальных значений $U_{л}$ и $I_{и}$, а следовательно, и потребляемой мощности связано с уменьшением коэффициента усиления $\beta_{Nп}$, вызванного усилением влияния тока рекомбинации в эмиттерном $p-n$ переходе, а также помехоустойчивости. Согласно теоретическим оценкам минимальный логический перепад $U_{л} = = (5...6)\varphi_T$.

Нагрузочная способность равна числу коллекторов переключаемого транзистора, поскольку к каждому выходу ЛЭ может быть присоединен только один нагрузочный элемент. Число коллекторов ограничено, так как уменьшается коэффициент передачи $\beta_{Nп}$. При заданных токах базы и эмиттера с ростом n уменьшаются токи коллекторов, причем $\beta_{Nп} \sim 1/n$. Кроме того, с ростом n увеличиваются сопротивление базы и падение напряжения на этом сопротивлении, вызывающее неравномерное смещение эмиттерного $p-n$ перехода. Чем больше удален коллектор от инжектора, тем меньше прямое напряжение на расположенном под этим коллектором участке эмиттерного $p-n$ перехода и тем меньше $\beta_{Nп}$ для данного коллектора. Типичные значения $n = 2...4$; в специальных структурах можно получить $n = = 10...20$.

Ток $I_{и}$, потребляемый одним ЛЭ от источника питания, зависит от сопротивления токозадающего резистора (см. рис. 7.21):

$$I_{и} = (U_{и.п} - U_{иэ}) / n_T R_{и} \quad (7.23)$$

где $U_{иэ}$ — прямое напряжение на инжекторном $p-n$ переходе; n_T — число коллекторов в токозадающем $p-n-p$ транзисторе.

Токозадающий резистор обычно размещают вне микросхемы, поэтому мощность, потребляемая элементом И²Л, $P_{ср} = U_{иэ} I_{и}$, что при $U_{и.п} = 3...5$ В составляет относительно небольшую часть полной потребляемой мощности (15...20%). *Изменяя сопротивление $R_{и}$ или напряжение $U_{и.п}$, можно в широких пределах (3...4 порядка) регулировать ток питания, мощность, потребляемую ЛЭ, и быстродействие.* Заметим, что подобная регулировка потребляемой мощности и средней задержки невозможна для элементов ТТЛ и ЭСЛ (см. § 7.3 и 7.4), так как они содержат резисторы и их работоспособность обеспечивается в узком интервале изменения тока питания $\pm(5...10)\%$.

Типичная зависимость средней задержки от тока инжектора в двойном логарифмическом масштабе представлена на рис. 7.27; она может быть аппроксимирована двумя прямолинейными отрезками. Участок I соответствует малым значениям тока инжектора, при которых во время переключения ЛЭ определяющую роль играют процессы перезарядки барьерных емкостей эмиттерного и коллекторного $p-n$ перехо-

дов данного ЛЭ и емкости нагрузки. Чем больше ток инжектора, тем больше и ток I_{Γ} , перезаряжающий эти емкости. Поэтому на участке I средняя задержка уменьшается приблизительно обратно пропорционально току инжектора:

$$t_{\text{зд. р. ср}} = CU_{\text{л}}/2\alpha_{\text{НТ}} I_{\text{и}}, \quad (7.24)$$

где C — суммарная емкость, учитывающая емкости данного ЛЭ и емкость его нагрузки.

Основной путь снижения средней задержки при малых токах инжектора состоит в совершенствовании конструкции и технологии изготовления ЛЭ с целью уменьшения площадей p - n переходов и их барьерных емкостей. Кроме того, применяя диоды Шотки (см. ниже), можно уменьшить логический перепад до $U_{\text{л}} = 150 \dots 200$ мВ.

В режиме больших токов инжектора время перезарядки емкости [см. формулу (7.24)] становится пренебрежимо малым. На участке II средняя задержка достигает наименьшего значения и почти не зависит от тока инжектора. В этом режиме заряды неосновных неравновесных носителей, накапливаемых в областях переключательного транзистора, значительно превышают заряды в барьерных емкостях p - n переходов. Поэтому минимальная средняя задержка определяется временем рассасывания. С ростом тока инжектора пропорционально увеличивается заряд неосновных неравновесных носителей, но во столько же раз возрастает ток, рассасывающий этот заряд. Поэтому время рассасывания и средняя задержка на участке II почти не зависят от тока инжектора.

Для структуры на рис 7.20 наибольший заряд неосновных неравновесных носителей (дырок) накапливается в высокоомном эмиттерном слое 2 вследствие инжекции дырок из базовой области в режиме насыщения переключательного транзистора. Минимальная средняя задержка пропорциональна эффективному времени жизни дырок в этом слое и составляет $10 \dots 20$ нс. Режим предельного быстрого действия, в котором достигается наименьшая средняя задержка (граница участка I и II на рис. 7.27), представляет наибольший практический интерес, так как он применяется в большинстве цифровых устройств. *Низкое быстрое действие* ЛЭ со структурой, показанной на рис. 7.20, является его *главным недостатком*. Для уменьшения времени рассасывания при создании этой структуры невозможно использовать ее легирование золотом, так как при этом уменьшится и без того низкий коэффициент передачи $\beta_{\text{НП}}$, понизится также величина $\alpha_{\text{НТ}}$.

Анализ переходных процессов в режиме предельного быстрого действия показывает, что для снижения минимальной средней задержки прежде всего требуется уменьшить заряды неравновесных неосновных носителей в режиме насыщения: заряд дырок в эмиттерной области и заряд электронов в пассивной базе. Кроме того, необходимо увеличивать коэффициент передачи $\beta_{\text{НП}}$, так как при этом возрастает рассасывающий ток, равный $I_{\Gamma}\beta_{\text{НП}}$. Следует также уменьшать отношение площади эмиттерного p - n перехода к суммарной площади коллектор-

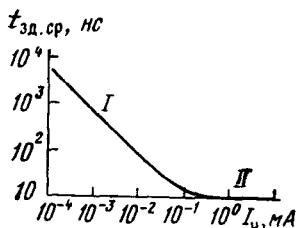


Рис. 7.27

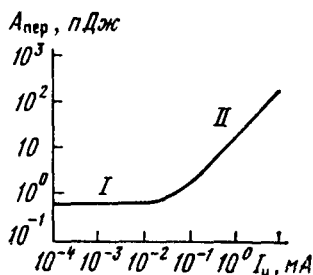


Рис. 7.28

ных p - n переходов, т. е. уменьшать площадь пассивной базы. Указанные рекомендации невозможно выполнить, используя структуру, показанную на рис. 7.20. В связи с этим было предложено большое число принципиально новых структур элементов И²Л с повышенным быстродействием, основные из которых рассмотрены ниже.

По сравнению с рассмотренными выше элементами ТТЛ и ЭСЛ элементы И²Л характеризуются наименьшей работой переключения, что обусловлено прежде всего низким напряжением инжектор—эмиттер в цепи питания и, как следствие, малой потребляемой мощностью. В режиме малых токов инжектора работа переключения $A_{пер} \approx CU_{п}^2/2\alpha_{нт}$. На рис. 7.28 приведена зависимость работы переключения от тока инжектора для ЛЭ, структура которого показана на рис. 7.20. Малая работа переключения (участок I) объясняется низкими суммарной емкостью ($C < 1$ пФ) и логическим перепадом ($U_{п} < 0,7$ В). На участке II использовать ЛЭ нецелесообразно, так как работа переключения резко возрастает, а средняя задержка не уменьшается. Для усовершенствованных структур элементов И²Л работа переключения в режиме малых токов инжектора составляет 0,01...0,03 пДж.

Рассмотрим основные способы повышения быстродействия элементов И²Л. На рис. 7.29, а, б приведены структура элемента с диодами Шотки двух типов и его эквивалентная схема соответственно. Для создания этой структуры в подложку n^+ -типа, легированную сурьмой до концентрации 10^{19} см⁻³, проводят локальную диффузию бора в тех местах, над которыми в дальнейшем образуются области p -типа. Во время наращивания эпитаксиального n -слоя (удельное сопротивление около 10 Ом · см, толщина 1,4 мкм) и последующего прогревания бор из подложки диффундирует в эпитаксиальный слой, в результате чего образуются базовая и инжекторная p -области. Последующая локальная диффузия бора через маску из диоксида кремния формирует p^+ -области инжектора и пассивной базы переключательного транзистора. Затем последовательно создают диоды Шотки типа VD1 (металл M1) к коллекторной области и диод Шотки типа VD2 (металл M2) к базовой области. Их схемы включения поясняет рис. 7.29, б. На рис. 7.29, в показано распределение концентрацией

примесей в структуре переключающего транзистора по сечению $A-A'$.

Диоды Шотки типа $VD1$ уменьшают амплитуду напряжения на эмиттерных $p-n$ переходах при переключении ЛЭ на величину $U_{д1}$ (прямое напряжение на этих диодах), следовательно, уменьшается заряд, накапливаемый в барьерной емкости эмиттерного $p-n$ перехода. Уменьшается и выходная емкость ЛЭ. Кроме того, диоды типа $VD1$ позволяют создавать ЛЭ с несколькими изолированными выходами при использовании одноколлекторных переключаемых транзисторов; тем самым исключаются области пассивной базы, расположенные между коллекторами (см. рис. 7.20), и увеличивается отношение площадей коллекторного и эмиттерного $p-n$ переходов, т. е. возрастает коэффициент передачи $\beta_{нп}$.

Диоды Шотки типа $VD2$ уменьшают прямое смещение коллекторного и эмиттерного $p-n$ переходов в режиме насыщения, т. е. препятствуют глубокому насыщению переключающего транзистора. Таким образом, значительно (на несколько порядков) уменьшаются заряды неосновных носителей, накапливаемых во всех областях структуры (см. § 3.4). Кроме того, эти диоды уменьшают логический перепад, так как напряжение низкого уровня повышается: $U^0 = U_{БЭ} - U_{д2}$, где $U_{БЭ}$, $U_{д2}$ — прямые напряжения на эмиттерном $p-n$ переходе включенного транзистора и диоде Шотки типа $VD2$. Для обеспечения работоспособности ЛЭ диоды Шотки $VD1$ и $VD2$ должны изготавливаться из различных материалов, поскольку высота барьера и прямое напряжение диода $VD1$ должны быть ниже высоты барьера и прямого напряжения диода $VD2$. Разность прямых напряжений

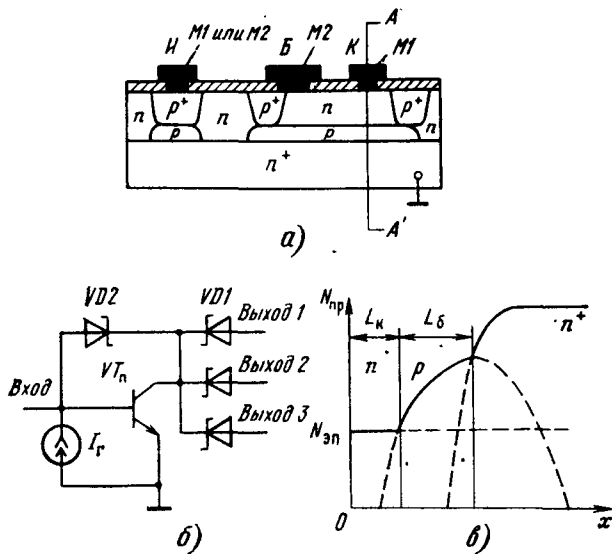


Рис. 7.29

$U_{д1}$ и $U_{д2}$ определяет логический перепад: $U_{л} = U_{д2} - U_{д1}$. Типичное значение $U_{л} = 150$ мВ.

Структура с диодами Шоттки двух типов по сравнению с рассмотренной выше изопланарной структурой имеет ряд важных преимуществ. Исключаются высокоомный n -слой под эмиттерным p - n переходом и связаный с этим слоем заряд дырок, что уменьшает время рассасывания и увеличивает коэффициент передачи $\beta_{Нп}$. Повышение концентрации акцепторов в пассивной p^+ -базе уменьшает заряд электронов, накапливаемых в ней при включении переключающего транзистора, снижает сопротивление пассивной базы и увеличивает $\beta_{Нп}$. Распределение концентраций примесей в активной области базы, создаваемое диффузией акцепторов «вверх» — из подложки (см. рис. 7.29, в), обеспечивает ускоряющее электрическое поле для электронов, движущихся от эмиттера к коллектору, тем самым уменьшается их время пролета через базу. Напомним, что в активной базовой области переключающего транзистора со структурой, показанной на рис. 7.20, существует тормозящее электрическое поле для электронов, движущихся от эмиттера к коллектору, что связано с инверсным (по отношению к обычным n - p - n транзисторам) включением этого транзистора. Для данной структуры $\beta_{Нп} = 30...300$, $t_{зд.р.ср} = 2,5$ нс при $P_{ср} = 0,4$ мВт, работа переключения в области малых токов инжектора $A_{пер} = 0,2$ пДж.

Высокое быстродействие элементов И²Л получено в структуре, представленной на рис. 7.30, создаваемой с помощью многократных операций самосовмещения. Здесь достигается самосовмещение активной базы 1, коллектора 2 n^+ -типа и коллекторного контакта 3. Горизонтальные размеры указанных областей, а также расстояния между коллекторами минимальны, так как не зависят от точности совмещения масок. Поликремниевый базовый электрод 4 контактирует с боковыми стенками базы и располагается на относительно толстом слое диоксида кремния 7, поэтому уменьшается барьерная емкость эмиттерного p - n перехода, увеличивается отношение суммарной площади коллекторных p - n переходов к площади базы и для переключающего транзистора обеспечиваются высокие коэффициенты передачи $\beta_{Нп}$ и граничная частота.

При изготовлении структуры на подложке 5 n^+ -типа выращивают эпитаксиальный слой 6 n -типа толщиной около 1 мкм с удельным сопротивлением 1 Ом · см. Этот слой используется в дальнейшем для базы токозадающего и тонкого высокоомного эмиттера переключающего транзисторов. В слое 6 вытравливают меза-области для каждого переключающего n - p - n и токозадающего p - n - p транзисторов. Далее частично заполняют канавки диоксидом, в результате чего формируют

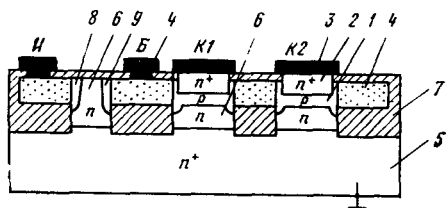


Рис. 7.30

При изготовлении структуры на подложке 5 n^+ -типа выращивают эпитаксиальный слой 6 n -типа толщиной около 1 мкм с удельным сопротивлением 1 Ом · см. Этот слой используется в дальнейшем для базы токозадающего и тонкого высокоомного эмиттера переключающего транзисторов. В слое 6 вытравливают меза-области для каждого переключающего n - p - n и токозадающего p - n - p транзисторов. Далее частично заполняют канавки диоксидом, в результате чего формируют

ся боковые окисные стенки 7 до уровня эмиттерного перехода переключающего транзистора. Наносят слой нелегированного поликремния 4, проводят его локальное травление и легирование бором. Ионным легированием бором формируют активные базовые области 1 переключающих транзисторов, расположенные на уровне поликремниевых электродов. В результате образуются контакты с боковой поверхностью базы. Ионным легированием мышьяком создают коллекторные области $2n^+$ -типа. Эмиттерная 8 (инжекторная) и коллекторная 9 области токозадающего p - n - p транзистора, а также области пассивной базы переключающего n - p - n транзистора образуются вследствие боковой диффузии бора из поликристаллического кремния.

Для переключающих n - p - n транзисторов при $W_{эп} = 1$ мкм глубины эмиттерного и коллекторного p - n переходов соответственно 0,5 и 0,2 мкм, а ширина базы 0,3 мкм, $\beta_{Nп} = 150$, граничные частоты $f_{грN} = 1,3$ ГГц, $f_{грI} = 9$ ГГц. Площадь элемента при размерах коллектора 4×4 мкм равна 220 мкм², минимальная задержка распространения 0,5 нс. При $W_{эп} = 1,5$ мкм, $I_{и} = 80$ мкА, $n = 1$ и тех же размерах коллектора $t_{зд р ср} = 1,14$ нс, $A_{пер} = 20$ фДж. При уменьшении размеров коллектора до 3×3 мкм минимальная задержка снижается до 290 пс. Рассмотренная структура перспективна для использования в цифровых СБИС. Она обеспечивает относительную площадь 20...30 литографических квадратов, минимальную задержку не более 1 нс и работу переключения в режиме малых токов инжектора 0,03...0,05 пДж.

Таким образом, элементы И²Л отличаются от других элементов на биполярных транзисторах меньшими занимаемой площадью и потребляемой мощностью, но вместе с тем они имеют большую среднюю задержку и низкую помехоустойчивость. Поэтому их основная область применения — цифровые БИС и СБИС умеренного быстродействия.

7.6. ЭЛЕМЕНТЫ ШОТКИ-ТРАНЗИСТОРНОЙ ЛОГИКИ И ИНТЕГРАЛЬНОЙ ШОТКИ-ЛОГИКИ

Элементы Шотки-транзисторной логики (ШТЛ) подобно элементам И²Л выполняют функцию инвертора с одним входом и несколькими изолированными друг от друга выходами, соединяемыми с выходами других элементов для выполнения логической операции И. Эквивалентная схема элемента ШТЛ представлена на рис. 7.31, а, а его структура с комбинированной изоляцией (см. § 3.2) — на рис. 7.31, б. Здесь используется одноколлекторный n - p - n транзистор, эмиттер которого (в отличие от элементов И²Л) расположен сверху. Диоды Шотки в коллекторе образуют выходные цепи, а диод Шотки в базе, подключенный параллельно коллекторному p - n переходу, ограничивает его прямое напряжение и уменьшает избыточный заряд неосновных носителей в режиме насыщения, т. е. время рассасывания (см. § 3.4).

Для обеспечения работоспособности элемента ШТЛ диод $VD3$ и выходные диоды должны изготавливаться отдельно с применением разных металлов, так как прямое напряжение диода $VD3$ должно быть больше, чем у выходных диодов. Разница прямых напряжений диодов Шотки определяет логический перепад $U_{л} = 150...200$ мВ. Для элементов ШТЛ требуется более высокое напряжение питания ($U_{и.п} = 1,5...2$ В), чем для элементов И²Л (на кристалле), что при-

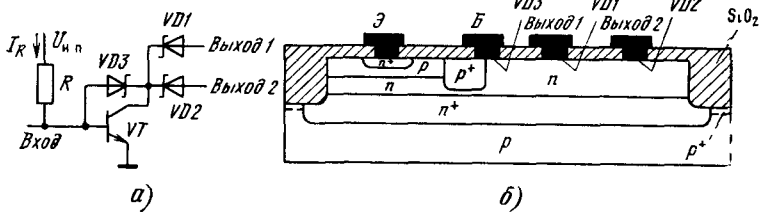


Рис 7.31

водит к увеличению потребляемой мощности. Диоды Шотки уменьшают логический перепад, избыточный заряд и выходную емкость ЛЭ, вследствие чего снижается средняя задержка.

В кольцевом генераторе на элементах ШТЛ при минимальном топологическом размере $\Delta = 1,5$ мкм получены следующие параметры: при токе питания (резистора) 100 мкА ($U_{н.п} = 2$ В) и числе выходов $n = 4$ минимальная задержка 0,4 нс, а при $I_{н.п} = 10$ мкА минимальная работа переключения 30 фДж. Если резисторы выполняются из поликремния в слое, расположенном на поверхности кристалла, то площадь элемента ШТЛ практически такая же, что и элемента И²Л с окисным разделением и диодами Шотки. Недостатком элементов ШТЛ является более сложная технология (как и элементов И²Л с двумя типами диодов Шотки), что обусловлено необходимостью изготовления двух типов диодов Шотки с разными прямыми напряжениями.

Элемент интегральной Шотки-логики (ИШЛ) также представляет собой инвертор с несколькими выходами. Эквивалентная схема элемента ИШЛ представлена на рис. 7.32, а, а его структура — на рис. 7.32, б. Для ограничения степени насыщения переключающего *p-n-p* транзистора *VT1* используется дополнительный *p-n-p* транзистор *VT2*, совмещенный в структуре с транзистором *VT1*.

Коллекторами транзистора *VT2* служит дополнительная область 1 *p*-типа, расположенная у поверхности кристалла, и подложка 2 *p*-типа, для чего скрытый слой 3 *n*-типа укорочен. Эмиттер транзистора *VT2* совмещен с базой переключающего транзистора *VT1*, а база транзистора *VT2* расположена в эпитаксиальном слое. В отличие от элементов ШТЛ здесь применяют диоды Шотки одного типа, что упрощает технологию. Однако замена быстродействующего диода Шотки *p-n-p* транзистором с относительно широкой базой и низкой граничной частотой увеличивает среднюю задержку по сравнению с задержкой элемента ШТЛ. Средняя задержка элемента ИШЛ уменьшается при использовании более тонкого эпитаксиального слоя. Напряжение питания ($U_{н.п} = 1,5 \dots 2$ В) и логический перепад ($U_{л} = U^1 - U^0 = 0,7 - 0,5 = 0,2$ В) приблизительно такие же, как для элементов ШТЛ.

При использовании изолирующих *p-n* переходов (см. рис. 7.32, б) увеличивается площадь и ухудшается быстродействие по сравнению с элементами

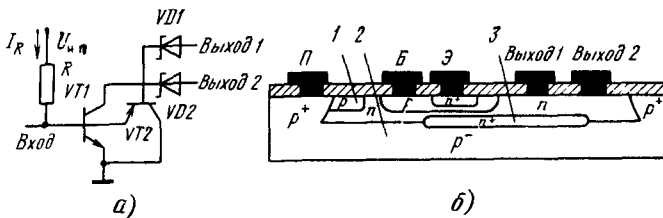


Рис 7.32

ШТЛ. Применение изопланарных структур с окисной боковой изоляцией (см. § 3.2) позволяет улучшить эти параметры. Однако в целом площадь элемента ИШЛ будет больше из-за необходимости формирования транзистора VT_2 , а быстродействие хуже вследствие накопления большого заряда избыточных неосновных носителей в режиме насыщения.

Глава 8. ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ НА ПОЛЕВЫХ ТРАНЗИСТОРАХ

В ЛЭ кремниевых микросхем используют МДП-транзисторы с каналами одного (обычно n) или обоих типов проводимости (комплементарные транзисторы). Первые обеспечивают минимальную площадь, занимаемую ЛЭ на кристалле, а вторые — минимальную потребляемую мощность, более высокие быстродействие и помехоустойчивость. Практически бесконечное входное сопротивление МДП-транзисторов позволяет создавать ЛЭ динамического типа, обладающие малыми занимаемой площадью и потребляемой мощностью при сравнительно невысоком быстродействии. Логические элементы арсенид-галлиевых микросхем сверхвысокого быстродействия создают на МЭП-транзисторах с каналами n -типа.

8.1. ИНВЕРТОР НА n -КАНАЛЬНЫХ МДП-ТРАНЗИСТОРАХ

Статический режим. Схема простейшего ЛЭ — инвертора, широко распространенная в быстродействующих БИС (СБИС) на n -канальных МДП-транзисторах, показана на рис. 8.1. Транзистор VT_a с индуцированным каналом, на затвор которого подается входной сигнал, называют *активным*, а транзистор VT_n со встроенным каналом, выполняющий функцию нелинейного резистора, — *пассивным*. В общем случае необходимы два источника питания: положительной $+U_{и.п1}$ и отрицательной $-U_{и.п2}$ полярности относительно общей (нулевой) шины БИС. Второй из них, называемый источником смещения подложки, не является принципиально необходимым для функционирования, но позволяет существенно улучшить параметры схемы.

Если на входе инвертора напряжение низкого уровня $U^0 < U_{пор,а}$, где $U_{пор,а}$ — пороговое напряжение активного транзистора, то последний закрыт. (Такое состояние инвертора также называют закрытым.) Пассивный транзистор всегда открыт независимо от входного напряжения. Если выход инвертора соединен со входами аналогичных или других ЛЭ, т. е. с затворами следующих МДП-транзисторов, то ток, протекающий через пассивный транзистор, пренебрежимо мал. Поэтому выходное напряжение равно $U_{и.п1}$ и соответствует напряжению высокого уровня U^1 .

Если $U_{вх} = U^1 = U_{и.п1}$, то транзистор VT_a открыт. (Такое состояние инвертора также называют открытым.) Протекающий ток соз-

дает падение напряжения на пассивном транзисторе. При надлежащем выборе параметров обоих транзисторов выходное напряжение получается малым, что соответствует напряжению U^0 .

На рис. 8.2, а приведена передаточная характеристика инвертора. Графический метод ее построения и форму можно пояснить с помощью рис. 8.2, б. На нем сплошными линиями показаны стоковые характеристики активного транзистора при разных входных напряжениях: $U_{вх5} > U_{вх4} > \dots > U_{вх1} > U_{пор.а}$. Штриховой линией показана характеристика пассивного транзистора. Она развернута в обратную сторону: при высоких напряжениях, удовлетворяющих условию $U_{и.п1} - U_{синас.п} < U_{вых} < U_{и.п1}$, получается крутой участок, а при низких ($U_{вых} < U_{и.п1} - U_{синас.п}$) — пологий. Здесь $U_{синас.п}$ — напряжение насыщения пассивного транзистора, равное $U_{зип} - U_{пор.п} = |U_{пор.п}|$. Для простоты будем считать, что ВАХ в пологой области (в режиме насыщения) параллельны оси абсцисс, т. е. пренебрежем эффектом подложки в пассивном транзисторе (см. § 4.1) и эффектом модуляции длины канала.

При малых входных напряжениях точки пересечения лежат в области I (см. рис. 8.2, б) и соответствуют области I передаточной характеристики на рис. 8.2, а.

Пассивный транзистор работает на крутом участке стоковой ВАХ, а активный — на пологом, в режиме насыщения. Когда входное напряжение достигает значения $U_{вх3} = U'_{вх}$, оба транзистора переходят в режим насыщения, а выходное напряжение изменяется скачкообразно в пределах областей II на рис. 8.2, а, б. При $U_{вх} > U'_{вх}$ активный транзистор работает на крутом,

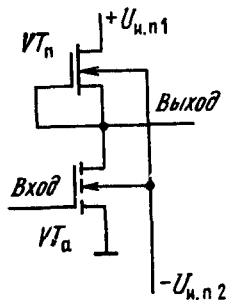
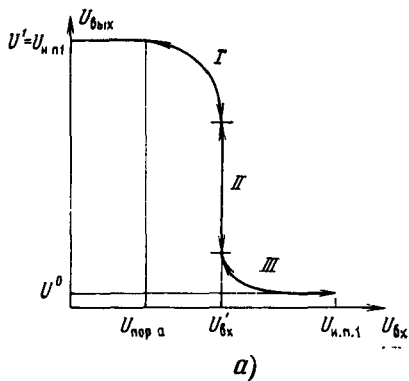


Рис. 8.1

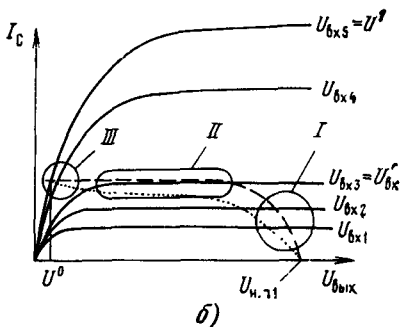


Рис. 8.2

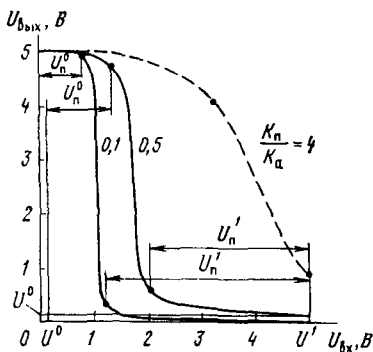


Рис. 8.3

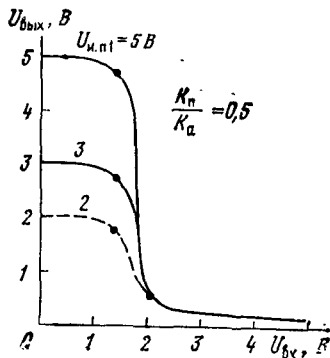


Рис. 8.4

а пассивный — на пологом участках стоковых ВАХ, чему соответствуют области III на характеристиках.

Используя формулы (4.5а) и (4.5б), легко получить передаточную характеристику:

$$U_{\text{вых}} = \begin{cases} U_{\text{и.п1}} - |U_{\text{пор.п}}| + \sqrt{D}, & U_{\text{вх}} < U'_{\text{вх}}; \\ U_{\text{вх}} - U_{\text{пор.а}} - \sqrt{-K_{\text{п}} D / K_{\text{а}}}, & U_{\text{вх}} > U'_{\text{вх}}, \end{cases} \quad (8.1)$$

где

$$\begin{aligned} U'_{\text{вх}} &= U_{\text{пор.а}} + \sqrt{K_{\text{п}} / K_{\text{а}}} |U_{\text{пор.п}}|; \\ D &= U_{\text{пор.п}}^2 - (K_{\text{а}} / K_{\text{п}}) (U_{\text{вх}} - U_{\text{пор.а}})^2; \end{aligned} \quad (8.2)$$

$K_{\text{а}}$, $K_{\text{п}}$ — удельная крутизна активного и пассивного транзисторов соответственно.

При $U_{\text{вх}} = U^1 = U_{\text{и.п1}}$ из (8.1) получим

$$U^0 \approx K_{\text{п}} U_{\text{пор.п}}^2 / [2K_{\text{а}} (U_{\text{и.п1}} - U_{\text{пор.а}})]. \quad (8.3)$$

Условие $U^0 < U_{\text{пор.а}}$ обеспечивается выбором либо достаточно малого значения параметра $K_{\text{п}} / K_{\text{а}} = b_{\text{п}} L_{\text{а}} / b_{\text{а}} L_{\text{п}}$, где $b_{\text{п}}$, $L_{\text{п}}$ и $b_{\text{а}}$, $L_{\text{а}}$ — ширина и длина каналов пассивного и активного транзисторов, либо малого $|U_{\text{пор.п}}|$. Если транзисторы имеют одинаковые геометрические размеры ($K_{\text{п}} = K_{\text{а}}$), то необходимо, чтобы выполнялось условие $|U_{\text{пор.п}}| < \sqrt{2} (U_{\text{и.п1}} - U_{\text{пор.а}}) U_{\text{пор.а}}$.

На рис. 8.3 показано влияние на передаточную характеристику параметра $K_{\text{п}} / K_{\text{а}}$ ($U_{\text{и.п1}} = 5 \text{ В}$, $U_{\text{пор.а}} = 0,7 \text{ В}$, $|U_{\text{пор.п}}| = 1,5 \text{ В}$). На графиках отмечены точки единичного усиления, определяющие помехоустойчивость. Типовые значения $K_{\text{п}} / K_{\text{а}} = 0,1 \dots 0,5$. С ростом этого параметра передаточная характеристика смещается вправо, ее крутизна уменьшается. Помехоустойчивость U_n^0 увеличивается несмотря на рост напряжения U^0 , а помехоустойчивость U_n^1 уменьшается. При большом значении $K_{\text{п}} / K_{\text{а}}$ (штриховая линия) нижняя точка единичного усиления соответствует $U_{\text{вх}} = U^1$. Тогда $U_n^1 = 0$ и инвертор становится неработоспособным.

На рис. 8.4 показано влияние напряжения питания на передаточную характеристику. При снижении $U_{\text{и.п1}}$ уменьшается напряжение

U^1 и помехоустойчивость $U_{п}^1$. Напряжение U^0 и помехоустойчивость $U_{п}^0$ остаются практически постоянными. При малом напряжении питания (штриховая линия) помехоустойчивость $U_{п}^1 = 0$ и инвертор теряет работоспособность. Минимально допустимое напряжение питания $U_{и.п1} = |U_{п.ор.п}|(1 + \sqrt{K_{п}/K_{а}})$.

Вольт-амперная характеристика пассивного транзистора на рис. 8.2, б (штриховая линия) построена без учета «эффекта подложки», т. е. зависимости $U_{п.ор.п}(U_{ИПп})$, где $U_{ИПп}$ — напряжение исток—подложка пассивного транзистора, равное $U_{вых} + U_{и.п2}$. С ростом $U_{вых}$ от U^0 до U^1 пороговое напряжение $|U_{п.ор.п}|$ и ток насыщения пассивного транзистора $I_{с.нас.п}$ снижаются ($I_{с.нас.п} = (K_{п}/2)U_{п.ор.п}^2$ при напряжении затвор—исток пассивного транзистора $U_{3Ип} = 0$). Соответствующая ВАХ показана на рис. 8.2, б пунктирной линией. При этом уменьшается крутизна передаточной характеристики (штриховая линия на рис. 8.5) и помехоустойчивость. Влияние эффекта подложки незначительно, если мало относительное изменение напряжения исток—подложка $\Delta U_{ИПп}/U_{ИПп}^0 = U_{п}/(U^0 + U_{и.п2})$. Это достигается при достаточно большом $U_{и.п2}$.

Чем меньше $|U_{п.ор.п}|$, тем больше относительное изменение тока насыщения пассивного транзистора и искажение формы передаточной характеристики. Поэтому значение $|U_{п.ор.п}|$ выбирается достаточно большим (1...2 В) и превышает $U_{п.ор.а}$. Как следует из § 4.2, в транзисторах с коротким каналом эффект подложки выражен слабее. Это дает возможность получить удовлетворительные параметры инвертора при $U_{и.п2} = 0$.

Передаточная характеристика ЛЭ на МДП-транзисторах (в отличие от ЛЭ на биполярных транзисторах) практически не зависит от температуры. Отношение $K_{п}/K_{а}$, определяющее ее форму, связано только с геометрическими размерами. Температура практически не влияет на пороговые напряжения n -канальных транзисторов. Поэтому рассматриваемый инвертор имеет высокую помехоустойчивость в широком интервале температур.

Передаточная характеристика и помехоустойчивость не зависят от числа нагрузок, так как в их входных (затворных) цепях отсутствует ток. Средняя потребляемая мощность в статическом режиме $P_{ср} = 0,5(P^0 + P^1) = 0,5P^0 = 0,5U_{и.п1}I_{п}(U^0)$; в закрытом состоянии инвертор не потребляет мощности ($P^1 = 0$). Здесь P^0, P^1 — мощности при напряжениях на выходе U^0 и U^1 соответственно.

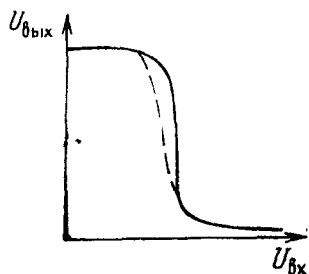


Рис. 8.5

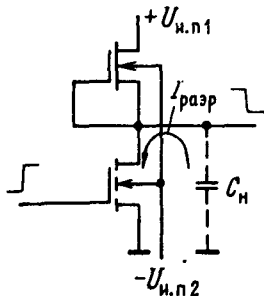


Рис. 8.6

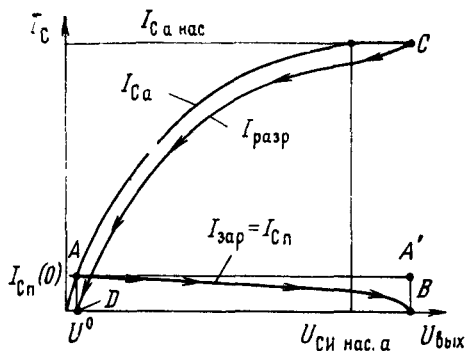


Рис. 8.7

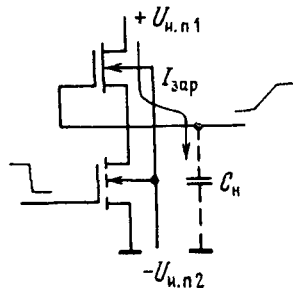


Рис. 8.8

Переходные процессы. Пусть на вход поступает прямоугольный импульс напряжения и инвертор переключается из закрытого состояния в открытое. Приблизительно можно считать, что транзистор VT_a включается мгновенно, т. е. ток через него скачком возрастает от нуля до тока насыщения. Переходной процесс представляет собой разряд нагрузочной емкости через активный транзистор (рис. 8.6). Ток разряда, равный разности токов активного I_a и пассивного $I_{п}$ транзисторов, убывает, как показано стрелками на ВАХ (рис. 8.7), причем в начальный момент $I_{разр} = I_{Ca,нас}$, где $I_{C,нас}$ — ток насыщения активного транзистора (точка C), а в конце процесса $I_{разр} \rightarrow 0$ (точка D).

Когда входной импульс кончается, инвертор переключается из открытого состояния в закрытое. Считая приблизительно, что ток активного транзистора прекращается мгновенно, получаем, что нагрузочная емкость заряжается током пассивного транзистора (рис. 8.8), изменяющимся в соответствии с ВАХ по мере роста выходного напряжения, как показано на рис. 8.7, причем в начальный момент (точка A) $I_{зап} = I_{Cп}(0)$, а в конце переходного процесса (точка a) $I_{зап} \rightarrow 0$.

Ток, протекающий через нагрузочную емкость, связан с напряжением на ней соотношением $I_C = C_H(dU_{вых}/dt)$, откуда получаем выражения для времен перехода выходного импульса:

$$t^{1,0} = \int_{U^1 - 0,1 U_{п}}^{U^0 + 0,1 U_{п}} \frac{C_H dU_{вых}}{I_{Ca}(U_{вых}) - I_{Cп}(U_{вых})};$$

$$t^{0,1} = \int_{U^0 + 0,1 U_{п}}^{U^1 - 0,1 U_{п}} \frac{C_H dU_{вых}}{I_{Cп}(U_{вых})}. \quad (8.4)$$

Быстродействие инвертора оценивается средней задержкой $t_{зд.ср} = 0,5(t^{1,0} + t^{0,1})$. Так как $I_{Ca,нас} \gg I_{Cп}(0)$, то $t^{0,1} \gg t^{1,0}$ и $t_{зд.ср} \approx 0,5t^{0,1}$, т. е. быстродействие определяется временем перехода вы-

ключения. Рассмотрим его подробнее, записав вторую формулу (8.4) в виде

$$t^{0,1} = k_i^{0,1} [0,8C_n U_{л}/I_{C_n}(0)]. \quad (8.5)$$

Член в квадратных скобках дает время перехода при заряде конденсатора C_n постоянным током $I_{C_n}(0)$, т. е. в предельном случае прямоугольной ВАХ пассивного транзистора ($AA'B$ на рис. 8.7), когда $t^{0,1}$ минимально. Временной коэффициент $k_i^{0,1} > 1$ учитывает отклонение формы ВАХ от прямоугольной:

$$k_i^{0,1} = \int_{0,1}^{0,9} du_{вых}/i_{C_n}(u_{вых}), \quad (8.6)$$

где $u_{вых} = U_{вых}/U_{л}$; $i_{C_n} = I_{C_n}(U_{вых})/I_{C_n}(0)$. Значение $k_i^{0,1}$ легко получить численным интегрированием на ЭВМ. Без учета эффекта подложки с достаточной для практики степенью точности можно полагать $k_i^{0,1} = 1$. Эффект подложки ухудшает быстродействие из-за снижения тока пассивного транзистора, заряжающего нагрузочную емкость. Например, при $U_{и.п2} = 0$ имеем $k_i^{0,1} = 3...4$. Быстродействие схем, работающих с источником смещения подложки, существенно выше — для них $k_i^{0,1} = 1...1,5$.

Из формулы (8.5) с учетом соотношения $I_{C_n}(0)U_{и.п1} = 2P_{ср}$ получаем работу переключения

$$A_{пср} = t_{ад.ср} P_{ср} = 0,2k_i^{0,1} C_n U_{и.п1}^2. \quad (8.7)$$

Как видно из (8.5) и (8.7), для уменьшения средней задержки и работы переключения надо снижать напряжение питания. Минимально допустимое значение $U_{и.п1} = 2...3$ В определяется двумя факторами. Во-первых, при малых напряжениях значительно уменьшается помехоустойчивость U_n^1 . Во-вторых, нарушается условие $I_{са.нас} \gg I_{C_n}(0)$ и вытекающее из него неравенство $t^{0,1} \gg t^{1,0}$, так что величина $t^{1,0}$ дает ощутимый вклад в среднюю задержку. Поскольку $t^{1,0}$ увеличивается при уменьшении $U_{и.п1}$, то, начиная с некоторого момента, дальнейшее снижение напряжения питания приведет не к уменьшению, а к росту средней задержки и ухудшению быстродействия. Таким образом, существует оптимальное напряжение питания, обеспечивающее максимальное быстродействие и минимальную работу переключения. Оно пропорционально пороговому напряжению активного транзистора. Минимально допустимое значение $U_{пор.а}$, ограниченное технологической точностью воспроизведения, около 0,5 В.

Емкость C_n складывается из суммарной входной емкости n нагрузок $nC_{вх} = nC_{зи}$, емкости соединительных проводников $n\bar{C}_{пров}$ ($\bar{C}_{пров}$ — средняя емкость одного проводника) и выходной емкости

самого инвертора, равной емкости p - n перехода сток—подложка активного транзистора $C_{сп.а}$:

$$C_n = n(C_{зи} + \overline{C}_{пров}) + C_{сп.а}, \quad (8.8)$$

где $C_{зи} = L_a b_a \epsilon_0 \epsilon_d / d_d$; $\overline{C}_{пров} = \overline{S}_{пров} \epsilon_0 \epsilon_d / d$; $\overline{S}_{пров}$ — средняя площадь проводника; d — толщина слоя окисла, отделяющего его от кремниевой подложки. Первое слагаемое обычно значительно превышает второе, поэтому C_n , а значит, и $t_{зд.ср}$ пропорциональны числу нагрузок n . При заданном быстродействии n ограничивается максимально допустимым значением $t_{зд.ср}$.

В качестве примера рассмотрим структуру со следующими параметрами: $L_a = 3$ мкм, $b_a/L_a = 5$, $d_d = 0,04$ мкм, $d = 0,4$ мкм, $\overline{S}_{пров} = 3 \times 100$ мкм, $N_{а,п} = 2 \cdot 10^{16}$ см $^{-3}$, площадь стока $S_{с.а} = 10 \times 15$ мкм, $U_{и.п1} = U_{и.п2} = 5$ В, $n = 3$, $k_i^{0,1} = 1,5$. Тогда $C_{зи} = 0,03$ пФ, $C_{сп.а} = 0,02$ пФ, $C_{пров} = 0,02$ пФ, $C_n = 0,17$ пФ, $A_{пер} = 1,3$ пДж. При средней мощности 0,1 мВт, типичной для СВИС, $t_{зд.ср} = 13$ нс. В литературе часто приводят $A_{пер}$ и $t_{зд.ср}$ для $n = 1$ и $C_{пров} = 0$, измеренные в схемах кольцевых генераторов на кристалле. При этих условиях $A_{пер} = 0,37$ пДж, $t_{зд.ср} = 3,7$ нс.

8.2. ИНВЕРТОР НА КОМПЛЕМЕНТАРНЫХ ТРАНЗИСТОРАХ

Схема инвертора (рис. 8.9) содержит транзисторы VT_n и VT_p с каналами соответственно n - и p -типа. В структуре на кремниевой подложке (см. рис. 4.13) последняя соединяется с общей шиной. Для p -канального транзистора «подложкой» служит n -область кармана, соединяемая с плюсом источника питания.

При $U_{вх} = U^1 = U_{и.п}$ транзистор VT_n открыт, а VT_p закрыт. На выходе получаем $U_{вых} = U^0 \approx 0$. Если $U_{вх} = U^0 = 0$, то, наоборот, транзистор VT_n закрыт, а VT_p открыт и $U_{вых} = U^1 = U_{и.п}$. В обоих состояниях ток, потребляемый от источника питания, практически равен нулю. Предполагается, что выход инвертора соединен со входами аналогичных инверторов-нагрузок. Таким образом, мощность, потребляемая в статическом режиме, практически равна нулю, что является важнейшим преимуществом по сравнению с любыми другими микросхемами.

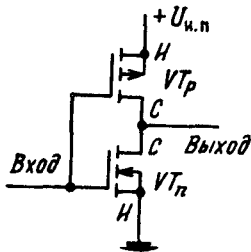


Рис. 8.9

На рис. 8.10, а показана передаточная характеристика инвертора (сплошная линия). С помощью рис. 8.10, б можно пояснить графический метод ее построения. На нем сплошными линиями изображены стоковые характеристики n -канального транзистора $I_{сн}(U_{вых})$, а штриховыми — стоковые характеристики p -канального транзистора $I_{сп}(U_{вых})$ при одних и тех же входных на-

пряжениях $U_{вх3} > U_{вх2} > U_{вх1} > U_{пор}$. Пороговые напряжения для простоты предполагаются одинаковыми для обоих транзисторов. При малых $U_{вх}$ точки пересечения ВАХ лежат в области I, где n -канальный транзистор работает в режиме насыщения, а p -канальный не насыщен. Это соответствует области I передаточной характеристики на рис. 8.10, а. Когда входное напряжение достигает $U_{вх2} = U'_{вх}$, оба транзистора находятся в режиме насыщения, а выходное напряжение изменяется скачкообразно в пределах области II на рис. 8.10, а, б. При $U_{вх} > U'_{вх}$ p -канальный транзистор работает в режиме насыщения, а n -канальный не насыщен, чему соответствует область III на передаточной характеристике.

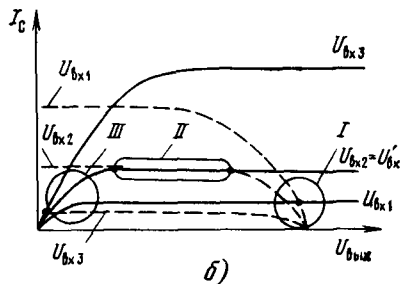
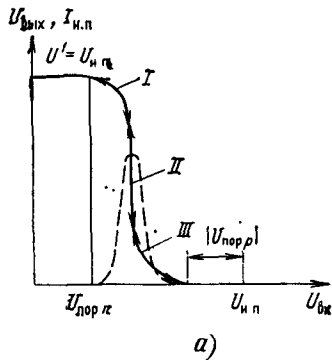


Рис. 8.10

Применяя формулы (4.5а) и (4.5б), можно получить передаточную характеристику для $U_{порп} < U_{вх} < U_{и.п} - |U_{пор\rho}|$:

$$U_{вых} = \begin{cases} U_{вх} + |U_{пор\rho}| + \sqrt{D}, & U_{вх} < U'_{вх}; \\ U_{вх} - U_{порп} - \sqrt{-(K_p/K_n)D}, & U_{вх} > U'_{вх}, \end{cases} \quad (8.9)$$

где $D = (U_{и.п} - U_{вх} - |U_{пор\rho}|)^2 - (K_n/K_p)(U_{вх} - U_{порп})^2$;

$$U'_{вх} = (U_{порп} + \sqrt{K_p/K_n} (U_{и.п} - |U_{пор\rho}|)) / (1 + \sqrt{K_p/K_n}); \quad (8.10)$$

K_p, K_n — удельная крутизна транзисторов p - и n -типа соответственно. При $U_{вх} = U'_{вх}$ напряжение $U_{ввых}$ скачкообразно изменяется от $U'_{вх} + |U_{пор\rho}|$ до $U'_{вх} - U_{порп}$. Когда входное напряжение изменяется от $U_{порп}$ до $U_{и.п} - |U_{пор\rho}|$, оба транзистора открыты и через них протекает «сквозной ток», показанный штриховой линией на рис. 8.10, а. Он достигает максимума при $U_{вх} = U'_{вх}$:

$$I_{макс} = (K_n/2) (U_{и.п} - U_{порп} - |U_{пор\rho}|)^2 / (\sqrt{K_n/K_p} + 1)^2. \quad (8.11)$$

Оптимальная форма передаточной характеристики достигается при одинаковых параметрах транзисторов ($K_n = K_p, U_{порп} = |U_{пор\rho}|$). Тогда $U'_{вх} = U_{и.п}/2$, помехоустойчивость максимальна и близка к $U_{и.п}/2$, а коэффициент помехоустойчивости $U_{и.п}/U_{л} = 0,4 \dots 0,5$. Столь высокие значения не достигаются в инверторах других типов, в том числе на биполярных транзисторах. Это обусловлено минимальным значением $U^0 = 0$, максимальным значением $U^1 = U_{и.п}$ и оптимальной

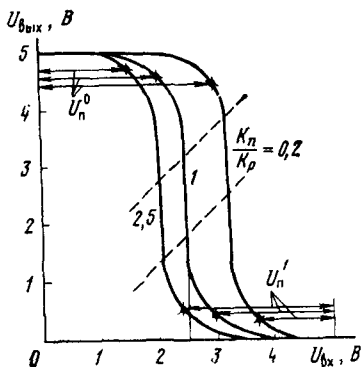


Рис. 8.11

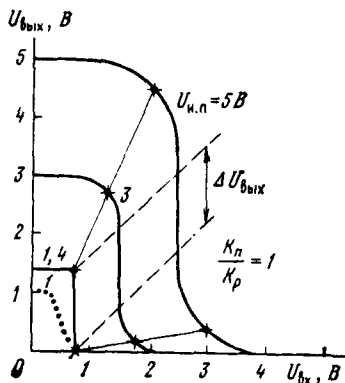


Рис. 8.12

(симметричной) передаточной характеристикой. К тому же она практически не зависит от температуры. Высокая помехоустойчивость в широком интервале температур — также важное преимущество.

На рис. 8.11 показано влияние параметра K_n/K_p , зависящего от геометрических размеров транзисторов, на передаточную характеристику ($U_{и.п} = 5$ В, $|U_{пор\ p}| = U_{пор\ n} = 0,7$ В). Между параллельными штриховыми линиями находится область II, проходящая практически вертикально, где оба транзистора работают в режиме насыщения. С ростом K_n/K_p характеристика смещается влево, помехоустойчивость U_n^0 уменьшается, а U_n^1 увеличивается.

Из-за разной подвижности электронов и дырок ($\mu_n/\mu_p = 2,5$) для выполнения условия $K_n/K_p = 1$ требуется разная ширина каналов транзисторов ($b_p/b_n = \mu_n/\mu_p$), длина каналов обычно выбирается одинаковой. При этом площадь инвертора не получается минимальной. При одинаковых геометрических размерах транзисторов, обеспечивающих минимальную площадь, получаем $K_n/K_p = \mu_n/\mu_p$, что ухудшает форму передаточной характеристики (см. рис. 8.11) и снижает помехоустойчивость U_n^0 (на 20 %).

На рис. 8.12 показано изменение передаточной характеристики в зависимости от напряжения питания. Напряжение $U_{вх}$, соответствующее вертикальному участку (между штриховыми линиями), снижается пропорционально $U_{и.п}$, в то же время протяженность этого участка ($\Delta U_{вых}$) не изменяется вплоть до $U_{и.п.мин} = U_{пор\ n} + |U_{пор\ p}|$, когда характеристика близка к прямоугольной. Помехоустойчивость U_n^0 , U_n^1 изменяется пропорционально $U_{и.п}$; при $U_{и.п} = U_{и.п.мин}$ помехоустойчивость $U_n^0 = U_n^1 = U_{пор}$ (если $U_{пор\ n} = |U_{пор\ p}| = U_{пор}$) независимо от значения K_n/K_p . Коэффициенты помехоустойчивости $U_n/U_{л}$ постоянны вплоть до $U_{и.п.мин}$. Таким образом инвертор может работать в широком интервале напряжений питания (практически $U_{и.п} = 2...15$ В) без ухудшения относительной помехоустой-

чивости, что является существенным достоинством, которым не обладают другие микросхемы. Работоспособность сохраняется и при $U_{и.п} < U_{и.п.мин}$ (пунктирная линия), пока напряжение питания превышает большую из величин $U_{пор n}$ или $|U_{пор p}|$, но помехоустойчивость мала и работать при таких напряжениях не рекомендуется.

Быстродействие инвертора оценивается средней задержкой $t_{зд.ср} = 0,5(t^{1,0} + t^{0,1})$, где времена переходов $t^{1,0}$, $t^{0,1}$ при подаче прямоугольного импульса на вход определяются процессами разряда нагрузочной емкости через n -канальный и заряда ее через p -канальный транзистор. По аналогии с (8.4)

$$t^{1,0} = k_t^{1,0} \frac{0,8C_n U_{и.п.}}{I_{C_{пнас}}}; \quad t^{0,1} = k_t^{0,1} \frac{0,8C_p U_{и.п.}}{I_{C_{рнас}}}, \quad (8.12)$$

где токи насыщения определяются выражениями $I_{C_{пнас}} \equiv (K_n/2) \times (U_{и.п} - U_{пор n})^2$, $I_{C_{рнас}} \equiv (K_p/2) (U_{и.п} - |U_{пор p}|)^2$, а временные коэффициенты — формой ВАХ транзисторов. Они могут быть вычислены по формуле (8.6), где вместо $i_{Cп}$ подставляется $i_{Cп} = I_{Cп}(U_{вых})/I_{Cпнас}$ или $i_{Cр} = I_{Cр}(U_{вых})/I_{Cрнас}$. Если пороговые напряжения составляют $(0,1...0,5)U_{и.п.}$, то $k_t = 1,2...1,6$; для грубых оценок можно полагать $t_t^{1,0} = k_t^{0,1} = 1,4$. Нагрузочная емкость складывается из суммарной входной емкости нагрузок $n(C_{зип} + C_{зипр})$, емкости соединительных проводников $n\bar{C}_{пров}$ и выходной емкости инвертора, равной сумме емкостей p - n переходов сток—подложка обоих транзисторов:

$$C_n = n(C_{зип} + C_{зипр}) + n\bar{C}_{пров} + C_{спп} + C_{рпр}. \quad (8.13)$$

В случае $K_n = K_p$, оптимальном с точки зрения помехоустойчивости, получаем $t^{0,1} = t^{1,0}$ (при $U_{пор n} = |U_{пор p}|$). Однако значение $t_{зд.ср}$ не является минимальным, так как большая ширина канала транзистора VT_p обуславливает большие емкости $C_{зип}$, $C_{спп}$ и общую емкость C_n . Минимальное значение $t_{зд.ср}$ (т. е. максимальное быстродействие) достигается при $b_p/b_n = \sqrt{\mu_n/\mu_p}$, тогда $t^{0,1}/t^{1,0} = \sqrt{\mu_n/\mu_p} \approx 1,6$.

Сравним быстродействие инвертора на комплементарных и n -канальных транзисторах при одних и тех же параметрах транзисторов VT_n и VT_a (см. рис. 8.9 и 8.1), числе нагрузок, средней емкости проводников и напряжении питания. Для инвертора на комплементарных транзисторах $t^{0,1}$ значительно меньше, так как ток заряда нагрузочной емкости, задаваемый p -канальным транзистором, гораздо больше тока пассивного транзистора в схеме на рис. 8.1. Последний нельзя увеличить из-за роста напряжения U^0 и снижения помехоустойчивости; в то же время в схеме на рис. 8.9 ток p -канального транзистора вообще не влияет на значение U^0 .

В результате быстродействие инвертора на комплементарных транзисторах выше, чем на n -канальных, несмотря на большую нагрузочную емкость [ср. формулы (8.13) и (8.7)] и большее вследствие этого значение $t^{1,0}$. Оценка $t_{зд.ср}$ при тех же исходных данных, что и для

инвертора на рис. 8.1 (см. численный пример в § 8.2), дает $C_n = 0,34$ пФ (вместо 0,17 пФ) и $t_{зд.ср} = 1,5$ нс (вместо 13 нс) при $U_{и.п} = 5$ В. Быстродействие увеличивается с ростом напряжения питания, так как токи насыщения в формулах (8.12) пропорциональны $(U_{и.п} - U_{пор})^2$. В пределах $U_{и.п} = 2...15$ В величина $t_{зд.ср}$ изменяется от 6 до 0,4 нс. Типичное значение $t_{зд.ср} \approx 1$ нс.

Для транзисторов с коротким каналом токи насыщения пропорциональны $U_{и.п} - U_{пор}$ (см. § 4.2) и с ростом $U_{и.п}$ время $t_{зд.ср}$ снижается медленнее, стремясь к определенному пределу. Оценим предельное быстродействие, полагая для простоты геометрические размеры транзисторов одинаковыми, пренебрегая емкостями $p-n$ переходов и считая в (8.12) $0,8k_t = 1$. Тогда с учетом (4.8)

$$t_{зд.ср.мин} = 0,5n (t_{прп} + t_{прр}) (1 + (\bar{C}_{пров}/C_{зи})), \quad (8.14)$$

где $t_{прп} = L/v_{нас\ n}$, $t_{прр} = L/v_{нас\ p}$ — соответственно времена пролета электронов и дырок через канал длиной L , движущихся со скоростями насыщения $v_{нас\ n}$ и $v_{нас\ p}$. Например, при $L = 1$ мкм, $n = 3$, $\bar{C}_{пров}/C_{зи} = 1$, $v_{нас\ n} = 10^7$ см/с, $v_{нас\ p} = 0,5 \cdot 10^7$ см/с получаем $t_{зд.ср} = 0,1$ нс. Основной способ повышения быстродействия — уменьшение длины канала.

В комплементарных структурах на диэлектрических, в частности сапфировых, подложках (см. § 4.3) средняя задержка примерно в 1,5 раза меньше, чем на кремниевых, из-за пренебрежимо малых емкостей $p-n$ переходов и проводников.

В импульсном режиме основная часть потребляемой мощности расходуется на перезаряд нагрузочной емкости. За период T поступающих на вход прямоугольных импульсов емкость перезаряжается дважды, на что необходима энергия $C_n U_{и.п}^2$, поэтому мощность

$$P = C_n U_{и.п}^2 / T = f C_n U_{и.п}^2, \quad (8.15)$$

где f — частота следования импульсов. На низких частотах (порядка 1 кГц) мощность составляет единицы нановатт. На максимальной частоте $1/10 t_{зд.ср}$ (десятки мегагерц) мощность составляет десятые доли или единицы милливатт, что все же меньше, чем для инверторов на n -канальных транзисторах. Реальная потребляемая мощность на 10...20% выше рассчитанной по формуле (8.15) из-за кратковременного протекания «сквозного тока» через оба транзистора при переключении.

8.3. ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ И-НЕ И ИЛИ-НЕ

Логические элементы на n -канальных транзисторах. Эти элементы содержат m активных транзисторов и один пассивный. В элементе И-НЕ активные транзисторы включаются последовательно (рис. 8.13, а). Если хотя бы на один из входов подается напряжение низкого уровня U^0 , то соответствующий активный транзистор закрыт, ток через пассивный транзистор не протекает и на выходе устанавливается напряжение высокого уровня $U^1 = U_{и.п1}$. Если на все входы поступает напряжение U^1 , то все активные транзисторы открыты и на выходе устанавливаются U^0 .

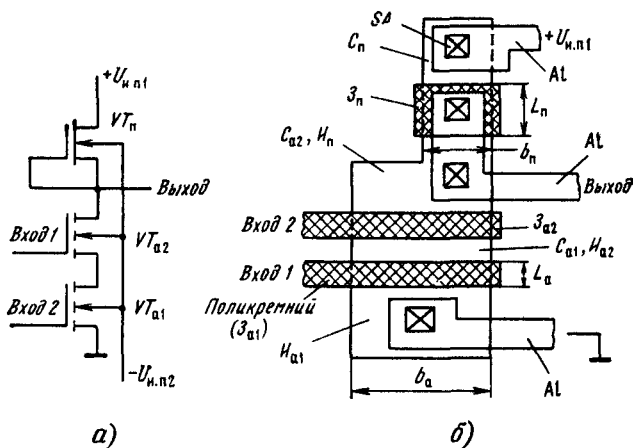


Рис. 8.13

На рис. 8.13, б приведен возможный топологический чертеж элемента, иллюстрирующий принципы топологии МДП-микросхем. Он содержит четыре области n^+ -типа: исток I_{a1} транзистора VT_{a1} , сток транзистора VT_{a1} , совмещенный в одну область (C_{a1}, I_{a2}) с истоком транзистора VT_{a2} , сток транзистора VT_{a2} , совмещенный в одну общую область (C_{a2}, I_n) с истоком пассивного транзистора, и сток C_n пассивного транзистора. Совмещение позволяет снизить площадь, занимаемую ЛЭ на кристалле. Если выполнять транзисторы отдельно и соединять сток первого с истоком второго, а сток второго с истоком пассивного транзистора проводниками, то площадь получится в 3 раза больше.

Затворы активных транзисторов ($Z_{a1}Z_{a2}$) выполнены из поликремния, который используется в качестве входных проводников. Поликремниевый затвор пассивного транзистора (Z_n) соединен с его истоком (областью C_{a2}, I_n) металлическим проводником (Al), который является одновременно и выходным. Контакты между проводниками и n^+ -областями или поликремниевыми слоями обозначены SA. Длина канала активных транзисторов L_a выбирается минимальной, а ширина b_a — в несколько раз больше для получения достаточно большого тока и высокого быстродействия. Пассивный транзистор имеет большую длину L_n и меньшую ширину b_n канала, так как он должен иметь меньшую удельную крутизну $K_n < K_a$.

В отличие от инвертора в логическом элементе И-НЕ вместо одного включены последовательно m активных транзисторов, которые при той же структуре и напряжениях дают в m раз меньший ток. Поэтому ЛЭ имеет приблизительно те же характеристики и параметры, что и инвертор, если ввести эффективную удельную крутизну активного транзистора $K_{a,эф} = K_a/m$. Передаточная характеристика, напряжение U^0 и помехоустойчивость ЛЭ определяются отношением $K_n/K_{a,эф}$.

Для сохранения их неизменными ЛЭ должен иметь параметр $K_{\text{п}}/K_{\text{а}}$ в m раз меньше, чем у инвертора. Этого можно достигнуть, увеличив $K_{\text{а}}$, но тогда будет расти площадь транзисторов. На практике уменьшают $K_{\text{п}}$ (ток пассивного транзистора), однако при этом пропорционально m увеличивается время переключения [см. формулу (8.5)] и быстродействие получается значительно хуже, чем у инвертора. Если не изменять геометрию пассивного транзистора, то быстродействие сохраняется, но повышается напряжение U^0 и снижается помехоустойчивость.

На рис. 8.14, а показана схема логического элемента ИЛИ-НЕ с параллельно включенными активными транзисторами. Если хотя бы на один из входов подается напряжение U^1 , то соответствующий активный транзистор открыт и на выходе устанавливается напряжение U^0 . Если на все входы поступает напряжение U^0 , то все активные транзисторы закрыты и на выходе устанавливается напряжение источника питания, соответствующее U^1 . На рис. 8.14, б приведен пример структуры. Структура содержит три области n^+ -типа: $I_{\text{а1}}$, $I_{\text{а2}}$ — совмещения истоков обоих активных транзисторов, $C_{\text{а1}}$, $C_{\text{а2}}$, $I_{\text{п}}$ — совмещения их стоков и истока пассивного транзистора, $C_{\text{п}}$ — сток пассивного транзистора.

Если на одном из входов поддерживать напряжение U^0 , а на другой подавать изменяющееся напряжение, то передаточная характеристика, напряжения U^0 , U^1 и помехоустойчивость будут такими же, как у инвертора (при тех же $K_{\text{п}}/K_{\text{а}}$ и пороговых напряжениях транзисторов). Этот случай является худшим с точки зрения параметров. В другом возможном случае, когда напряжения на обоих входах изменяются одновременно, напряжение U^0 уменьшается и помехоустойчивость увеличивается. Средняя задержка (в худшем случае) несколько больше, чем для инвертора. В нагрузочную емкость $C_{\text{н}}$ вместо емкости сток — подложка одного активного транзистора теперь входит в m раз большая емкость параллельно включенных транзисторов. Однако она составляет обычно лишь малую часть общей емкости $C_{\text{н}}$. Поэтому

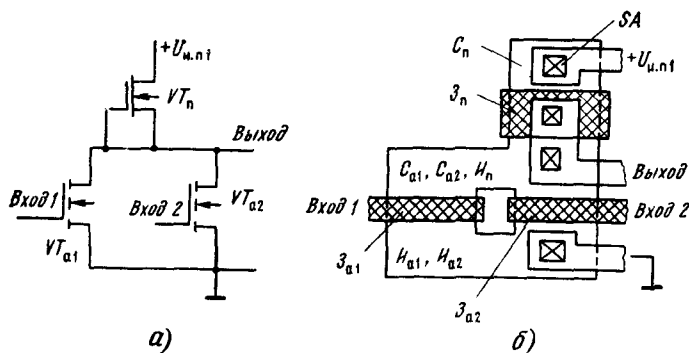


Рис. 8.14

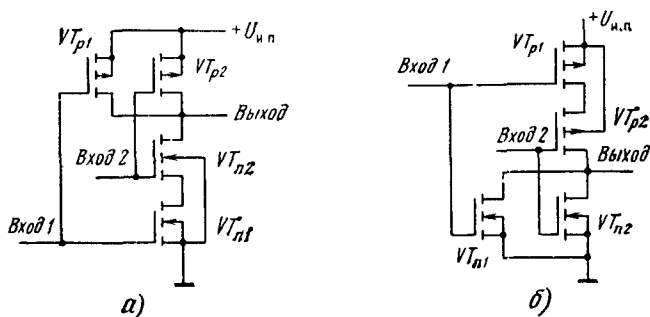


Рис. 8 15

в отличие от элемента И-НЕ быстродействие элемента ИЛИ-НЕ выше и мало зависит от числа его входов.

Рассмотренные примеры показывают, что ЛЭ на МДП-структурах проще, чем на биполярных, и содержат меньшее число транзисторов. Это обусловлено тем, что МДП-транзистор имеет бесконечное входное сопротивление и управляется напряжением, а не током. Дополнительные преимущества, проявляющиеся в других схемах, связаны с симметрией транзистора — он может пропускать ток в обоих направлениях и действовать как двунаправленный ключ (примеры такого применения даны в гл. 9). Эти достоинства вместе с отмеченными особенностями топологии (совмещение нескольких транзисторов, использование слоев поликремния в качестве соединений, отсутствие резисторов) и малой площадью транзисторов позволяют достигнуть высоких плотности элементов и степени интеграции. Для n -канальных микросхем степень интеграции на порядок выше, чем для биполярных при достаточно высоком быстродействии ($t_{зд.ср} = 1 \dots 10$ нс).

Логические элементы на комплементарных транзисторах (КМДП). Для реализации функции И-НЕ применяется последовательное включение n -канальных и параллельное включение p -канальных транзисторов (рис. 8.15, а). При тех же геометрических размерах транзисторов, что и в инверторе, ток, задаваемый n -канальными транзисторами в открытом состоянии, уменьшается в m раз, а ток, задаваемый p -канальными транзисторами, увеличивается в m раз. Поэтому ЛЭ И-НЕ имеет характеристики и параметры, близкие к инвертору, эффективная удельная крутизна транзисторов которого $K_{n \text{ эф}} = K_n/m$, $K_{p \text{ эф}} = mK_p$. С ростом m параметр $K_{n \text{ эф}}/K_{p \text{ эф}}$ уменьшается, передаточная характеристика сдвигается вправо и уменьшается помехоустойчивость $U_{пор}^1$ (см. рис. 8.11). При $m \geq 5$ помехоустойчивость $U_{пор}^1$ стремится к $|U_{пор p}|$. Если этого недостаточно, надо увеличивать ширину канала транзисторов VT_n ($b_n > b_p$) для повышения K_n/K_p .

С увеличением m время $t^{1,0}$ линейно возрастает, а $t^{0,1}$ во столько же раз убывает, поэтому средняя задержка изменяется сравнительно медленно. При одинаковых размерах транзисторов ($b_n = b_p$) величина

$t_{зд.ср}$ для $m = 1$ и $m = 4$ отличается только в 1,3 раза. Таким образом, элемент И-НЕ на комплементарных транзисторах характеризуется гораздо более слабой зависимостью быстродействия от m по сравнению с элементом на n -канальных транзисторах. Для больших m (более $4 \dots 5$) $t^{0.1} \ll t^{1.0}$ и средняя задержка возрастает пропорционально m .

Для реализации функции ИЛИ-НЕ применяется параллельное включение n -канальных и последовательное включение p -канальных транзисторов (рис. 8.15, б). Логический элемент ИЛИ-НЕ имеет характеристики и параметры, близкие к характеристикам и параметрам инвертора с эффективной удельной крутизной транзисторов $K_n \text{ эф} = mK_n$, $K_p \text{ эф} = K_p/m$. С ростом m передаточная характеристика сдвигается влево и уменьшается помехоустойчивость U_n^0 , стремящаяся в пределе (при $m > 4 \dots 5$) к $U_{пор\ n}$. Время $t^{0.1}$ линейно возрастает, а время $t^{1.0}$ убывает. При одинаковых геометрических размерах транзисторов $t^{0.1}$ значительно больше $t^{1.0}$, даже если $m = 1$. Поэтому средняя задержка увеличивается примерно пропорционально m , т. е. гораздо сильнее, чем в элементе И-НЕ.

Оптимальным с точки зрения быстродействия является соотношение $b_p/b_n = \sqrt{\mu_n m^2 / \mu_p}$. Для $m = 2 \dots 4$ получаем $b_p/b_n = 2 \dots 3$, т. е. размеры p -канальных транзисторов должны быть существенно больше, чем n -канальных. Это ведет к росту площади, занимаемой ЛЭ на кристалле, и повышению нагрузочной емкости (по сравнению с элементом И-НЕ). Поэтому даже в оптимальном случае быстродействие элементов ИЛИ-НЕ (в предположении, что они нагружены на подобные ЛЭ) примерно в 2 раза хуже, чем элементов И-НЕ. Таким образом, в КМДП-микросхемах предпочтительнее использовать элементы И-НЕ.

Топологические структуры КМДП-элементов и ЛЭ на n -канальных транзисторах имеют сходство: применяется совмещение транзисторов с одинаковыми типами каналов, поликремниевые слои используются в качестве соединений и др. Например, в схеме на рис. 8.15, а сток транзистора VT_{n1} совмещается в одну область с истоком транзистора VT_{n2} ; совмещаются в одну область истоки транзисторов VT_{p1} , VT_{p2} , а их стоки — в другую. В микросхеме на кремниевых подложках транзисторы VT_{p1} , VT_{p2} размещаются в одном кармане. Дополнительным требованием к топологии является устранение возможности возникновения тиристорного эффекта (эффекта «защелкивания»). Он заключается в том, что паразитная тиристорная p - n - p - n структура, образованная p^+ -областью истока транзистора VT_p , n -областью кармана, p -подложкой и n^+ -областью истока транзистора VT_n , при определенных условиях может переходить в открытое состояние. Тогда через нее течет большой ток, приводящий к выходу микросхемы из строя. В КМДП-микросхемах на диэлектрических подложках тиристорный эффект отсутствует.

8.4. ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ ДИНАМИЧЕСКОГО ТИПА

Очень высокое входное сопротивление МДП-транзисторов позволяет создавать особый класс схем, называемых *динамическими*. Для них характерно кратковременное запоминание информации с помощью конденсаторов, в качестве которых обычно используются емкости самих транзисторов. Применяют транзисторы только с индуцированными каналами, чаще только одного *n*-типа, хотя возможно использование и комплементарных структур.

Для пояснения принципа работы динамических схем рассмотрим инвертор на рис. 8.16. В отличие от ранее изученных *статических* схем (см., например, рис. 8.1) на затвор пассивного транзистора VT_n с индуцированным каналом подают импульсы Φ , называемые *тактовыми*, с амплитудой, равной или превышающей напряжение источника питания. В течение действия импульса пассивный транзистор открыт. Если $U_{вх} = U^0$, то после окончания тактового импульса и запираения транзистора VT_n выходное напряжение U^1 поддерживается («запоминается») конденсатором C_n . По мере его разряда малым током закрытого транзистора VT_a напряжение $U_{вых}$ медленно понижается. С приходом следующего тактового импульса транзистор опять открывается и прежнее значение $U_{вых}$ восстанавливается. Если частота импульсов достаточно велика, то в паузе между ними изменение $U_{вых}$ мало и состояние элемента сохраняется. В отсутствие импульса ток источника питания и потребляемая мощность практически равны нулю при любом сигнале на входе. Таким образом, динамический элемент на *n*-канальных транзисторах по сравнению со статическим обладает в Q раз меньшей мощностью, где Q — скважность тактовых импульсов (отношение их периода T_T к длительности t_n).

Малая потребляемая мощность — не единственное преимущество динамических схем. Другое достоинство заключается в упрощении тех схем, где требуется запоминание информации, например триггерных устройств с внутренней задержкой, регистров, оперативных запоминающих устройств и др. Площадь, занимаемая ими на кристалле, уменьшается, а степень интеграции увеличивается.

Для динамических схем характерен *синхронный режим* работы — фронты сигналов на входах и выходах ЛЭ формируются одновременно с фронтами тактовых импульсов (синхронно с ними) или с небольшой постоянной задержкой. Легко видеть, что простейший инвертор (см. рис. 8.16) не удовлетворяет этому требованию. Пусть в отсутствие тактового импульса на выходе поддерживается напряжение U^1 , и в некоторый момент времени входное напряжение повышается от U^0 до U^1 . Тогда транзистор VT_a открывается и на выходе устанавливается напряжение, равное нулю (несинхронно с тактовым импульсом).

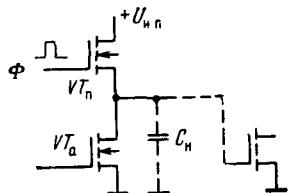


Рис. 8.16

Для предотвращения этого в схему вводят так называемый *передаточный* транзистор $V_{Tпер}$ (рис. 8.17). В паузе между импульсами он закрыт, и напряжение на выходе не изменяется, какие бы сигналы не поступали на вход.

В БИС логические элементы входят в последовательные цепочки разной длины. Если на все ЛЭ подавать одни и те же тактовые импульсы, то синхронный режим невозможен. Сигнал на выходе цепочки из N элементов задержится относительно входного на $Nt_{зд ср}$. В цепочках разной длины выходные сигналы будут появляться в разные моменты времени. Кроме этого длительность тактового импульса должна быть большой (не менее времени задержки в самой длинной цепочке), что не позволит существенно снизить мощность. Поэтому используют две или четыре последовательности тактовых импульсов, сдвинутых относительно друг друга во времени. Соответственно схемы называют *двух-* и *четырёхтактными*.

В двухтактных схемах на нечетные ЛЭ цепочки подается первая последовательность тактовых импульсов Φ_1 , а на четные — вторая Φ_2 . На рис. 8.18, а в качестве ЛЭ для простоты выбраны инверторы. Импульсы Φ_1 и Φ_2 сдвинуты на полпериода, их эюры показаны на рис. 8.18, б, в. Выходные сигналы нечетных инверторов синхронны с импульсами Φ_1 , а четных — с импульсами Φ_2 . Если сигнал на вход первого ЛЭ поступает от предыдущего элемента цепочки, то он синхронен с Φ_2 (рис. 8.18, г).

Предположим, что фронты логических сигналов малы по сравнению с длительностью тактовых импульсов $t_{ин}$. Напряжение на выходе первого ЛЭ изменяется, когда поступает импульс Φ_1 — в момент t_2 , т. е. с задержкой на полпериода по отношению к моменту t_1 изменения напряжения на входе (рис. 8.18, д). В течение интервала времени от t_1 до t_2 ЛЭ «помнит»

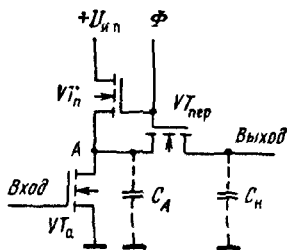


Рис. 8.17

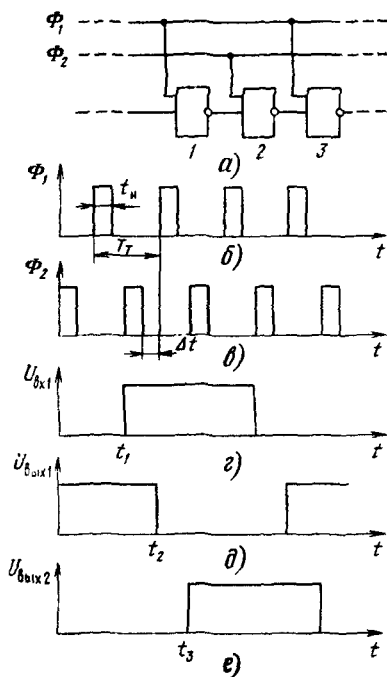


Рис. 8.18

свое предыдущее состояние (которое было до момента t_1 поступления входного сигнала). *Запоминание предыдущего состояния является важнейшим свойством динамических ЛЭ.* Сигнал на выходе второго ЛЭ появляется в момент t_3 (рис. 8.18, е) с задержкой по отношению к сигналу на входе первого, равной периоду тактовых импульсов. Таким образом, задержка в цепочке из N элементов равна $NT_T/2$, а быстрдействие динамических схем характеризуется частотой f_T тактовых импульсов.

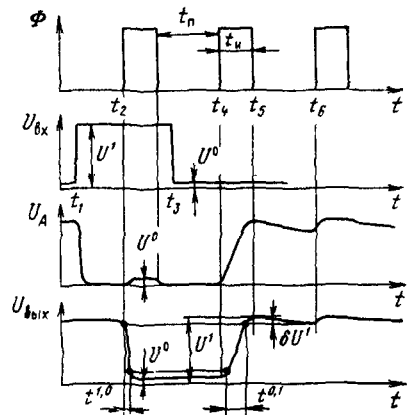


Рис. 8.19

Переходные процессы в схеме рис. 8.17 поясняются с помощью рис. 8.19. Пусть в момент t_1 , соответствующий паузе между тактовыми импульсами, когда транзисторы $VT_{\text{п}}$ и $VT_{\text{пер}}$ закрыты, на вход поступает напряжение U^0 . Тогда транзистор $VT_{\text{а}}$ открывается, напряжение в точке А падает до нуля, а на выходе оно остается равным U^1 , так как поддерживается емкостью $C_{\text{н}}$. Только при поступлении тактового импульса (момент t_2) выходное напряжение уменьшается до U^0 , так как открывается транзистор $VT_{\text{пер}}$. Вследствие одновременного отпирания транзистора $VT_{\text{п}}$ в точке А напряжение повышается от 0 до U^0 .

Когда на вход поступает напряжение U^0 (момент t_3) транзисторы $VT_{\text{п}}$ и $VT_{\text{пер}}$ закрыты, на выходе сохраняется напряжение U^0 и только с приходом тактового импульса (момент t_4) напряжение на выходе повышается до U^1 . По окончании тактового импульса в момент t_5 и до прихода следующего в момент t_6 напряжение в точке А уменьшается вследствие разряда емкости $C_{\text{а}}$ через закрытый транзистор $VT_{\text{а}}$, а напряжение на выходе понижается на δU^1 из-за разряда емкости $C_{\text{н}}$ через два закрытых транзистора $VT_{\text{пер}}$ и $VT_{\text{а}}$.

Как и в статических элементах, времена переходов выходного напряжения неодинаковы ($t^{0.1} \gg t^{1.0}$ на рис. 8.19), так как пассивный транзистор должен иметь малую удельную крутизну по сравнению с активным ($K_{\text{п}} \ll K_{\text{а}}$) для обеспечения малого напряжения U^0 . Передаточный транзистор практически не влияет на величину $t^{0.1}$, если его удельная крутизна $K_{\text{пер}}$ много больше, чем пассивного (обычно $K_{\text{пер}} = K_{\text{а}}$).

Допустимая длительность тактового импульса $t_{\text{и}}$ должна быть не менее $t^{0.1}$, в противном случае на выходе не успевает сформироваться уровень напряжения U^1 . Минимально возможный период $T_T = 2(t_{\text{и}} + \Delta t)$, где Δt — промежуток времени между тактовыми импульсами Φ_1 и Φ_2 (см. рис. 8.18, б, в), необходимый для того, чтобы избежать возможного наложения импульсов из-за нестабильности генератора импульсов, $\Delta t = 0,5t_{\text{и}}$. Тогда $T_{T, \text{мин}} = 3t_{\text{и, мин}} = 3t^{0.1}$, средняя задержка на один ЛЭ равна $T_T/2 \approx 1,5t^{0.1}$, что значительно больше, чем для статических ЛЭ, имеющих $t_{\text{зд, ср}} \approx 0,5t^{0.1}$.

Таким образом, быстрдействие динамических элементов (см. рис. 8.17) существенно хуже, чем статических. Максимально допустимый период определяется из условия, чтобы за время паузы $t_{\text{п}}$ между импульсами изменение напряжения U^1 на выходе δU^1 (см. рис. 8.19) не превышало помехоустойчивости $U_{\text{п}}^1$. отсюда $t_{\text{п}} < C_{\text{н}} U_{\text{п}}^1 / I_{\text{ут}}$, где $I_{\text{ут}}$ — ток утечки, протекающий через последовательно включенные закрытые транзисторы $VT_{\text{пер}}$ и $VT_{\text{а}}$. При комнатной температуре допустимое время паузы велико (около 1 с), но с ростом температуры быстро снижается из-за резкого увеличения тока утечки (до 1 мс при $T = 120^\circ\text{C}$).

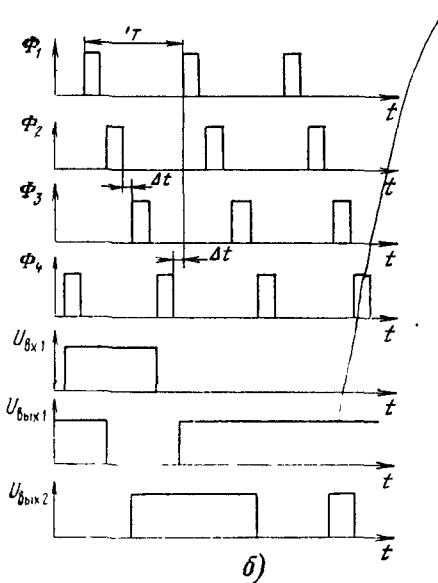
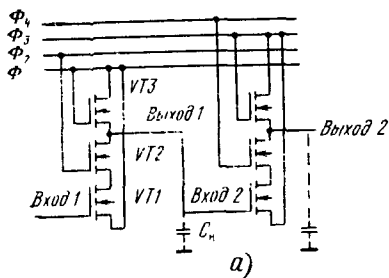


Рис. 8.20

Логические элементы И-НЕ, ИЛИ-НЕ получают последовательным или параллельным включением нескольких активных транзисторов так же, как в статических схемах.

На рис. 8.20, а показана четырехтактная схема, в которой инверторы включены в последовательную цепочку, а на рис. 8.20, б — временные диаграммы тактовых импульсов, напряжений на входе первого и выходах первого и второго ЛЭ. За время действия импульсов Φ_1 на выходах нечетных элементов независимо от входного сигнала происходит заряд емкостей до напряжения U^1 , так как в этих элементах транзисторы $VT3$ открыты, а $VT2$ закрыты. В промежутках между Φ_1 и Φ_2 выходное напряжение U^1 поддерживается емкостями C_n . При поступлении импульса Φ_2 транзистор $VT2$ отпирается, а $VT1$ будет закрыт или открыт в зависимости от напряжения на входе. Поэтому на выходах нечетных элементов устанавливается инвертированное входное напряжение, которое после окончания Φ_2 и до прихода следующего импульса Φ_1 поддерживается емкостями C_n .

Импульс Φ_1 называют импульсом предварительной установки выходного напряжения (на уровне U^1), а Φ_2 — импульсом опроса. Для четных элементов импульсом предварительной установки является Φ_3 , а импульсом опроса — Φ_4 . Выходной сигнал устанавливается по отношению к входному с задержкой, равной $0,5T$.

В четырехтактных ЛЭ мощность затрачивается только на перезаряд нагрузочных емкостей; она меньше, чем в двухтактных ЛЭ (рис. 8.17). Мощность пропорциональна тактовой частоте и не зависит от длительности импульсов. Напряжение низкого уровня U^0 прак-

тически равно нулю (не зависимо от соотношений удельной крутизны транзисторов). Поэтому транзистор VT_3 может быть выбран с большой удельной крутизной, благодаря чему время заряда емкости, т. е. $t^{0,1}$, столь же мало, как и время разряда $t^{1,0}$. Минимальная длительность тактовых импульсов ограничивается этими временами: $t_n > t^{1,0} = = t^{0,1}$. Возможно перекрытие импульсов Φ_1 и Φ_2 , Φ_3 и Φ_4 , тогда как перекрытие импульсов Φ_2 и Φ_3 , а также Φ_1 и Φ_4 не допускается. Поэтому минимальный период $T_T = 4t_n + 2\Delta t$. Так как время $t^{0,1}$ может быть много меньше, чем в двухтактных элементах на рис. 8.17, то быстродействие четырехтактных элементов выше.

Таким образом, в четырехтактных ЛЭ можно достигнуть столь же малой мощности, что и в комплементарных статических ЛЭ, при высоком быстродействии, малой площади и более простой технологии. К недостаткам динамических схем относятся сложность применения (организация четырехтактной системы импульсов), усложнение разводки проводников из-за наличия тактовых шин и повышенный уровень внутренних импульсных помех.

8.5. ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ СВЕРХСКОРОСТНЫХ МИКРОСХЕМ НА МЭП-ТРАНЗИСТОРАХ

Схема инвертора (рис. 8.21) содержит входной активный транзистор VT_a (нормально закрытый) и нагрузочный пассивный транзистор VT_n (нормально открытый). Нагрузкой служат несколько аналогичных инверторов, которые в статическом режиме могут быть заменены эквивалентной схемой, содержащей диод Шоттки VD и резистор R_n . Диод соответствует переходу металл—пролупроводник между затвором и каналом входных транзисторов нагрузок, резистор R_n учитывает сопротивления истока этих транзисторов. Типовые значения пороговых напряжений активного транзистора $U_{пор,a} = 0,1 \dots 0,2$ В, пассивного $U_{пор,n} = -(0,2 \dots 0,4)$ В. Напряжение источника питания $U_{и,п} = 1 \dots 2$ В. Схемы инверторов на МЭП- и n -канальных МДП-транзисторах (см. рис. 8.1) аналогичны, за исключением того, что при использовании МЭП-транзисторов, изготавливаемых на полуизолирующей подложке из арсенида галлия (см. гл. 5), не нужен второй источник питания.

Передающая характеристика инвертора с нагрузкой показана на рис. 8.22 ($U_{и,п} = 1$ В, $U_{пор,a} = 0,1$ В, $U_{пор,n} = -0,4$ В, $n = 1$). На рис. 8.23 представлены стоковые характеристики активного транзистора (I_{ca}) при $U_{зи} \equiv \equiv U_{вх} = U^1$, пассивного (I_{cn}) и входная характеристика ($I_{зи}$) нагрузочного инвертора.

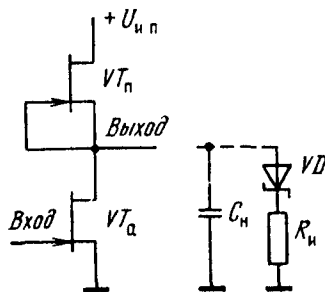


Рис. 8.21

При $U_{вх} = U^0 < U_{пор.а}$ транзистор VT_a закрыт, его ток стока равен нулю, а напряжение на выходе инвертора соответствует напряжению высокого уровня U^1 . Этот уровень определяется точкой I пересечения характеристик $I_{Cп}$ и $I_{Зн}$, т. е. $U^1 \approx U_{д}$, где $U_{д}$ — прямое напряжение на переходе металл—полупроводник. Поскольку входное напряжение нагруженного инвертора (кривая $I_{Зн}$) слабо зависит от тока, уровень U^1 мало изменяется при изменении тока $I_{Cп}$ пассивного транзистора. В рассматриваемом случае (см. рис. 8.22) $U^1 = 0,56$ В. Увеличение напряжения питания приводит к сдвигу характеристики пассивного транзистора вдоль оси напряжений (штриховая линия $I'_{Cп}$ на рис. 8.23), однако уровень U^1 повышается незначительно. Напряжение U^1 снижается при увеличении числа нагрузок n , так как их суммарное входное сопротивление тем меньше, чем больше n . При повышении температуры входная характеристика $I_{Зн}$ смещается влево вдоль оси напряжений (температурный коэффициент напряжения около -1 мВ/°С), поэтому уровень U^1 понижается.

При $U_{вх} = U^1 > U_{пор.а}$ активный транзистор открыт, его стоковая характеристика (кривая I_{Ca}) пересекается с характеристикой пассивного транзистора в точке O , определяющей напряжение низкого уровня U^0 . В этом состоянии во входной цепи активного транзистора протекает ток $I_{Cп}$, задаваемый пассивным транзистором предыдущего инвертора. Этот ток создает падение напряжения на сопротивлении $R_{и}$ активного транзистора, поэтому для его стоковой характеристики $U_{вых0} = I_{Cп}R_{и} > 0$ при $I_C = 0$.

Напряжение низкого уровня

$$U^0 = U_{вых0} + R_{ia}(0) I_{Cп}(0), \quad (8.16)$$

где $R_{ia}(0)$ — внутреннее сопротивление активного транзистора при $I_{Ca} = 0$, $R_{ia}(0) = R_{и} + L_{з.а}d_0/l(U^1 - U_{пор.а})b\mu_n n_0 \epsilon_0 \epsilon_n$; $L_{з.а}$ — длина затвора активного транзистора; сопротивление $R_{и}$ учитывает

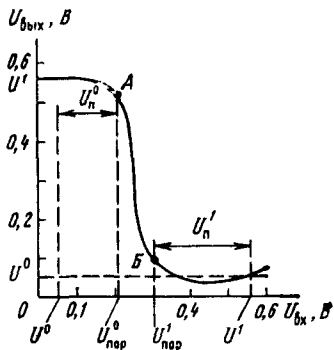


Рис. 8.22

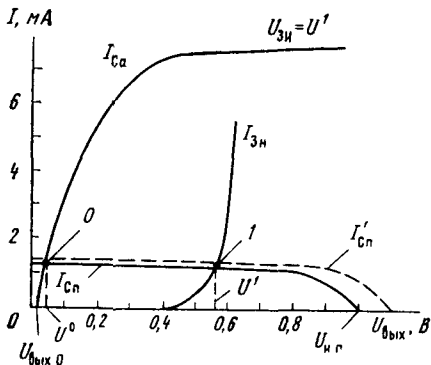


Рис. 8.23

сопротивление истоковой n^+ -области и сопротивление омического контакта.

В рассматриваемом случае $U^0 = 0,05$ В. Это напряжение, как и для инвертора на n -канальных МДП-транзисторах, тем ниже, чем меньше ток $I_{Сп}(0)$ и внутреннее сопротивление активного транзистора в крутой области. Уровень U^0 снижается при уменьшении длины затвора активного транзистора и увеличении ширины его канала и подвижности электронов.

При $U_{вх} > 0,45$ В (см. рис. 8.22) выходное напряжение повышается с ростом $U_{вх}$ вследствие увеличения падения напряжения на сопротивлении истока R_i активного транзистора, вызванного протеканием входного тока. В рассматриваемом примере (см. рис. 8.23) $R_i = 20$ Ом.

Точки единичного усиления A и B на передаточной характеристике (см. рис. 8.22) определяют соответственно напряжения $U_{пор}^0$ и $U_{пор}^1$. Разность $U_{пор}^1 - U_{пор}^0$ тем меньше, чем выше крутизна активного транзистора и ниже ток $I_{Сп}$. Зная напряжения U^0 , U^1 и пороги переключения, можно вычислить помехоустойчивость. В рассматриваемом случае $U_n^0 = U_{пор}^0 - U^0 = 0,16$ В и $U_n^1 = U^1 - U_{пор}^1 = 0,26$ В.

Помехоустойчивость рассматриваемого инвертора ниже, чем для аналогичного инвертора на n -канальных МДП-транзисторах (см. рис. 8.1), так как напряжения $U^1 \approx U_d$ и $U_{пор}$ значительно меньше и не могут быть повышены за счет увеличения $U_{и.п}$.

Помехоустойчивость инвертора зависит от пороговых напряжений обоих транзисторов, она особенно чувствительна к изменению $U_{пор.а}$. При уменьшении $U_{пор.а}$ передаточная характеристика смещается влево вдоль оси напряжений, что приводит к снижению $U_{пор}^0$ и U_n^0 . При увеличении $U_{пор.а}$ возрастает $U_{пор}^1$ и снижается U_n^1 . На рис. 8.24 представлены расчетные кривые постоянной помехоустойчивости $U_n = \min \{U_n^0, U_n^1\}$ при различных значениях пороговых напряжений. Видно, что $U_n \geq 0,2$ В при $U_{пор.п} = -0,2$ В обеспечивается в интервале $U_{пор.а}$ от 0,15 до 0,3 В.

Токи, потребляемые инвертором от источника питания, в обоих состояниях (точки 0 и 1 на рис. 8.23) приблизительно одинаковы и равны $I_{Сп}$. Поэтому *средняя потребляемая мощность*

$$P_{ср} = U_{и.п} I_{Сп}(0). \quad (8.17)$$

Минимальное напряжение $U_{и.п}$ ограничено, так как уменьшается помехоустойчивость и увеличивается средняя задержка. Оптимальное напряжение питания, обеспечивающее наименьшую потребляемую мощность, $U_{и.п} = \Phi_{03}$, где $\Phi_{03} \approx 0,8$ В — равновесная высота потенциального барьера перехода затвор—канал. Минимальный ток $I_{Сп}$ ограничен снижением быстродействия, максимальный ток $I_{Сп}$ — повышением напряжения U^0 и потребляемой мощности.

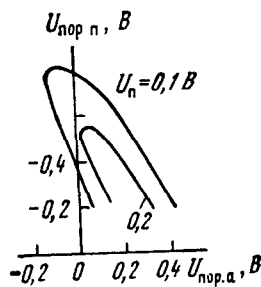


Рис. 8.24

Средняя задержка, как и в инверторе на n -канальных МДП-транзисторах (см. §. 8.1), определяется временем перезарядки нагрузочного конденсатора C_n (см. рис. 8.21). Поскольку ток разряда конденсатора протекает через активный транзистор, а ток заряда — через пассивный, с учетом того, что $I_{Ca} \gg I_{Cn}(0)$, получаем $t^{0,1} \gg t^{1,0}$. Ток заряда I_{Cn} (см. рис. 8.23) — практически постоянный, т. е. $k_p^{0,1} \approx 1$ [см. формулу (8.6)], поэтому

$$t_{зд.ср} \approx 0,5t^{0,1} \approx 0,4C_n U_n / I_{Cn}(0). \quad (8.18)$$

Работа переключения с учетом (8.17) и (8.18)

$$A_{пер} = P_{ср} t_{зд.ср} = 0,4C_n U_n U_{и.п}, \quad (8.19)$$

где

$$C_n = n(\bar{C}_{зи} + \bar{C}_{пров}); \quad (8.20)$$

$\bar{C}_{зи}$ — усредненная емкость затвор—исток активного транзистора, $\bar{C}_{пров}$ — средняя емкость проводника. Емкость сток—подложка вследствие высокого удельного сопротивления последней значительно меньше, и ее можно не учитывать. Удельная емкость затвор—исток в диапазоне изменения напряжения $U_{зи} = 0 \dots 0,6$ В составляет $0,8 \dots 1$ фФ/мкм². Проводники, расположенные на диэлектрике, нанесенном на полупроводниковую подложку, имеют низкую удельную емкость $0,03 \dots 0,04$ фФ/мкм². Полагая $P_{ср} = 0,1$ мВт и $U_{и.п} = 1$ В, из (8.17) получаем $I_{Cn} = 0,1$ мА. Для $L_{з,а} = 1$ мкм, $b_a = 20$ мкм $\bar{C}_{зи} = 20$ фФ, а при $\bar{S}_{пров} = 2 \times 100$ мкм $\bar{C}_{пров} = 8$ фФ, т. е. $C_n = 28$ фФ. Для $n = 3$ из (8.18) следует $t_{зд.ср} = 170$ пс, а из (8.19) — $A_{пер} = 17$ фДж.

Средняя задержка значительно ниже, чем в аналогичном инверторе на n -канальных МДП-транзисторах (см. рис. 8.1), при одинаковой потребляемой мощности и длине затвора (канала). Это объясняется меньшими емкостями $\bar{C}_{зи}$, $\bar{C}_{пров}$ и $C_{сп}$, а также напряжением U_n и большим коэффициентом $k_p^{0,1} \approx 1$. Так как подвижность электронов в канале арсенид-галлиевого МЭП-транзистора выше, чем кремниевое МДП-транзистора, то при одних и тех же значениях $U_{и.п}$, $I_{Cn}(0)$, (т. е. $P_{ср}$) и U^0 ширина канала и емкость $\bar{C}_{зи}$ МЭП-транзистора будут меньше.

Схема двухходового элемента ИЛИ-НЕ на n -канальных МЭП-транзисторах с непосредственной связью (НСПТЛ) отличается от схемы инвертора на рис. 8.21 вторым активным транзистором VT_{a2} , включенным параллельно VT_{a1} (см. подобную схему на рис. 8.14). Входов и соответственно входных транзисторов может быть и больше. Передаточная характеристика ЛЭ аналогична представленной на рис. 8.22, так как она снимается при изменении напряжения на одном из входов, а напряжение на другом входе постоянно и равно U^0 . Следовательно, помехоустойчивость данного ЛЭ такая же, как инвер-

гора. Средняя потребляемая мощность, средняя задержка и работа переключения могут быть оценены по формулам (8.17)—(8.20).

В отличие от ЛЭ на n -канальных МДП-транзисторах последовательное соединение активных МЭП-транзисторов для создания логического элемента И-НЕ (см. рис. 8.13) затруднено вследствие низкой помехоустойчивости, что связано с малыми значениями $U_{\text{пор.а}}$ и U^1 , а также с повышением уровня U^0 при последовательном соединении активных транзисторов. Для сохранения значения U^0 нужно увеличивать ширину каналов МЭП-транзисторов, что приводит к росту емкости $C_{3и}$ и средней задержки.

Схема инвертора, содержащая дополнительную цепь смещения уровня напряжения (металл—полупроводниковый диод VD и транзистор $VT_{п2}$), представлена на рис. 8.25. Основное преимущество этого инвертора по сравнению с рассмотренным выше (см. рис. 8.21) — большая помехоустойчивость и меньшая зависимость последней от технологического разброса пороговых напряжений транзисторов, что достигается усложнением схемы, увеличением ее площади на кристалле и использованием второго источника питания $-U_{и.п2}$. В схеме применяются только нормально открытые транзисторы: $U_{\text{пор.п}} < U_{\text{пор.а}} < 0$ (например, $U_{\text{пор.а}} = -0,45$ В, $U_{\text{пор.п1}} = U_{\text{пор.п2}} = -0,7$ В). Номинальные напряжения источников питания $U_{и.п1} = 1,5$ В, $U_{и.п2} = -1$ В. Ток насыщения транзистора $VT_{п2}$ выбирается приблизительно в 10 раз меньше, чем транзистора $VT_{п1}$, который, в свою очередь, в несколько (5...6) раз меньше тока насыщения активного транзистора. Прямое напряжение на диоде при протекании тока $I_{\text{нас п2}}$ около 0,7 В (при температуре 25 °С). Входная цепь определяет зависимость напряжения $U_{3и}$ активного транзистора от входного напряжения: $U_{3и} = U_{вх} - U_{д}$. Эта зависимость почти линейная, так как $U_{д} \approx \text{const}$.

При $U_{вх} = 0$ напряжение $U_{3и} \approx -0,7$ В (меньше $U_{\text{пор.а}}$), поэтому активный транзистор закрыт. Ток пассивного транзистора $VT_{п1}$ течет во входные цепи n аналогичных схем-нагрузок. Поскольку ширина канала $b_{п1} \approx 10b_{п2}$, то при $n = 1... 4$ падение напряжения на транзисторе $VT_{п1}$ невелико, а $U_{\text{вых}} = U^1 \approx U_{и.п1}$. Следовательно, в отличие от рассмотренного выше инвертора (см. рис. 8.21) здесь напряжение высокого уровня (при $U_{и.п1} < U_{д} + U_{3\text{ макс}}$) не ограничивается входной характеристикой активного транзистора в схемах-нагрузках, так как при $U_{вх} = 1$ В напряжение $U_{3и} \approx 0,3$ В $< U_{3и\text{ макс}}$, т. е. ток затвора этого транзистора очень мал.

При $U_{вх} = U^1 \approx U_{и.п1} = 1$ В активный транзистор открыт, а напряжение низкого уровня U^0 на выходе инвертора, как и в инверторе

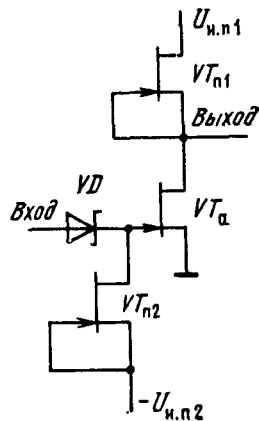


Рис. 8.25

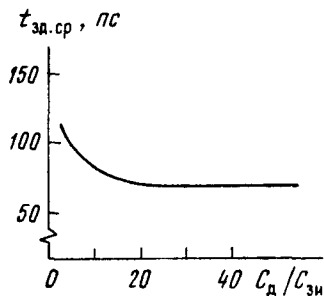


Рис. 8.26

на рис. 8.21, определяется точкой пересечения стоковых характеристик активного транзистора и транзистора $VT_{п1}$: это точка O на рис. 8.23, где нужно положить $U_{зи.а} = U^1 - U_d \approx 0,3$ В. Так как в этом инверторе величина $U_{зи.а} - U_{пор.а} \approx 0,75$ В больше, чем в простом, где $U_{зи.а} - U_{пор.а} = 0,56 - 0,1 = 0,46$ В, то при одинаковых размерах $L_{з.а}$ и b_a активных транзисторов величины R_{ia} и U^0 будут меньше.

Таким образом, использование цепи смещения позволяет уменьшить U^0 и увеличить U^1 , U_n и U_p ($U_p = 0,3 \dots 0,4$ В).

Средняя потребляемая мощность

$$P_{ср} = 0,5 [U_{и.п1} I_{нас.п1} + (U_{и.п1} + U_{и.п2}) I_{нас.п2}]. \quad (8.21)$$

Основной вклад вносит первое слагаемое, так как $I_{нас.п1} \approx 10 I_{нас.п2}$.

Длительность переходных процессов складывается из времен перезарядки емкости затвор—исток $C_{зи}$ активного транзистора и нагрузочного конденсатора. Для уменьшения времени перезарядки емкости $C_{зи}$ увеличивают площадь диода (она приблизительно в 10 раз больше площади затвора активного транзистора) и его емкость C_d . При этом емкость диода уменьшает время переключения в переходном процессе. Изменение напряжения затвор—исток при скачкообразном изменении входного напряжения $\Delta U_{зи} = \Delta U_{вх} C_d / (C_d + C_{зи})$. При $C_d \gg C_{зи}$ изменение входного напряжения полностью передается на затвор активного транзистора.

На рис. 8.26 приведена зависимость средней задержки от отношения $C_d/C_{зи}$ для $L_z = 1,2$ мкм, $P_{ср} = 1,2$ мВт, $b_a = b_{п1} = 10$ мкм, $U_{пор.п} = -0,6$ В, $U_{пор.а} = -0,4$ В. При $C_d/C_{зи} = 20$ $t_{зд.ср}$ уменьшается до 70 пс и далее с ростом C_d не изменяется так как определяется только временем перезарядки нагрузочного конденсатора, как и в схеме на рис. 8.21.

В логическом элементе ИЛИ-НЕ в отличие от ЛЭ на рис. 8.25 используется несколько (по числу входов) входных диодов, аноды которых подключаются к входным выводам, а катоды — к затвору активного транзистора.

Глава 9. ЭЛЕМЕНТЫ ПАМЯТИ

Цифровые полупроводниковые микросхемы памяти предназначены для применения в оперативных (ОЗУ) и постоянных (ПЗУ) запоминающих устройствах. Наиболее распространены БИС памяти с произвольной выборкой, основной частью которых является накопитель — матрица

запоминающих элементов (элементов памяти), каждый из которых предназначен для хранения одного бита информации. Совокупность элементов представляет собой *информационную емкость* БИС. С помощью систем шин строк X и столбцов Y возможна выборка произвольного элемента памяти. Организация БИС памяти рассмотрена в гл. 10.

Микросхемы ПЗУ хранят информацию при отключении источника питания, тогда как в микросхемах ОЗУ она теряется. Микросхемы ОЗУ делятся на *статические* и *динамические*. В первых элементы памяти могут хранить информацию сколь угодно долго, пока включен источник питания, а во вторых — ограниченное время, определяемое структурой элемента. При этом необходимо периодическое восстановление информации. Микросхемы статического типа имеют максимальное быстродействие, динамического типа обеспечивают максимальную информационную емкость и минимальную потребляемую мощность. Большая часть БИС памяти создается на МДП-транзисторах. Микросхемы памяти на биполярных транзисторах (обычно только статического типа) имеют значительно меньшую информационную емкость, но повышенное быстродействие.

9.1. ЭЛЕМЕНТЫ ПАМЯТИ СТАТИЧЕСКОГО ТИПА НА МДП-ТРАНЗИСТОРАХ

В основе элемента памяти статического типа лежит *бистабильная ячейка*, которая может находиться в одном из двух возможных устойчивых состояний. Первое соответствует хранению лог. 0, а второе — лог. 1.

В большинстве случаев бистабильная ячейка представляет собой *симметричный триггер*, содержащий два инвертора с перекрестными обратными связями: выход первого инвертора соединен со входом второго, а выход второго — со входом первого (рис. 9.1, а). Триггер на n -канальных МДП-транзисторах показан на рис. 9.1, б. Одно устойчивое состояние соответствует открытому активному транзистору VT_{a1} первого инвертора и закрытому транзистору VT_{a2} второго, тогда $U_{вы x1} = U_{вх x2} = U^0$, $U_{вы x2} = U_{вх x1} = U^1$. В другом устойчивом состоянии транзистор VT_{a1} закрыт, а VT_{a2} открыт и $U_{вы x1} = U^1$, $U_{вы x2} = U^0$.

Элемент памяти, показанный на рис. 9.2, состоит из триггера (транзисторы $VT1—VT4$) и управляющих транзисторов $VT5, VT6$, соединенных с шинами столбца Y', Y'' .

При отсутствии выборки напряжение на шине X близко к нулю, транзисторы $VT5, VT6$ закрыты, триггер «отключен» от шин столбца и элемент памяти хранит ранее записанную информацию. При записи на одну из шин столбца с помощью специальной схемы формирователя Y подают напряжение U^0 , а на другую — U^1 . Затем на шину X поступает положительный импульс выборки с амплитудой, близкой к напряжению источника питания $U_{и.п.}$ Управляющие транзисторы от-

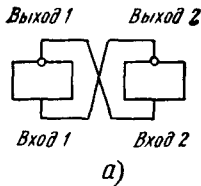
пираются и в точках A и B (в плечах триггера) получают такие же напряжения, как и на шинах Y' , Y'' . В результате триггер устанавливается в нужное состояние.

В режиме считывания шины столбца подключены ко входам усилителя считывания с высоким входным сопротивлением. При поступлении на шину X импульса выборки транзисторы $VT5$, $VT6$ отпираются и на шинах столбца устанавливаются напряжения, соответствующие состоянию триггера (U^0 на одной и U^1 на другой). Они воспринимаются усилителем считывания.

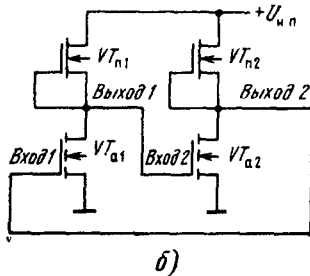
Важнейшими параметрами элемента памяти являются площадь, занимаемая им на кристалле, и потребляемая мощность. Для достижения максимальной информационной емкости площадь элемента, а значит, и размеры транзисторов (длина, ширина канала и др.) должны быть минимальными. Они зависят от разрешающей способности фотолитографии, задающей минимальный топологический размер Δ . При сравнении элементов памяти разных типов удобно оценивать их площадь S не в абсолютных, а в относительных единицах — числом литографических квадратов со стороной Δ . Относительная площадь S/Δ^2 характеризует «качество» схемотехники и топологического проектирования элементов памяти. Для рассматриваемого элемента (см. рис. 9.2) $S/\Delta^2 \approx 150$.

Потребляемая мощность определяется током питания, протекающим через открытый инвертор триггера: $P = I_{п} U_{и.п} = (K_{п}/2) \times U_{пор. по}^2 U_{и.п}$, где $I_{п}$ — ток, задаваемый пассивным транзистором, имеющим удельную крутизну $K_{п}$ и пороговое напряжение $U_{пор. по}$ (при $U_{вых} = U^0$). Для снижения мощности необходимо уменьшать $K_{п}$, т. е. отношение ширины канала пассивного транзистора к его длине $b_{п}/L_{п}$. Однако $b_{п}/L_{п} > 1$, так как для достижения минимальной

площади $L_{п}$ выбирают минимально возможной. Допустимая абсолютная величина порогового напряжения $U_{пор. по}$ ограничена технологическим разбросом этого параметра $\delta|U_{пор. по}|$. При условии $\delta|U_{пор. по}| \ll |U_{пор. по}|$ трудно обеспечить $|U_{пор. по}| < 0,5 \dots 1$ В. Тогда $K_{п} = 3 \cdot 10^5$ А/В² и при $U_{и.п} = 5$ В



а)



б)

Рис. 9.1

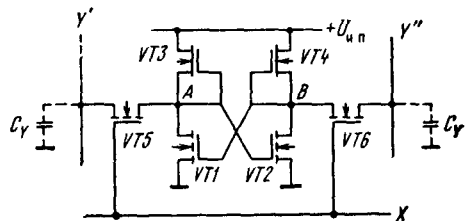


Рис. 9.2

получим $P_{\text{мин}} = 20 \dots 80$ мкВт. Если допустимая рассеиваемая мощность на весь кристалл составляет 500 мВт, то информационная емкость не может превышать $10 \dots 25$ Кбит ($1 \text{ Кбит} = 2^{10} = 1024$ бит).

В режиме пассивного хранения (в отсутствие выборки кристалла) целесообразно снижать напряжение питания; подаваемое на накопитель. Минимальное напряжение определяется способностью триггера (см. рис. 9.1) иметь два устойчивых состояния.

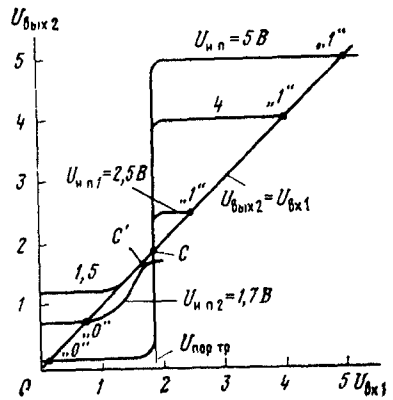


Рис. 9.3

Построим передаточные характеристики двух последовательно соединенных инверторов $U_{\text{вых}2} = f(U_{\text{вх}1})$ при разных напряжениях питания, используя формулы (8.1) передаточной характеристики одного инвертора и графики на рис. 8.4. Проведем прямую, соответствующую условию $U_{\text{вых}2} = U_{\text{вх}1}$ (рис. 9.3). Для больших напряжений, например $U_{\text{и.п}} = 5$ В, прямая пересекает передаточную характеристику в трех точках. Точка «0» соответствует одному устойчивому состоянию (первый инвертор закрыт, второй — открыт), точка «1» — другому (первый инвертор открыт, второй — закрыт). Третье возможное состояние (точка С) — неустойчивое.

Пусть начальный момент триггер находился в неустойчивом состоянии, и из-за флуктуаций напряжение на выходе 2 (см. рис. 9.1) уменьшилось на малую величину $\delta U_{\text{вых}2}$. Это равносильно поступлению малого сигнала на вход 1 $\delta U_{\text{вх}1} = \delta U_{\text{вых}2}$. В точке С дифференциальный коэффициент передачи напряжений $dU_{\text{вых}2}/dU_{\text{вх}1} \gg 1$, поэтому сигнал $\delta U_{\text{вх}1}$, проходя через два инвертора, усиливается, что приводит к дальнейшему понижению напряжения $U_{\text{вых}2}$. Развивается регенеративный процесс, в результате которого $U_{\text{вых}2}$ понижается до U^0 , а $U_{\text{вх}1}$ повышается до $U_{\text{и.п}}$ и триггер устанавливается в устойчивое состояние (точка «0»). Аналогично если в начальный момент напряжение на выходе 2 вследствие малой флуктуации повысится, то триггер перейдет в другое устойчивое состояние (точка «1»).

Напряжение, соответствующее точке С, назовем порогом переключения триггера $U_{\text{пор.тр}}$. Оно определяет его помехоустойчивость: $U_{\text{п}}^0 = U_{\text{пор.тр}} - U^0$, $U_{\text{п}}^1 = U_{\text{и.п}} - U_{\text{пор.тр}}$. Большие напряжения помехи переводят триггер в противоположное состояние, и хранимая информация теряется. Для достаточно больших напряжений питания ($U_{\text{и.п}} > U_{\text{и.п}1} = (1 + \sqrt{K_{\text{п}}/K_{\text{а}}})U_{\text{пор.по}}$) напряжение $U_{\text{пор.тр}}$ можно рассчитать по формуле (8.2): $U_{\text{пор.тр}} \approx U_{\text{вх}}^1$; оно не зависит от $U_{\text{и.п}}$ (см. рис. 9.3). В этом случае при уменьшении $U_{\text{и.п}}$ снижается $U_{\text{п}}^1$, а $U_{\text{п}}^0$ остается постоянным. Если $U_{\text{и.п}} < U_{\text{и.п}1}$, то повышается U^0 и уменьшаются обе величины: $U_{\text{п}}^0$ и $U_{\text{п}}^1$. При

$$U_{\text{и.п}} = U_{\text{и.п}2} = U_{\text{пор.а}} + |U_{\text{пор.по}}| [1 - (1 - K_{\text{п}}/K_{\text{а}}) / \sqrt{1 + K_{\text{п}}/K_{\text{а}}}] \quad (9.1)$$

характеристика касается прямой в точке С', тогда $U_{\text{п}}^1 = 0$. Если $U_{\text{и.п}} \leq U_{\text{и.п}2}$, то триггер не имеет двух устойчивых состояний и теряет работоспособность. Минимальное напряжение $U_{\text{и.п.мин}}$ должно быть больше $U_{\text{и.п}2}$ на необходимое значение $U_{\text{п}}^1$. Для $K_{\text{п}}/K_{\text{а}} = 0,5 \dots 1$ целесообразно выбирать $U_{\text{и.п.мин}} = U_{\text{пор.а}} + |U_{\text{пор.по}}|$ (в нашем примере $U_{\text{и.п.мин}} = 2,2$ В).

Время считывания элемента памяти представляет собой интервал времени от подачи импульса выборки на шину X до момента появления на шинах Y сигнала, достаточного для срабатывания усилителя считывания. Усилитель считывания (обычно дифференциальный) срабатывает, когда разность напряжений на шинах Y' и Y'' превышает некоторое минимальное значение δU_{yc} — чувствительность усилителя. Предварительно на обеих шинах устанавливаются одинаковые напряжения (например, U^1), которые до прихода импульса выборки строки поддерживаются емкостями шин C_Y . После поступления импульса выборки устанавливается разность напряжений на шинах Y', Y'' .

Рассмотрим переходные процессы в элементе памяти. Пусть его состояние соответствует напряжениям U^0 в точке A и U^1 в точке B (см. рис. 9.2). При поступлении импульса выборки в момент t_1 (рис. 9.4, а) транзистор $VT5$ отпирается и через него начинает протекать ток, повышающий напряжение в точке A (рис. 9.4, б). Если транзисторы $VT1$ и $VT5$ имеют одинаковые геометрические размеры, то $U'_A \approx 0,3(U_{и.п} - U_{пор.а})$. Транзистор $VT1$ работает в режиме неперекрываемого канала, а транзистор $VT5$ — в режиме насыщения. Протекающий через него ток $I_5 \approx K_A(U_{и.п} - U_{пор.а})^2/4$ разряжает емкость шины Y' , и напряжение на ней (а также в точке A) уменьшается (рис. 9.4, б, в). Транзистор $VT6$ остается закрытым (для него $U_{3и} = 0$, так как $U_B = U_X = U_{и.п}$), и напряжение на шине Y'' сохраняется равным $U^1 = U_{и.п}$. Между шинами столбца устанавливается разность напряжений ΔU_Y (рис. 9.4, в). Так как чувствительность усилителя считывания δU_{yc} составляет десятки или сотни доли вольта, то в течение времени нарастания разностного сигнала от 0 до δU_{yc} напряжение на шине Y' меняется незначительно и ток I_5 остается постоянным. Тогда время считывания

$$t_{сч} = \delta U_{yc} / I_5 = 4\delta U_{yc} C_Y / K_A (U_{и.п} - U_{пор.а})^2. \quad (9.2)$$

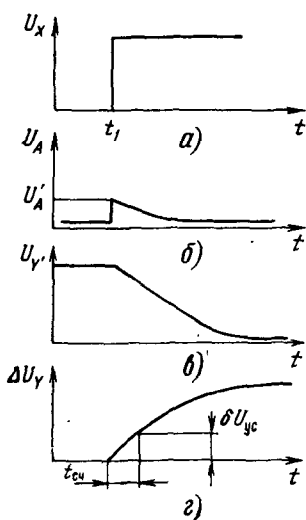


Рис. 9.4

Например, для $b_a/L_a = 1$, $U_{пор.а} = 0,7$ В, $U_{и.п} = 5$ В, $C_n = 1$ пФ, $\delta U_{yc} = 0,1$ В получим $t_{сч} = 1$ нс.

Шины Y представляют собой длинные RC -линии с распределенными параметрами, характеризующиеся задержкой распространения сигнала, примерно равной постоянной времени $\tau_Y = R_Y C_Y$, где R_Y — сопротивление шины. Если шины металлические, то R_Y очень мало, $\tau_Y \ll t_{сч}$ и задержкой в них можно пренебречь. Если же шины выполнены из поликремния, силицидов металлов или представляют собой протяженные сильнолегированные области n^+ -типа, то их сопротивление велико (1...10 кОм при отношении длины к ширине порядка 10^3). Тогда время считывания становится больше на величину τ_Y , соизмеримую или превышающую величину, рассчитанную по (9.2).

Элемент памяти на комплементарных транзисторах показан на рис. 9.5. Триггер образован двумя инверторами на транзисторах VT_{n1} , VT_{p1} и VT_{n2} , VT_{p2} соответ-

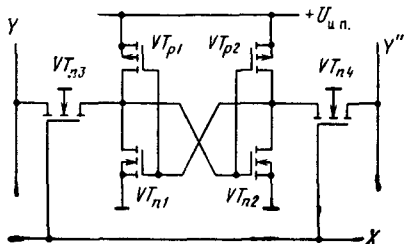


Рис. 9.5

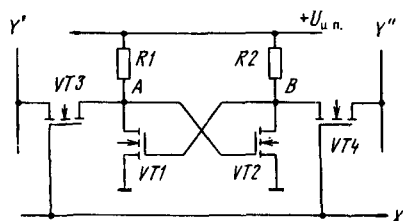


Рис. 9.6

венно. Управляющие транзисторы VT_{n3} , VT_{n4} имеют канал n -типа. В режиме хранения элемент памяти потребляет ничтожно малую мощность (десятки пиковатт), что является важнейшим преимуществом БИС памяти на комплементарных структурах. Однако площадь элемента памяти оказывается в 1,5...2 раза больше, чем элемента на n -канальных структурах на рис. 9.2.

Малые площадь и потребляемая мощность достигаются в элементе памяти на четырех n -канальных транзисторах, содержащем вместо пассивных транзисторов поликремниевые резисторы (рис. 9.6). Резисторы практически не занимают дополнительной площади на кристалле, так как они расположены на поверхности над транзисторами. Элемент имеет относительную площадь 60...100 литографических квадратов, что в 1,5...2 раза меньше, чем элемент памяти на рис. 9.2, и в 4 раза меньше, чем элемент памяти на комплементарных транзисторах на рис. 9.5. Поэтому достижима высокая информационная емкость (256 Кбит и выше).

Сопротивление слоя поликремния зависит от концентрации примесей в нем. Для нелегированного поликремния оно более 1 ГОм/□. Применяют сопротивления 20...200 МОм, при этом элемент памяти потребляет ток примерно 1 нА, а мощность составляет единицы или десятки нановатт и не является фактором, ограничивающим степень интеграции. Так как сопротивление резисторов очень велико, то напряжение $U^0 \approx 0$, порог переключения триггера равен пороговому напряжению транзисторов, а напряжение $U^1 = U_{и.п} - RI_{\text{Сост}}$, где $I_{\text{Сост}}$ — остаточный ток закрытого транзистора, равный сумме предпорогового канального тока и тока генерации p - n перехода сток—подложка. Следовательно, помехоустойчивость $U_n^0 = U_{\text{пор}}$, $U_n^1 = U_{и.п} - RI_{\text{Сост}} - U_{\text{пор}}$. Минимальное напряжение питания, при котором триггер сохраняет два устойчивых состояния, близко к $U_{\text{пор}}$, а минимально допустимое напряжение, при котором обеспечивается необходимая помехоустойчивость, $U_{и.п \text{ мин}} = U_n^1 + U_{\text{пор}} + RI_{\text{Сост}}$. Для повышения помехоустойчивости целесообразно ограничивать сверху сопротивление резисторов: $R \ll (U_n^1 + U_{\text{пор}})/I_{\text{Сост}}$; тогда $U^1 \approx U_{и.п}$, $U_{и.п \text{ мин}} = U_{\text{пор}} + U_n^1$.

С ростом температуры проводимость слаболегированного поликремния и остаточный ток транзистора пропорционально увеличиваются по одному и тому же закону $\exp(-\Delta E_g/2kT)$, поэтому приведенное выше неравенство обеспечивается в широком интервале температур. Из-за снижения R при повышении температуры возрастает потребляемая мощность. В режиме хранения можно снизить напряжение питания до $U_{\text{и.п. хр}} = 1 \text{ В}$, тогда как в режиме выборки его повышают (например, до $U_{\text{и.п. выб}} = 5 \text{ В}$) для уменьшения времени считывания. Мощность в режимах хранения и выборки различается в $(U_{\text{и.п. хр}}/U_{\text{и.п. выб}})^2$ раз.

Вместо поликремниевых резисторов могут быть применены поликремниевые p - n переходы или переходы металл—поликремний, смещенные в обратном направлении, имеющие требуемое значение обратного тока. Нелинейность их ВАХ не имеет существенного значения для функционирования элемента памяти.

9.2. ЭЛЕМЕНТЫ ПАМЯТИ ДИНАМИЧЕСКОГО ТИПА НА МДП-ТРАНЗИСТОРАХ

Принцип действия. Принцип действия элементов памяти динамического типа основан на хранении информации с помощью конденсаторов. Наиболее распространены *однотранзисторные* элементы (рис. 9.7). Схема состоит из запоминающего конденсатора C_0 и транзистора VT , связывающего конденсатор с шиной столбца Y матричного накопителя. Емкость шины C_Y оказывает существенное влияние на работу элемента памяти.

В режиме хранения напряжение на шине строки X близко к нулю, транзистор закрыт и конденсатор отключен от шины Y . На конденсаторе сохраняется установленное при записи напряжение U^1 или U^0 . В случае хранения лог. 1 конденсатор будет постепенно разряжаться вследствие существования токов утечки в подложку. Обычно это обратный ток p - n перехода транзистора. Если же хранится лог. 0, а напряжение на шине Y положительное, конденсатор будет постепенно заряжаться предпороговым током транзистора. Поэтому необходимо периодическое восстановление исходного напряжения U^1 или U^0 на конденсаторе, называемое *регенерацией*. Она осуществляется путем считывания информации с элемента памяти, преобразования ее в напряжение U^1 или U^0 с помощью усилителя считывания (усилителя-регенератора) и в последующей записи этого напряжения в элемент памяти. Регенерация производится одновременно для всех элементов одной строки. Типичное значение периода регенерации составляет несколько миллисекунд.

В режиме записи на шине Y выбранного столбца устанавливается напряжение U^1 или U^0 , а затем подается положительный импульс выборки на шину X . Транзистор отпирается, и на конденсаторе устанавливается то же напряжение, что и на шине Y . В остальных

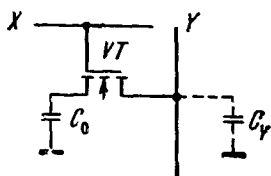


Рис. 9.7

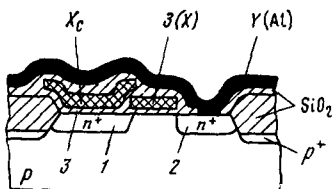


Рис. 9.8

элементах выбранной строки в это время, как правило, осуществляется регенерация.

В режиме считывания шины столбца подключены ко входам усилителя считывания с высоким входным сопротивлением. Предварительно на них с помощью формирователя Y устанавливают опорное напряжение $U_{оп}$ ($U^0 < U_{оп} < U^1$), которое до прихода импульса выборки поддерживается емкостью шин C_Y . При поступлении импульса выборки на шину X транзистор элемента памяти отпирается, конденсаторы C_0 и C_Y оказываются включенными параллельно и происходит перераспределение заряда между ними. В результате на шине Y устанавливается напряжение $U_{оп} + \delta U^1$ при считывании лог. 1 или $U_{оп} - \delta U^0$ при считывании лог. 0, где

$$\begin{aligned} \delta U^1 &= (U^1 - U_{оп}) / (1 + C_Y / C_0), \\ \delta U^0 &= (U_{оп} - U^0) / (1 + C_Y / C_0). \end{aligned} \quad (9.3)$$

Будем полагать, что $U_{оп} = 0,5(U^1 + U^0)$, тогда $\delta U^1 = \delta U^0 \equiv \delta U$. Емкость шины Y $C_Y = nC_{Y0}$, где C_{Y0} — емкость, приходящаяся на один элемент памяти столбца; n — число элементов в столбце. При большом n $C_Y \gg C_0$, следовательно, $\delta U \ll U^1/2$.

Усилитель считывания является дифференциальным. На один его вход подается опорное напряжение, на другой — сигнал с шины столбца. Таким образом, разностный сигнал равен δU , его значение должно превышать чувствительность усилителя считывания $\delta U_{ус}$ (30...50 мВ). На этой стадии напряжение на запоминающем конденсаторе C_0 изменяется от начального (U^0 или U^1) до значения, примерно равного $U_{оп}$ (если $\delta U \ll U_{оп}$). Для восстановления исходного состояния напряжение U^0 или U^1 , сформированное усилителем считывания, подается обратно на шину Y и через открытый транзистор элемента памяти устанавливается на конденсаторе.

Элементы памяти потребляют мощность только во время переходных процессов перезаряда конденсатора C_0 при регенерации, записи или считывания. Поэтому БИС памяти динамического типа характеризуются малой мощностью, потребляемой главным образом схемами управления и считывания. Простота элемента памяти обуславливает его малую площадь и высокую информационную емкость БИС. (до 4 Мбит, 1 Мбит = $2^{20} \approx 1048576$ бит), в 4...16 раз большую, чем у БИС па-

мяти статического типа. Однако быстроедействие микросхемы существенно ниже, так же, как и у ЛЭ динамического типа (см. § 8.5). Оно определяется периодом тактовых импульсов, который, в свою очередь, зависит от необходимого числа последовательностей тактовых импульсов, управляющих работой схемы. Легко видеть, что при считывании необходимо иметь не менее трех последовательностей: импульс, управляющий предварительной установкой опорного напряжения, следующий за ним со сдвигом импульс выборки на шине X и импульс, включающий усилитель-регенератор после формирования разностного сигнала на его входах. Минимальная длительность импульсов определяется переходными процессами в накопителе и схемах обслуживания.

Важнейшими параметрами элемента памяти являются площадь, занимаемая им на кристалле, емкость запоминающего конденсатора (или информационный заряд при хранении лог. 1 $Q^1 = C_0 U^1$), ток утечки, от которого зависит период регенерации, и отношение C_0/C_{Y0} , определяющее амплитуду разностного сигнала при считывании.

Для повышения амплитуды считываемого сигнала δU и помехоустойчивости необходимо увеличивать емкость C_0 . При малых C_0 незначительные импульсные помехи, возникающие из-за емкостных паразитных связей, приводят к существенному изменению напряжения на конденсаторе. Однако требования большой емкости C_0 и малой площади элемента памяти являются противоречивыми. Типичные значения емкости C_0 составляют сотые доли пикофаряды, заряда Q^1 — десятые доли пикокулона, амплитуды считываемого сигнала — сотые и десятые доли вольта, $C_0/C_{Y0} = 5 \dots 10$.

Разновидности элементов памяти. Для всех элементов памяти характерно совмещение конденсатора, транзистора, шин строк и столбцов в одну интегральную структуру. Это обеспечивает минимальную площадь, примерно равную площади одного МДП-транзистора.

На рис. 9.8 показана простейшая структура, в которой области 1 и 2 n^+ -типа образуют исток и сток транзистора, а слой поликремния — его затвор (З), являющийся одновременно шиной строки X , проходящей в направлении, перпендикулярном чертежу. Область 2 образует контакт к металлической шине Y . Область 1 служит также одним из электродов запоминающего конденсатора. Другой электрод — слой сильнолегированного поликремния X_C , образующий общую («конденсаторную») шину, проходящую через накопитель в направлении строки. Между двумя электродами расположен слой диэлектрика З (SiO_2) той же толщины, что и слой под затвором З.

Слои З и X_C выполняют с помощью разных операций: сначала наносят первый слой поликремния (З), затем производят окисление и наносят второй слой (X_C). Зазор между электродами З и X_Y в боковом направлении минимален и равен толщине окисла. Это обеспечивает минимальную площадь элемента памяти.

Полная емкость запоминающего конденсатора складывается из емкости между слоями 1 и X_C и емкости p - n перехода между областью 1

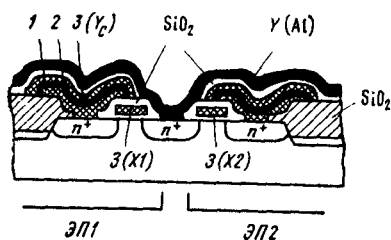


Рис. 9.9

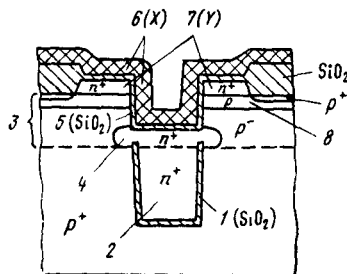


Рис. 9.10

и подложкой. Отношение C_0/C_{Y0} пропорционально площади запоминающего конденсатора и, следовательно, площади всего элемента. Для достижения приемлемой величины $C_0/C_{Y0} = 5 \dots 10$ требуется весьма большая площадь — около 30 литографических квадратов.

Большая емкость C_0 и меньшая площадь достигаются в элементах памяти с тонкопленочными конденсаторами, расположенными на поверхности кристалла. На рис. 9.9 показана структура, содержащая два элемента памяти (ЭП1, ЭП2) одной строки, транзисторы которых имеют общую (центральную) n^+ -область, соединенную с металлической шиной столбца Y . Поликремниевые затворы Z транзисторов совпадают с шинами строк $X1$ и $X2$.

Запоминающие конденсаторы расположены над крайними областями n^+ -типа и содержат три слоя: проводящий 1, образующий контакт с n^+ -областью, диэлектрический 2 толщиной 0,02...0,04 мкм и проводящий 3. В качестве диэлектрика 2 выбирают материал с большей, чем у SiO_2 , диэлектрической проницаемостью. Использование нитрида кремния позволяет увеличить удельную емкость в 2...3 раза. В этом случае для создания слоев 1 и 3 применяют сильнолегированный поликремний. Окись тантала увеличивает удельную емкость в 6,5 раз, слой 1 представляет собой пленку тантала, а слой 3 — пленку молибдена. Относительная площадь таких элементов памяти составит 6...15 литографических квадратов при $C_0/C_{Y0} > 10 \dots 20$. Это дает возможность создавать СБИС с информационной емкостью более 1 Мбит. Недостатки структуры на рис. 9.9 — сложность технологического процесса и сильная неровность поверхности.

На рис. 9.10 приведена структура, в которой транзистор имеет вертикальный канал, а конденсатор расположен в глубине под транзистором. Она сформирована на подложке p^+ -типа, выполняющей функцию первой «заземленной» обкладки конденсатора. В подложке методом сухого анизотропного травления получена канавка глубиной 5...8 мкм с вертикальными боковыми стенками, покрытыми тонким слоем диоксида кремния 1, заполненная поликристаллическим кремнием 2 n^+ -типа, служащим второй обкладкой конденсатора. На подложку нанесен эпитаксиальный слой 3 p^- -типа толщиной 3...5 мкм, на границе которого расположен скрытый слой 4 n^+ -типа.

В эпитаксиальном слое сформирована вторая канавка, стенки которой покрыты тонким слоем диоксида SiO_2 , заполненная поликремнием 6, выполняющим функцию затвора транзистора и шины X. Ионным легированием создан слой 7, являющийся одной из n^+ -областей транзистора и одновременно шиной Y. Другой n^+ -областью (стоком или истоком) транзистора служит область 4. Канал образуется между слоями 7 и 4 на боковых стенках канавки. Эффективная длина канала — толщина слоя 8 p -типа (порядка 1 мкм) с повышенной по сравнению с нижележащим p^- -слоем концентрацией акцепторов. Площадь элемента памяти не более 9 литографических квадратов при $C_0/C_{Y0} \geq 10$, что дает возможность создавать СБИС с информационной емкостью до 4 Мбит.

Устойчивость к воздействию α -частиц. Ионизирующее излучение оказывает сильное влияние на работу СБИС памяти динамического типа. Оно создает электронно-дырочные пары, которые, попадая в область запирающего конденсатора, изменяют его заряд и приводят к потере информации. Например, в структуре на рис. 9.8 электроны, генерируемые в подложке, диффундируя к области 1, сильно увеличивают обратный ток p - n перехода, т. е. ток утечки запоминающего конденсатора. В результате напряжение U^1 понижается. То же происходит и в структуре на рис. 9.9.

При малых размерах и емкости конденсатора, характерных для элементов СБИС, информационный заряд в случае хранения лог. 1 составляет $(10^6 \dots 10^8)q$, где q — заряд электрона. Одна ионизирующая частица может создать такое же число электронно-дырочных пар, что приведет к потере информации и сбою в работе схемы. Сбои могут возникать даже при отсутствии внешнего источника излучения (или полной защите от него). Они вызываются единичными α -частицами, испускаемыми материалами конструкции схемы (покрытиями кристалла, корпуса), в том числе и самим кремнием. Отказы такого типа называются *мягкими*, так как появления дефектов и разрушения кристаллической структуры не происходит, а возникает лишь функциональный сбой, после которого в следующем цикле работы схема полностью работоспособна.

Излучение обусловлено наличием в материалах примесей циркония, которым в ничтожно малых количествах сопутствуют уран и торий. Число α -частиц, испускаемых с 1 см^2 поверхности в час, составляет 5...45 для стекол с содержанием Pb, Zn, Al, входящих в состав корпуса, и примерно 1 для эпоксидных покрытий и самого кремния. Вследствие большого электрического заряда происходит сильное взаимодействие α -частицы с веществом. Средняя длина ее свободного пробега в кремнии порядка 100 мкм, число генерируемых электронно-дырочных пар порядка 10^6 , причем основная их часть возникает в конце длины пробега, т. е. вне активного слоя, где расположены элементы микросхемы. Однако если диффузионная длина электронов больше длины пробега α -частицы, то последующая диффузия образовавшихся электронов к активному слою вызовет сбой.

Для предотвращения сбоев от α -частиц следует выбирать такую структуру микросхемы, в которой большая часть электронов, генерируемых вдали от области запоминающего конденсатора, не могла бы проникать в нее. Это достигается в структурах с сильнолегированной подложкой, на которую нанесен тонкий эпитаксиальный слой с расположенными в нем элементами. Большая часть электронов, возникших в подложке, не доходит до эпитаксиального слоя и активных областей приборов, рекомбинируя в подложке, время жизни и диффузионная длина неосновных носителей в которой малы (около 10 нс и 2 мкм при $N_{a,p} = 10^{20} \text{ см}^{-3}$). Поэтому СБИС памяти с большой информационной емкостью (1 Мбит и более), где сбои от α -частиц особенно вероятны из-за малого заряда запоминающего конденсатора, целесообразно создавать на эпитаксиальных структурах.

Примером является структура на рис. 9.10. Здесь высокая устойчивость к α -частицам помимо применения сильнолегированной подложки достигается также и тем, что обкладка 2 запоминающего конденсатора отделена от подложки слоем диэлектрика 1. Структура на рис. 9.9 обладает достаточно хорошей устойчивостью (хотя и меньшей, чем предыдущая) вследствие больших емкости и заряда запоминающего конденсатора, особенно если применяется танталовый конденсатор. Структура на рис. 9.8 имеет низкую устойчивость к α -частицам.

Если используется технология комплементарных структур, то высокая устойчивость к воздействию α -частиц обеспечивается размещением накопителя в кармане p -типа. Из-за обратного напряжения на p - n переходе карман—подложка электроны, генерируемые в подложке, не могут попасть в область кармана. Число электронов, генерируемых в самом кармане, мало, так как его глубина много меньше длины пробега α -частиц. К тому же половина электронов, образовавшихся в кармане, диффундирует вниз и коллектируется p - n переходом карман—подложка.

Для защиты от воздействия α -излучения материалов корпуса применяют органические полиимидные покрытия кристалла толщиной 50 мкм, задерживающие α -частицы.

9.3. ЭЛЕМЕНТЫ МИКРОСХЕМ РЕПРОГРАММИРУЕМЫХ ПОСТОЯННЫХ ЗАПОМИНАЮЩИХ УСТРОЙСТВ

Репрограммируемые ПЗУ хранят информацию при отключенном источнике питания. Ввод информации называют *программированием*. Установку элементов памяти в исходное одинаковое состояние, соответствующее хранению лог. 0 (или лог. 1), называют *стиранием информации*. В зависимости от типа элементов памяти оно может осуществляться электрическим или неэлектрическим способом. Соответствующие устройства обозначают ЭСППЗУ (электрически стираемые программируемые ПЗУ) или СППЗУ. В СППЗУ стирание осуществляется сразу для всех элементов накопителя, в ЭСППЗУ его можно произвести в отдельной строке и даже в произвольно выбранном одном элементе. Стирание и последующее программирование образуют *цикл перепрограммирования*.

Элементы памяти основываются на бистабильных МДП-транзисторах, которые могут находиться в одном из двух состояний, соответствующих хранению лог. 1 или лог. 0. Наиболее распространенными являются транзисторы с «плавающим» затвором, у которых между управляющим затвором и подложкой расположен второй затвор, со всех сторон окруженный диэлектриком. Потенциал второго затвора изменяется в зависимости от заряда на нем, отсюда и название «плавающий». Хранимая информация определяется зарядом на плавающем затворе.

Элементы СППЗУ. Структура и эквивалентная схема запоминающего элемента показаны на рис. 9.11, *а, б* соответственно. Область 1 является истоком транзистора и одновременно частью общей шины, проходящей в направлении строки перпендикулярно чертежу. Сток 2 соединен с металлической шиной столбца Y . Два затвора транзистора выполнены из сильнолегированного поликремния. Верхний затвор 3 — управляющий, совмещен с шиной строки X , нижний 4, предназначен

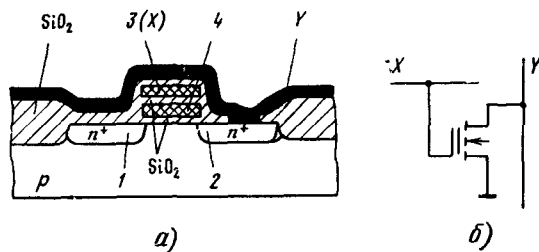


Рис. 9.11

ный для хранения заряда, — плавающий. Толщина диоксида между плавающим затвором и подложкой, с одной стороны, и управляющим затвором — с другой, составляет 0,02...0,04 мкм, длина канала 1...2 мкм.

В случае хранения лог. 1 на плавающем затворе существует отрицательный заряд электронов и пороговое напряжение по управляющему затвору $U_{\text{пор1}}$ получается высоким (несколько вольт). Если хранится лог. 0, то заряд на плавающем затворе равен нулю или положителен, тогда пороговое напряжение $U_{\text{пор0}}$ низкое (или даже отрицательное). Разность пороговых напряжений связана с величиной заряда: $U_{\text{пор1}} - U_{\text{пор0}} = Q/C_d$, где $C_d = \epsilon_0 \epsilon_d S/d$ — емкость между затвором управления и подложкой; S — площадь затвора; d — суммарная толщина диэлектрика между двумя затворами и между плавающим затвором и подложкой. Так как токи утечки диэлектрика ничтожно малы, то время хранения, являющееся важным параметром элемента памяти, большое. По оценкам оно превышает 10 лет при повышенной температуре (70...100 °С), когда токи утечки максимальны.

В режиме считывания на шину X выбранной строки подают напряжение U_X , лежащее в пределах $U_{\text{пор0}} \dots U_{\text{пор1}}$, а на шины остальных строк — напряжение, меньшее $U_{\text{пор0}}$, так что в элементах памяти этих строк транзисторы закрыты. В выбранной строке транзисторы будут открытыми или закрытыми в зависимости от хранимой информации. Следовательно, в шине Y выбранного столбца в случае хранения лог. 0 будет протекать ток, а в случае хранения лог. 1 ток равен 0. Ток в шине Y воспринимается усилителем считывания. Время считывания определяется значением тока, чувствительностью и быстродействием усилителя и других схем обслуживания. Оно того же порядка, что и в СБИС ОЗУ.

В режиме программирования напряжение на шине Y выбранного столбца устанавливается высоким ($U_{Y \text{ прог}} \approx 10 \text{ В}$), если необходимо создать отрицательный заряд на плавающем затворе (запрограммировать лог. 1). В противном случае $U_Y = 0$. Напряжение на шине выбранной строки также устанавливается высоким, причем $U_X \text{ прог} > U_{Y \text{ прог}}$. Программирование основано на инжекции горячих электронов в окисел у стокового конца канала (см. § 4.2). Они генерируют

ся в сильном электрическом поле, высокая напряженность которого обусловлена малой длиной канала и большим напряжением $U_{\text{упр}}$. Число инжектированных электронов пропорционально току канала, составляющему несколько миллиампер. Так как напряжение на управляющем затворе выше, чем на стоке, в диэлектрике существует вертикальная составляющая вектора напряженности электрического поля, благодаря которой инжектированные в окисел электроны дрейфуют к плавающему затвору и накапливаются на нем. Ток через диэлектрик очень мал (единицы пикоампер), поэтому время программирования одного элемента памяти весьма велико (около 1 мс) и на 4 порядка превышает время считывания.

Стирание (удаление электронов с плавающего затвора) производится облучением кристалла ультрафиолетовым светом, для чего в корпусе микросхемы предусматривается окно с кварцевым стеклом. Под действием света электроны приобретают энергию, достаточную для перехода с плавающего затвора в диоксид. Далее они дрейфуют в подложку, потенциал которой должен быть выше, чем на управляющем затворе. Время стирания порядка 1 мин. Для проведения этой операции микросхема должна быть извлечена из устройства и поставлена в специальную установку стирания, что практически не всегда удобно, причем стирается содержимое всего накопителя.

В каждом цикле перепрограммирования происходят небольшие изменения в физической структуре элемента. Протекание токов через диоксид приводит к захвату в нем электронов ловушками и образованию дополнительного поверхностного заряда. Установлено, что после большого числа циклов разность $U_{\text{пор1}} - U_{\text{пор0}}$ уменьшается. Поэтому существует максимально допустимое число циклов перепрограммирования (около 10^3).

Достоинством рассмотренного элемента является его простота и малая площадь (6...10 литографических квадратов). Это позволяет создавать СБИС большой информационной емкости (1 Мбит и выше).

Элементы ЭСПЗУ, программируемые с помощью инъекции горячих электронов. Процессы программирования и считывания в этих элементах протекают так же, как и в рассмотренных выше элементах СПЗУ. Для стирания используют туннелирование, т. е. переход электронов из плавающего затвора в диоксид посредством туннельного эффекта. Механизм туннелирования поясняется энергетической диаграммой на рис. 9.12, левая часть которой соответствует затвору $3n^+$ -типа, а правая — диэлектрику (SiO_2). Ширина запрещенной зоны диоксида (9 эВ) значительно больше, чем кремния. Высота потенциального барьера Φ на границе затвор—диоксид около 4 эВ. Наклон зон в диэлектрике обусловлен электрическим полем. Электрон I туннелирует сквозь барьер, толщина d которого гораздо меньше толщины всего диэлектрика и уменьшается с ростом напряженности электрического поля E ($d \approx \Phi/qE$).

Для получения приемлемого туннельного тока (порядка 1 пА) и достаточно малого времени стирания толщина барьера d должна со-

ставлять единицы нанометров, а соответствующая напряженность электрического поля — более 10^6 В/см. Коллектором электронов, поступающих с плавающего затвора, может служить специальный поликремниевый электрод стирания или n^+ -область, стоковая область транзистора, а также управляющий затвор. В связи с этим существует значительное число разновидностей элементов памяти.

На рис. 9.13 показана структура типа представленной на рис. 9.11, а (в сечении, перпендикулярном каналу, исток и сток не видны). Она содержит три слоя поликремния. Первый слой образует шины стирания $Y_{ст}$, проходящие в направлении столбца. Во втором слое формируется плавающий затвор 4, в третьем — шина X , образующая управляющий затвор 3. Толщина диоксида между слоями поликремния и между затвором 4 и подложкой 0,01...0,04 мкм. При стирании на шинах X напряжение равно нулю, а на шины стирания подается высокое напряжение около 30 В, в результате чего электроны с плавающего затвора 4 туннелируют в диоксид и дрейфуют через него на шину $Y_{ст}$. Так как диэлектрик между слоями 4 и $Y_{ст}$ довольно толстый, то токи туннелирования очень малы. Стирание производится для всех элементов памяти накопителя одновременно и занимает столько же времени, как и в СППЗУ.

Для стирания можно использовать туннелирование электронов с плавающего затвора в окисел вверх и последующий их дрейф на управляющий затвор. Для этого на стоке напряжение должно быть нулевым, а на управляющем затворе высоким (30...35 В), что существенно больше, чем при программировании (20 В). Иначе в процессе программирования возможно нежелательное стирание в невыбранных элементах. Туннельный ток существенно зависит от напряжения на управляющем затворе, изменяясь на порядок при изменении U_3 на 1 В. Для указанных напряжений при программировании он на много порядков меньше, чем при стирании, и не влияет на работу схемы.

Туннелирование вверх при тех же напряжениях и толщине диэлектрика происходит значительно интенсивнее, чем вниз. Нижняя поверхность затвора — гладкая, а верхняя — шероховатая, так как в процессе окисления поликремния на его поверхности образуются острые игольчатые выступы (шероховатости). В этих местах резко возрастает напряженность электрического поля, а значит, и ток туннелирования. Шероховатости являются своеобразными эмиттерами электронов в слой диоксида. Поэтому его толщина может быть выбрана достаточно большой (0,04...0,05 мкм).

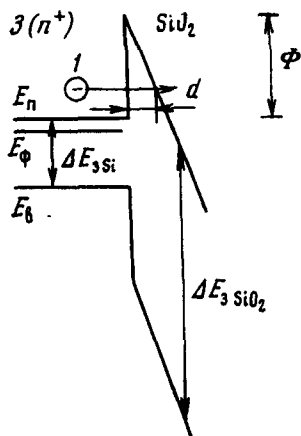


Рис. 9.12

Элементы ЭСППЗУ занимают примерно в 2 раза большую площадь на кристалле, чем элементы СППЗУ, следовательно, информационная ем-

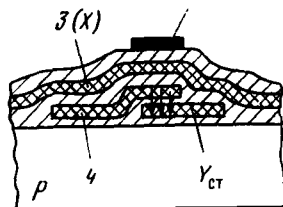


Рис. 9.13

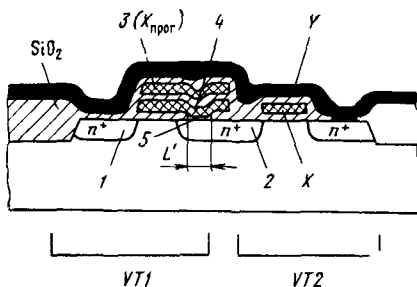


Рис. 9.14

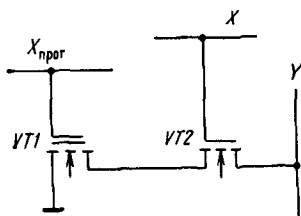


Рис. 9.15

кость СБИС в 2 раза меньше. Недостатком является протекание довольно больших токов при программировании при высоких напряжениях питания. Поэтому необходимы несколько источников питания.

Элементы ЭСПЗУ, программируемые с помощью туннельного эффекта. На рис. 9.14 показана структура, а на рис. 9.15 — эквивалентная схема элемента памяти. Левая часть структуры образует бистабильный транзистор (1 — исток, 2 — сток, 3 — управляющий затвор, совмещенный с шиной программирования строки $X_{\text{прог}}$, 4 — плавающий затвор). Слой диоксида 5, отделяющий сток 2 от затвора 4, имеет очень малую толщину — порядка 10 нм (*туннельно-тонкий диоксид*). При программировании на шину $X_{\text{прог}}$ выбранной строки подается высокое напряжение (20 В). Если на плавающий затвор надо ввести заряд (запрограммировать лог. 1), то на стоке следует установить нулевое напряжение. Тогда происходит туннелирование электронов из стока в слой 5 и их дрейф на плавающий затвор. Если же не надо вводить заряд, то на стоке устанавливают такое же напряжение, как и на управляющем затворе. Для стирания (удаления заряда) на управляющий затвор необходимо подать нулевое напряжение, а на сток — высокое. Тогда электроны совершают обратный переход с плавающего затвора в сток. Таким образом, программирование и стирание идут с одинаковой скоростью. Эти процессы отличаются только знаком напряженности электрического поля в слое 5 и направлением движения электронов.

Выполнить элемент памяти только на одном транзисторе нельзя. Если сток 2 соединить с шиной Y , то при программировании в элементах невыбранных строк ($U_{X_{\text{прог}}} = 0$) будет происходить стирание, когда на шину Y подается высокое напряжение. Для предотвращения этого вводят второй транзистор $VT2$, затвор которого совмещен с шиной выборки строки X . В невыбранных элементах транзистор $VT2$ закрыт, тем самым исключается попадание высокого напряжения на сток 2. Упрощается и процесс считывания: на всех шинах $X_{\text{прог}}$ устанавливают нулевое напряжение, а на шину X выбранной строки поддают небольшое напряжение (2...3 В), опирающее транзистор $VT2$. В шине Y течет ток, если считывается лог. 0, так как при $U_{\text{пор}} = 0 < 0$ и $U_{X_{\text{прог}}} = 0$ транзистор $VT1$ открыт. При считывании лог. 1 $U_{\text{пор}} = 0$, транзистор $VT1$ закрыт и ток в шине Y равен нулю. При отсутствии транзистора $VT2$ и соединении стока тран-

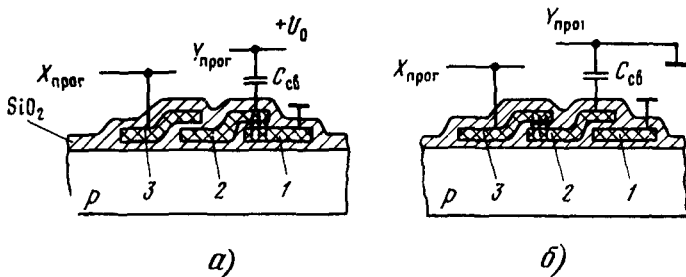


Рис. 9.16

зистора $VT1$ с шиной Y в ней протекал бы также ток невыбранных элементов столбца. Для его устранения надо было бы подавать отрицательное напряжение на шины программирования ($X_{\text{прог}}$) невыбранных строк

Достоинством рассмотренного элемента является возможность стирания информации в произвольно выбранном элементе памяти за малое время (менее 1 мс). Максимальное число циклов перепрограммирования достигает 10^6 — больше, чем для элементов, использующих инжекцию горячих электронов. Однако площадь элемента памяти в 3...4 раза больше, чем у элементов СППЗУ и составляет 30...40 литографических квадратов. Недостатком также является необходимость получения тонкого высококачественного диоксида, что сложно технологически и ухудшает надежность микросхем.

Толщина диоксида может быть увеличена в несколько раз, если использовать туннелирование с шероховатой поверхности поликремния. Структура элемента памяти содержит три слоя поликремния, взаимное расположение которых показано на рис. 9.16 (области истока, стока и шины X , Y для простоты не показаны). Источником электронов при программировании служит электрод 1 первого слоя полнкремния, являющийся общей шиной (он соединяется с областью истока транзистора). Плавающий затвор 2 создают нанесением второго, а затвор управления 3 — третьего слоя поликремния. Толщина диоксида между слоями 1 и 2, 2 и 3 около 0,04 мкм. В такой структуре возможно только одностороннее туннелирование с электрода 1 вверх. Обратное туннелирование вниз невозможно, так как нижняя поверхность плавающего затвора гладкая, а напряженность электрического поля из-за большой толщины диэлектрика мала.

Для удаления электронов с плавающего затвора при стирании используют туннелирование вверх и дрейф электронов на управляющий затвор. В обоих режимах программирования и стирания на управляющий затвор (шину $Y_{\text{прог}}$) подают высокое напряжение 10...20 В. Чтобы при программировании не было перехода электронов с плавающего затвора на управляющий, а при стирании — с электрода 1 на плавающий затвор, между плавающим затвором и специальной управляющей шиной $Y_{\text{прог}}$ создают конденсатор связи $C_{\text{св}}$. При программировании (рис. 9.16, а) на $Y_{\text{прог}}$ подают положительное напряжение U_0 , дополнительно повышающее потенциал плавающего затвора. Разность потенциалов между ним и управляющим затвором получается малой, и туннелирование с плавающего затвора вверх отсутствует. При стирании (рис. 9.16, б) на управляющей шине $Y_{\text{прог}}$ устанавливают нулевое напряжение, понижающее потенциал плавающего затвора. В результате разность потенциалов между затворами 3 и 2 получается высокой и идет интенсивное туннелирование электронов с затвора 2 вверх. В то же время разность потенциалов между электродами 2 и 1 мала и туннелирование с электрода 1 отсутствует.

Элемент памяти по сравнению с предыдущим характеризуется меньшей площадью (15...20 литографических квадратов), что позволяет создавать СБИС с большой информационной емкостью (256 Кбит...1 Мбит). Из-за гораздо больших токов туннелирования время программирования получается малым (0,03 мс/байт).

9.4. ЭЛЕМЕНТЫ ПАМЯТИ НА БИПОЛЯРНЫХ ТРАНЗИСТОРАХ

Среди биполярных наиболее распространены элементы памяти статического типа. В основе элемента лежит симметричный триггер на двух транзисторах. На рис. 9.17 показан элемент памяти, содержащий транзисторы $VT1, VT2$ с перекрестными связями, у которых первые эмиттеры ($\mathcal{E}_{11}, \mathcal{E}_{21}$) соединены с шиной строки X' , выполняющей также функцию шины питания (минус), а вторые ($\mathcal{E}_{12}, \mathcal{E}_{22}$) — соединены с шинами столбца Y', Y'' и применяются для записи и считывания. Коллекторы через резисторы $R1, R2$ соединены со второй шиной строки X'' , используемой также в качестве шины питания (плюс). Транзисторы $VT3, VT4$ с резисторами в коллекторах и генераторы токов I_Y подключены на концах шин столбцов. Они не относятся к элементу памяти, но необходимы для его управления. Шины столбцов подключены также ко входам дифференциального усилителя считывания.

В режиме хранения на шине X' устанавливается напряжение $U_{X'xp}$, положительное относительно общей шины микросхемы. Разность $U_{X''} - U_{X'} \equiv U'_{и.п}$ играет роль напряжения питания элемента памяти. В одном устойчивом состоянии транзистор $VT1$ открыт и насыщен, а транзистор $VT2$ закрыт, т. е. $U_{KЭ1} = U_{KЭ\text{ нас}} \approx 0,1 \text{ В}$, $U_{KЭ2} \approx U'_{и.п}$. В другом устойчивом состоянии наоборот: транзистор $VT1$ закрыт, а транзистор $VT2$ насыщен, т. е. $U_{KЭ1} = U'_{и.п}$, $U_{KЭ2} = U_{KЭ\text{ нас}}$. На базы управляющих транзисторов $VT3, VT4$ подаются одинаковые напряжения U_B . На шинах столбцов также устанавливаются одинаковые напряжения $U_Y = U_B - U_{БЭ}$, где $U_{БЭ}$ — прямое напряжение на эмиттерных переходах транзисторов $VT3, VT4$. Напряжение U_B выбирают исходя из условия $U_Y = U_{X'xp} + 0,2...0,3 \text{ В}$. При этом в управляющих эмиттерах $\mathcal{E}_{12}, \mathcal{E}_{22}$ токи практически отсутствуют.

Для снижения потребляемой мощности значение $U'_{и.п}$ должно быть минимальным, но таким, чтобы сохранялась работоспособность, т. е. существовали два устойчивых состояния триггера и обеспечивалась определенная помехо-

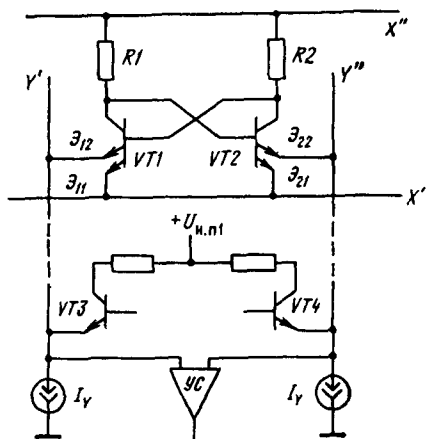


Рис. 9.17

устойчивость. Последняя пропорциональна разности напряжений на коллекторах транзисторов $VT1, VT2$. Для обеспечения работоспособности достаточно заполнить условие насыщения одного из транзисторов $I_{БЭ} > sI_{Кнас}$, где $I_{Б} = (U'_{и,п} - U_{БЭ})/R$; $I_{Кнас} = (U'_{и,п} - U_{КЭнас})/R$; $s > 1$ — требуемая степень насыщения. Значение $s = 1$ соответствует границе насыщения, т. е. границе работоспособности, когда разность напряжений на коллекторах транзисторов и помехоустойчивость стремится к нулю. Условие насыщения приводит к ограничению: $U'_{и,п} > U_{БЭ}/(\beta - s)$. Для обеспечения приемлемой помехоустойчивости около 0,1 В достаточно иметь $s \leq 1,01$. Однако выбирать $U'_{и,п}$, ориентируясь на значение s , столь близкое к единице, на практике нельзя, так как незначительное отклонение $U'_{и,п}$ или β может привести к потере работоспособности. Так как $\beta \gg 1$, то $U'_{и,п} > U_{БЭ}$; практически допустимо $U'_{и,п} = 0,8...1$ В. При этом реальная степень насыщения $s \gg 1$, особенно при повышенной температуре.

С ростом сопротивлений резисторов R мощность уменьшается, но увеличивается площадь элемента памяти и снижается быстродействие. Сопротивления выбирают исходя из оптимального соотношения между этими параметрами (сотни килоом). Их можно получить на основе тонких ионно-легированных слоев с сопротивлением порядка нескольких килоом на квадрат. Возможно использование поликремниевых резисторов, но это усложняет технологический процесс создания микросхем. Относительная площадь элемента памяти не менее 500...600 литографических квадратов.

В режиме считывания повышают напряжение на шине X' выбранной строки на величину $\Delta U_{X'} < U_{БЭ}$ до значения $U_{X'выб}$ (рис. 9.18, а), удовлетворяющего условию $U_{Yxp} < U_{X'выб} < U_{Yxp} + U_{БЭ}$. Одновременно на такую же или большую величину повышается и напряжение на шине X'' .

Пусть транзистор $VT1$ открыт, а $VT2$ закрыт. Напряжение $U_{Б2}$ на базе транзистора $VT2$ приблизительно совпадает с напряжением на шине X' и также увеличивается (рис. 9.18, б). Ток в управляющем эмиттере \mathcal{E}_{21} остается равным нулю, так как $U_{Б2} - U_{Yxp} \approx U_{X'выб} - U_{Yxp} < U_{БЭ}$, поэтому напряжение на шине Y'' не изменяется (рис. 9.18, в). В управляющем эмиттере транзистора $VT1$ появляется ток считывания $I_{сч}$, так как $U_{Б1} - U_{Yxp} \approx U_{X'выб} - U_{Yxp} + U_{БЭ} > U_{БЭ}$. Напряжение на шине Y' повышается, стремясь к значению $U_{X'выб}$ (рис. 9.18, в), а эмиттерный переход транзистора $VT3$ запирается. Напряжение на базе транзистора $VT1$ в первый момент скачком изменяется на величину $U_{Yxp} - U_{X'xp}$, после чего управляющий эмиттерный переход отпирается и напряжение $U_{Б1}$ изменяется с той же скоростью, что и $U_{Y'}$ (см. рис. 9.18, б). Разность $U_{Б1} - U_{Y'} \approx U_{БЭ}$ остается практически постоянной. На шинах столбца возникает разность напряжений, воспринимаемая усилителем считывания.

Задержка между поступлением импульса выборки на шину X' и моментом срабатывания усилителя считывания (время считывания $t_{сч}$ на рис. 9.18, в), равна времени, в течение которого разность напряжений достигает порога срабатывания усилителя δU_{yc} . Это время определяется процессом заряда емкости шины C_Y током элемента памяти: $t_{сч} \approx C_Y \delta U_{yc} / I_{сч}$. Для уменьшения $t_{сч}$ надо повышать ток $I_{сч}$, т. е. напряжение $U'_{и,п} = U_{X''} - U_{X'}$. Однако $U'_{и,п}$ ограничено напряжением питания всей микросхемы.

Рассмотрим режим записи. Пусть первоначально транзистор $VT1$ насыщен, а транзистор $VT2$ закрыт. Одновременно с подачей импульса выборки на шину X' повышают напряжение на базе транзистора $VT3$ и понижают напряжение на базе транзистора $VT4$. Тогда $VT4$ запирается и большой ток генератора I_Y течет через управляющий эмиттер \mathcal{E}_{22} , переводя транзистор $VT2$ в режим насыщения и понижая напряжение на его коллекторе. Это приводит к запирающему транзистора $VT1$. В то же время на управляющем эмиттере \mathcal{E}_{12} будет обратное напряжение из-за повышения напряжения на базе $VT3$ и, следовательно, на шине Y' .

Описанный элемент памяти применяется в микросхемах памяти ТТЛ с невысокой степенью интеграции (порядка 4 Кбит). Его недостаток заключается в невысоком быстродействии. Время записи (от момента поступления импульса выборки на шину X' до установки триггера в нужное состояние) велико из-за процесса рассасывания избыточных неосновных носителей в транзисторе, переключающемся из режима насыщения в закрытое состояние. Время считывания велико вследствие малого тока $I_{сч}$.

Время записи можно уменьшить, если снизить время рассасывания, обеспечив устойчивую работу элемента памяти при степени насыщения одного из транзисторов $s \approx 1$. Время считывания можно уменьшить, если обеспечить большой ток считывания в режиме выборки, сохранив его малым в режиме хранения. Это достигается при подключении шин X' и X'' к генератору тока и введении в элемент

диодов $VD1, VD2$ (рис. 9.19). Ток питания распределяется равномерно между всеми элементами строки. В режиме хранения он мал и задается генератором I_{xp} .

Пусть транзистор $VT1$ открыт, а $VT2$ закрыт. Токи, протекающие через диоды, практически равны нулю. Действительно, из-за малого

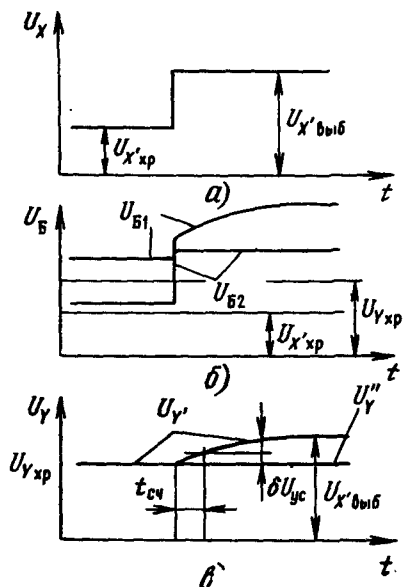


Рис. 9.18

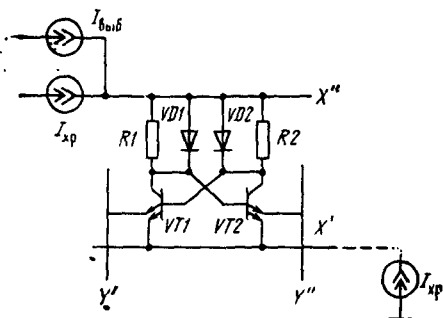


Рис. 9.19

тока падение напряжения на резисторе R_2 , а значит, и на диоде VD_2 близко к нулю; при этом $U_{X''} - U_{X'} \approx U_{БЭ}$. Напряжение на диоде VD_1 $U_{X''} - U_{X'} - U_{КЭ\text{ нас}} = U_{БЭ} - U_{КЭ\text{ нас}}$. Диоды выполняют в виде транзисторов в диодном включении, имеющих ту же структуру, что и транзисторы VT_1, VT_2 , причем используются эмиттерные переходы ($U_{КБ} = 0$). Если $U_{КЭ\text{ нас}} \geq (3...4)\varphi_T$, то ток диода VD_1 много меньше тока, протекающего через транзистор VT_1 и резистор R_1 .

В режиме выборки включается генератор $I_{\text{выб}}$ ($I_{\text{выб}} \gg I_{Xp}$). Тогда напряжение на резисторе R_2 повышается, соответственно возрастают величина $U_{X''} - U_{X'}$ и напряжение на диоде VD_1 , так что он отпирается. Если ток $I_{\text{выб}}$ не слишком велик, то диод VD_2 по-прежнему остается закрытым. Ток коллектора транзистора VT_1 теперь не ограничивается резистором R_1 : $I_{K1} = \beta I_{B1} = \beta(U_{X''} - U_{БЭ1})/R_2$. Транзистор VT_1 работает на границе режима насыщения и активного режима, степень его насыщения $s \approx 1$. Напряжение на коллекторе повышается до значения $U_{КЭ1} = U_{X''} - U_{X'} - U_{VD1} \approx U_{БЭ1} + U_{R2} - U_{VD1} \approx U_{R2}$, где U_{VD1} , U_{R2} — прямое напряжение на диоде VD_1 и падение напряжения на резисторе R_2 .

К шинам столбца подключают управляющие транзисторы, генераторы тока и усилители считывания, как показано на рис. 9.17. При считывании ток $I_{\text{выб}}$, распределяясь между элементами памяти строки, течет через управляющие эмиттеры открытых транзисторов в шины столбцов. Таким образом получают большой ток считывания, обеспечивающий быстрый заряд емкостей шин столбцов и малое время считывания. Время записи мало вследствие малой, очень близкой к единице, степени насыщения транзисторов в элементах памяти.

При слишком большом токе $I_{\text{выб}}$ может открыться диод VD_2 . Тогда напряжения на коллекторах обоих транзисторов становятся примерно одинаковыми ($U_{КЭ1} \approx U_{БЭ1} = U_{КЭ2}$). Помехоустойчивость триггера близка к нулю, поэтому такой режим недопустим. Максимально допустимый ток питания одного элемента памяти равен $(\beta + 1)(U_{БЭ}/R)$. Он примерно в $\beta + 1$ раз превышает ток в режиме хранения.

Площадь элемента памяти на рис. 9.19 составляет 800...1000 литографических квадратов. Он применяется в быстродействующих микросхемах памяти ЭСЛ с небольшой информационной емкостью (1...4 Кбит).

Описанные элементы памяти из-за большой площади не позволяют создавать СБИС памяти. Из известных биполярных структур наиболее пригодны для СБИС структуры с инжекционным питанием (см. гл. 3). Существует несколько разновидностей элементов памяти [13].

В качестве примера рассмотрим элемент, эквивалентная схема которого представлена на рис. 9.20, а. Он содержит два транзистора с перекрестными связями, образующих триггер (K_{11}, K_{21} — первые коллекторы транзисторов VT_1, VT_2). Эмиттеры соединены с шиной строки, а вторые коллекторы K_{12} , и K_{22} (управляющие) — с шинами

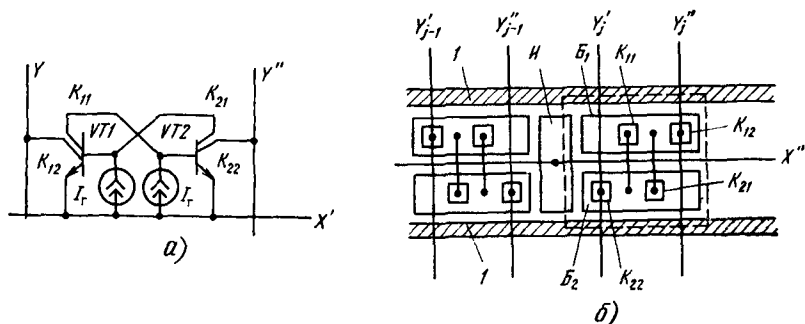


Рис. 9.20

столбца. Хранение, считывание и запись информации осуществляются принципиально так же, как и в элементе памяти на рис. 9.17.

При выборке возможно значительное увеличение тока питания элементов выбранной строки (в 100 и более раз), поскольку они сохраняют работоспособность при изменении тока инжектора в пределах нескольких порядков. Ток заряда емкости шины столбца, вытекающий при считывании из управляющего коллектора, может достигать значения $I_T / (1 - \alpha_{In}) \gg I_T$. Все это обеспечивает малое время считывания.

При записи на одной из шин столбца устанавливается низкое напряжение. Пусть транзистор, управляющий коллектор которого соединен с этой шиной, первоначально включен и насыщен. При выборке строки, т. е. повышении напряжения на шине X', в управляющем коллекторе появляется вытекающий ток. В результате транзистор из режима насыщения переходит в активный режим, напряжение $U_{КЭ}$ повышается, второй транзистор триггера включается и триггер переходит в противоположное состояние.

На рис. 9.20, б показан фрагмент топологии накопителя с двумя элементами памяти одной строки, имеющими один общий инжектор И, связанный с шиной питания X'' (B_1, B_2 — базы транзисторов VT1, VT2). Общим эмиттером транзисторов одной строки и шиной X' является скрытый слой n^+ -типа. Так как потенциалы эмиттеров транзисторов разных строк в режиме выборки различаются, то эти транзисторы должны быть изолированными. Поэтому микросхема создается на подложке p-типа и содержит изолирующие слои 1 (диэлектрические или p⁺-типа). Штриховой линией обведена область, соответствующая одному элементу памяти. Относительная площадь элемента 250...300 литографических квадратов, что в 3...5 раз меньше, чем для элементов на рис. 9.17, 9.19. Примерно такую же площадь имеют статические элементы памяти на КМДП-транзисторах. Статические элементы на n-канальных МДП-транзисторах имеют меньшую, а динамические — много меньшую площадь.

Помимо рассмотренных известны элементы памяти с инжекционным питанием, в которых для записи и считывания используют специальные управляющие инжекторы, соединенные с шинами столбцов, ме-

талл-полупроводниковые диоды или дополнительные транзисторы. В последнем случае элемент памяти содержит не менее шести транзисторов, однако не требуется изоляция между транзисторами соседних строк и упрощается управление.

В СБИС памяти на транзисторах с инжекционным питанием обычно выполняют только накопитель. Остальные узлы СБИС (схемы управления, считывания и т. д.) создают на основе обычных («неинжекционных») транзисторов.

Глава 10. ЦИФРОВЫЕ ИНТЕГРАЛЬНЫЕ МИКРОСХЕМЫ

На основе ЛЭ и элементов памяти, рассмотренных в предыдущих главах, создают цифровые микросхемы с более сложными функциями, объединяемые в серии. *Серия цифровых микросхем* — это совокупность нескольких типов микросхем, которые выполняют различные функции преобразования цифровой информации, имеют единое конструктивно-технологическое исполнение и предназначены для совместного применения. Последнее предполагает одинаковые напряжения источников питания, уровни сигнала, помехоустойчивость, а также сопряжение, т. е. возможность непосредственного соединения входов и выходов различных микросхем.

Серии цифровых микросхем малой и средней степеней интеграции явились первыми массовыми промышленными микроэлектронными изделиями широкого применения. Первые серии цифровых микросхем были выпущены в начале 60-х годов и с тех пор непрерывно совершенствовались; они и в настоящее время широко применяются в радиоэлектронной аппаратуре различного назначения. Первоначально были разработаны серии цифровых микросхем на биполярных транзисторах, позднее — на *p*- и *n*-канальных МДП-транзисторах, а также на комплементарных МДП-транзисторах. Затем было начато производство сверхскоростных микросхем на арсенид-галлиевых МЭП-транзисторах.

В настоящее время отечественной и зарубежной промышленностью выпускаются десятки серий цифровых микросхем [14, 26]. Они отличаются друг от друга составом (количеством разных микросхем и выполняемыми ими функциями), типом основных ЛЭ, конструктивно-технологическим исполнением, электрическими параметрами. Столь большое число серий объясняется тем, что каждая из них оптимизирована для применения в определенных типах цифровой аппаратуры и, как правило, различные серии не взаимозаменяемы.

Одна из наиболее широко применяемых серий цифровых микросхем, выпускаемых отечественной промышленностью, — серия К155, содержащая более 100 различных микросхем и использующая элементы

ТТЛ. Серия включает микросхемы, выполняющие основные логические операции и отличающиеся числом ЛЭ в одном корпусе, числом входов, нагрузочной способностью, а также различные триггеры, счетчики, сумматоры, дешифраторы, схемы контроля четности, регистры, селекторы—мультиплексоры, преобразователи кодов (двоично-десятичного в двоичный и обратно), ЗУ и др. Указанные микросхемы подробно изучаются в специальных дисциплинах [4]. Мы ограничимся рассмотрением наиболее характерных примеров. По мере развития технологии и перехода к меньшим размерам элементов происходит модернизация серий цифровых микросхем, расширяется их состав за счет включения более сложных микросхем, повышается быстродействие, снижаются потребляемая мощность и стоимость.

10.1. ТРИГГЕРЫ

Триггер — это электронное устройство с двумя устойчивыми состояниями. Элементы памяти, рассмотренные в гл. 9, относятся к простейшему типу триггеров, предназначенных для хранения информации. Триггеры могут выполнять и другие функции, например сдвиг во времени (задержку), счет. В микроэлектронных цифровых устройствах применяют десятки разновидностей триггеров, отличающихся выполняемой функцией, способом записи информации, структурной схемой и элементной базой.

По способу записи информации различаются *асинхронные* и *синхронные* (тактируемые) триггеры. Состояние асинхронного триггера изменяется при поступлении сигналов на информационные входы. В синхронном триггере кроме информационных имеется *тактовый* вход, так что состояние триггера может измениться только после появления на нем *тактирующего импульса* (ТИ). Существуют синхронные триггеры, переключающиеся непосредственно после поступления ТИ, и триггеры с внутренней задержкой, переключающиеся после окончания ТИ.

В качестве элементной базы триггеров могут использоваться любые ЛЭ на биполярных и полевых транзисторах (см. гл. 7, 8). Тип применяемых ЛЭ определяет электрические параметры триггера: помехоустойчивость, потребляемую мощность, максимальную частоту переключения.

RS-триггер. На рис. 10.1, а, б приведены соответственно структурная схема и условное графическое обозначение триггера на элементах И-НЕ и инверторах. Триггер является асинхронным и имеет два информационных входа *S* (Set-установка) и *R* (Reset— сброс). При

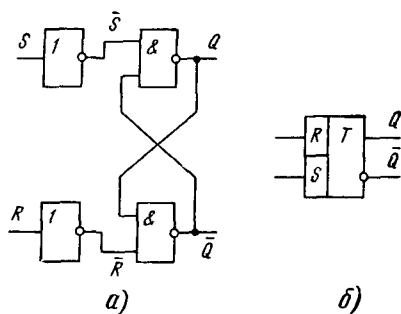


Рис. 10.1

поступлении импульса на вход S ($S = 1, R = 0$) на выходах ЛЭ получаем $\bar{S} = 0, \bar{R} = 1$. Поэтому триггер устанавливается в состояние $Q = 1, \bar{Q} = 0$, которое сохраняется после окончания импульса на входе S , т. е. при $S = R = 0$. Аналогично при поступлении импульса на вход R ($S = 0, R = 1$) триггер устанавливается в состояние $Q = 0, \bar{Q} = 1$. Таким образом, функционирование триггера можно описать *характеристическим уравнением* $Q^{n+1} = S + \bar{R}Q^n$, где Q^n, Q^{n+1} — соответственно сигнал на выходе до и после поступления входного импульса.

Предположим, что импульсы подаются на оба входа одновременно ($S = R = 1$), тогда во время их действия получаем $\bar{S} = \bar{R} = 0$ и $Q = \bar{Q} = 1$. По окончании импульсов триггер случайным образом устанавливается в одно из двух состояний: $Q = 0$ или $Q = 1$, т. е. предсказать состояние триггера невозможно. Поэтому говорят, что комбинация входных сигналов $S = R = 1$ приводит к неопределенному состоянию; она недопустима.

Задержка переключения триггера равна $4t_{зд.р.ср}$, а потребляемая мощность в статическом режиме — $4P_{ср}$, где $t_{зд.р.ср}$ и $P_{ср}$ рассчитываются по формулам (7.6) и (7.5) соответственно. Максимальная частота переключения триггера определяется минимально допустимым временным интервалом между двумя последовательными сигналами минимальной длительности, поступающими поочередно на входы триггера: $F_{макс} = 1/4t_{зд.р.ср}$.

RST-триггер. Он отличается от RS-триггера тем, что имеет тактовый вход C (Clock — времязадающий) и его состояние может изменяться только при поступлении на этот вход ТИ. В промежутках между ТИ изменения сигналов на информационных входах не вызывают переключения триггера, а лишь определяют его состояние, в которое он переключается при поступлении очередного ТИ. На рис. 10.2, а, б показаны схема RST-триггера и его условное графическое обозначение соответственно. Здесь в отличие от схемы RS-триггера (см. рис. 10.1, а) вместо инверторов используются двухвходовые элементы И-НЕ (1 и 2), причем один из входов каждого ЛЭ соединен с тактовым входом C .

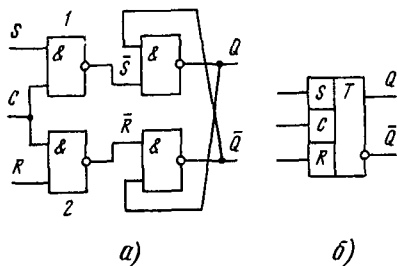


Рис. 10.2

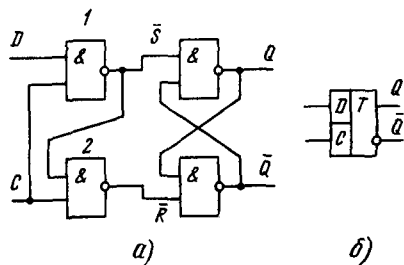


Рис. 10.3

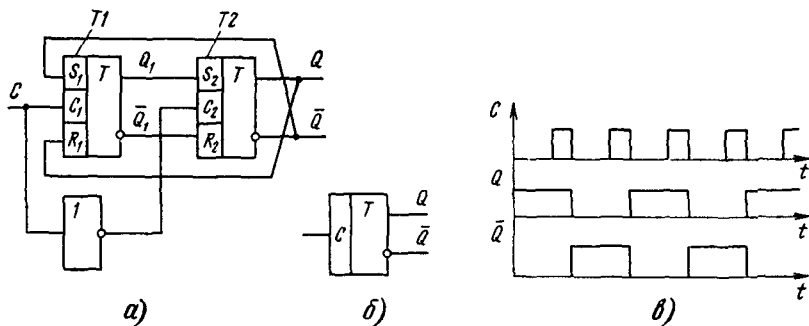


Рис. 10.4

При отсутствии ТИ ($C = 0$) состояния на выходах ЛЭ 1 и 2 (т. е. на входах \bar{S} , \bar{R}) измениться не могут, поэтому состояния на выходах Q и \bar{Q} остаются постоянными. При появлении ТИ ($C = 1$) элементы 1 и 2 по входам S и R функционируют как инверторы, т. е. точно так же, как в схеме RS -триггера. *Характеристическое уравнение RST -триггера $Q^{n+1} = C(S + \bar{R}Q^n)$.* Для RST -триггера, как и для RS , недопустимо сочетание $S = R = 1$.

D-триггер. На рис. 10.3, а, б приведены соответственно схема и условное графическое обозначение D -триггера (Delay — задержка). Он имеет информационный вход D и тактовый вход C . От RST -триггера (см. рис. 10.2, а) D -триггер отличается тем, что его вход R соединен с выходом ЛЭ 1.

При отсутствии тактового импульса (т. е. при $C = 0$) сигналы \bar{S} и \bar{R} не зависят от входного сигнала D и триггер сохраняет то состояние, в которое он переключился при поступлении предыдущего ТИ. Пусть к моменту поступления очередного ТИ ($C = 1$) на информационном входе $D = 1$, тогда $\bar{S} = 0$, а $\bar{R} = 1$ и триггер установится в состояние $Q = 1$. Если при поступлении ТИ $D = 0$, то на входе ЛЭ 1 получим $\bar{S} = 1$, поэтому на выходе ЛЭ 2 будет $\bar{R} = 0$. Следовательно, триггер установится в состояние $Q = 0$. Таким образом, при действии ТИ в D -триггер (на выход Q) всегда записывается та информация, которая была на входе D , его *характеристическое уравнение $Q^{n+1} = D$.* Для устойчивой работы необходимо, чтобы сигнал на входе D не изменялся во время действия ТИ.

T-триггер. На рис. 10.4, а—в показаны соответственно структурная схема T -триггера, его условное графическое обозначение и идеализированные временные диаграммы (идеализация связана с тем, что не учитываются задержки в ЛЭ). Схема содержит два RST -триггера ($T1$ и $T2$) и инвертор. Триггер имеет один вход C и изменяет свое состояние на противоположное всякий раз, когда на вход поступает управляющий сигнал ($C = 1$), поэтому его называют *счетным* триггером.

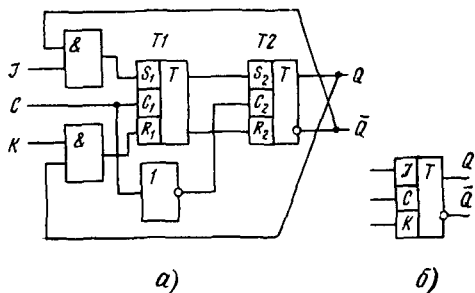


Рис. 10.5

Функционирование T -триггера определяется *характеристическим уравнением* $Q^{n+1} = CQ^n + \bar{C}\bar{Q}^n$, где Q^n , Q^{n+1} — соответственно значения сигнала на выходе Q до и после действия управляющего импульса. В интервале между входными импульсами $C = 0$ и $C_2 = 1$, поэтому в соответствии с принципом действия RST -триггера на выходах $T2$ получаем те же сигналы,

что и на выходах $T1$: $Q = Q_1$, $\bar{Q} = \bar{Q}_1$. Когда поступает управляющий импульс ($C_1 = 1$), информация с выходов $T2$ записывается в $T1$ и получаем $Q_1 = \bar{Q}$, $\bar{Q}_1 = Q$. В это время $C_2 = 0$ и состояние $T2$ не изменяется. По окончании управляющего импульса вновь имеем $C_2 = 1$ и информация из $T1$ теперь переписывается в $T2$, так что состояние изменяется на противоположное. Следовательно, в результате действия каждого управляющего импульса T -триггер переключается в противоположное состояние с задержкой, равной длительности этого импульса (см. рис. 10.4, в). Для надежного переключения длительность управляющего импульса должна быть больше времени переключения $T1$.

JK-триггер. На рис. 10.5, а, б приведены соответственно схема и условное графическое обозначение JK -триггера. В основе схемы лежит схема T -триггера (см. рис. 10.4, а), дополненная двумя элементами И, которые включены в цепи перекрестных обратных связей. Триггер имеет два информационных входа J (Жимр — переброс) и K (Кеер — держать, сохранять), а также тактовый вход C . JK -триггер — синхронный (с внутренней задержкой), т. е. его состояние может изменяться только после окончания ТИ. В отличие от RST -триггера для JK -триггера допустима комбинация $J = K = 1$, при которой он изменяет свое состояние на противоположное при поступлении очередного ТИ: $Q^{n+1} = \bar{Q}^n$. Действительно, как видно из сравнения рис. 10.5, а и 10.4, а, при $J = K = 1$ схемы И повторяют сигналы на выходах $T2$, что характерно для T -триггера. При других комбинациях сигналов на информационных входах JK -триггер функционирует как RST -триггер с внутренней задержкой. Его *характеристическое уравнение* $Q^{n+1} = JQ^n + K\bar{Q}^n$.

10.2. ПОЛУПРОВОДНИКОВЫЕ МИКРОСХЕМЫ ПАМЯТИ

Полупроводниковые микросхемы памяти применяются в ЗУ и предназначены для записи, хранения и считывания двоичной информации.

Оперативные запоминающие устройства обеспечивают хранение информации, ее оперативную запись и считывание; при работе цифровой системы происходит непрерывный обмен информацией между ОЗУ и другими устройствами. В процессе работы ПЗУ информация, предварительно записанная в них, не изменяется либо изменяется весьма редко; ПЗУ в отличие от ОЗУ используется в основном для считывания записанной в них информации. ПЗУ являются энергонезависимыми, т. е. могут хранить информацию при отключении источника питания.

По способу занесения информации микросхемы ПЗУ разделяют на три основных вида: собственно ПЗУ, программируемые ПЗУ (ППЗУ) и репрограммируемые ПЗУ (РПЗУ). Микросхема ПЗУ содержит накопитель и схемы обслуживания; информация заносится в накопитель при изготовлении. Микросхемы ППЗУ отличаются от микросхем ПЗУ тем, что в процессе их применения можно однократно ввести информацию в накопитель электрическим путем по заданной программе. Микросхемы РПЗУ предназначены для долговременного хранения и воспроизведения информации, записанной в процессе эксплуатации; они допускают многократную электрическую запись и стирание информации, но число циклов перепрограммирования ограничено ($10^4 \dots 10^7$); от ОЗУ они отличаются также значительно меньшей скоростью записи по сравнению со скоростью считывания. Различают РПЗУ с электрическим стиранием информации и стиранием с помощью ультрафиолетового освещения (РПЗУ УФ), для чего в крышке корпуса имеется окно.

Структура микросхемы ПЗУ приведена на рис. 10.6. Накопитель содержит n строк и m столбцов. Информационная емкость микросхемы памяти $M = nm$ бит.

На входы дешифраторов строк и столбцов поступают *адресные сигналы* A_0, \dots, A_N (код адреса), которые определяют, к какому элементу памяти накопителя производится обращение. Дешифратор строк формирует *сигналы выборки* на шинах строк (адресных шинах), дешифратор столбцов — на шинах столбцов (разрядных шинах).

Управляющий сигнал *выбора микросхемы* (BM) поступает в устройство управления, он определяет режим работы ПЗУ: хранение или считывание информации. Выходной сигнал $U_{\text{вых}}$ считывается с выхода устройства считывания.

На внешних входах схем обслуживания применяют специальные входные каскады, а на выходе устройства считывания — выходной каскад. Эти каскады служат для согласования входных и выходных характеристик (логических уровней) микросхемы памяти и других микросхем, входящих в данную серию. Во многих микросхемах памяти выходные каскады рассчитаны на три состояния: $U_{\text{вых}} = U^0$, $U_{\text{вых}} = U^1$ и состояние высокого сопротивления $R_{\text{выс}}$ на выходе.

Потребляемая мощность микросхемы ПЗУ $P_{\text{пот}}$ складывается из мощностей, потребляемых схемами обслуживания $P_{\text{с.о}}$ и накопителем $P_{\text{нк}}$. Чем она меньше, тем ниже быстродействие микросхемы, но при этом легче осуществляется теплоотвод и повышается надежность.

Мощность, потребляемая накопителем, прямо пропорциональна информационной емкости. Мощность, потребляемая в режиме считывания, может быть значительно больше, чем в режиме хранения.

Быстродействие микросхемы ПЗУ характеризуется несколькими временными параметрами: временем выборки, временем выбора, временем цикла и др. Временные диаграммы работы ПЗУ в режиме считывания приведены на рис. 10.7. Если сигнал BM не подан (на временной диаграмме BM это соответствует напряжению высокого уровня), то на выходе поддерживается состояние высокого выходного сопротивления $R_{выс}$. *Время выборки адреса* $t_{в.а}$ определяется задержкой выходного сигнала относительно момента подачи сигнала адреса при условии, что сигнал BM уже подан. *Время выбора* $t_{в.м}$ определяется задержкой выходного сигнала относительно момента поступления сигнала BM при условии, что сигналы адреса поданы. *Время цикла* $t_{ц}$ — это интервал времени между началом и окончанием последовательности сигналов на одном из управляющих входов, например адресном, когда выполняется одна операция считывания. Временные диаграммы справедливы также для ППЗУ и РПЗУ.

Элементы памяти накопителей ПЗУ и ППЗУ выполняют на диодных либо транзисторных (биполярных или МДП) структурах.

Схемы накопителей ПЗУ и ППЗУ на диодных структурах приведены на рис. 10.8, а, б соответственно. Диоды располагаются в местах пересечения проводящих шин X и Y , объединяющих диоды в строки и столбцы. Информация в такой накопитель записывается в двоичном коде: лог. 1 соответствует наличию диода в пересечении матрицы, лог. 0 — отсутствие диода. Диоды изготавливают для всех пересечений шин накопителя.

В ПЗУ информация заносится при его изготовлении. Она определяется конфигурацией металлизированной разводки либо расположением вскрытых контактных отверстий под металлизацию. Некоторые диоды в соответствии с заносимой информацией оказываются неприсоединенными к шинам (на рис. 10.8, а они не показаны). При этом исполь-

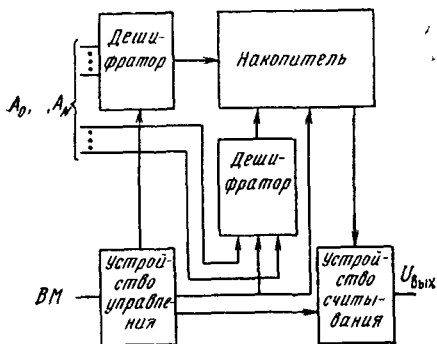


Рис. 10.6

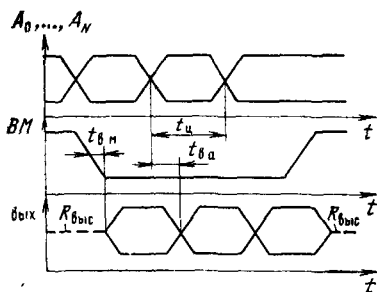


Рис. 10.7

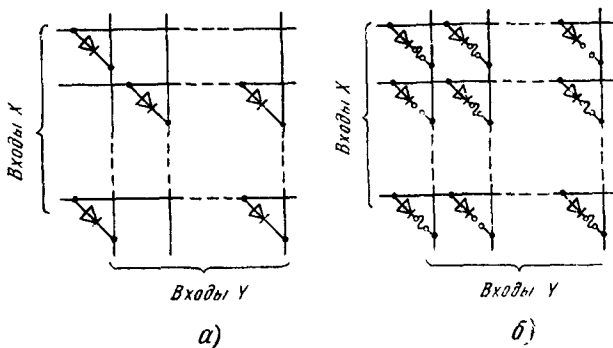


Рис. 10.8

зуются заказные фотошаблоны металлизации или фотошаблоны контактных отверстий. Программирование ПЗУ с помощью заказных фотошаблонов отличается высокой надежностью, но требует больших материальных затрат, обусловленных относительно высокой стоимостью заказных фотошаблонов. Данный способ применяют при изготовлении больших партий идентичных ПЗУ.

Используют также способ записи информации в ПЗУ, основанный на прерывании части связей в металлизированной разводке путем испарения участков металлизации при воздействии управляемого лазерного луча. Для этого применяют специальные установки лазерного кодирования.

В ППЗУ информация заносится электрическими сигналами однократно (после сборки в корпус) путем пережигания плавких перемычек (см. рис. 10.8, б) или разрушения *p-n* переходов. Плавкие перемычки изготовляют из нихрома, титано-вольфрамового сплава или поликристаллического кремния, а иногда и алюминия. Достоинство ППЗУ (по сравнению с ПЗУ) состоит в возможности записи в них информации независимо от процесса изготовления БИС, что значительно сокращает время, необходимое для программирования.

Элементы памяти для РПЗУ рассмотрены в гл. 9. Современный уровень развития серийно выпускаемых ПЗУ характеризует табл. 10.1.

Структура микросхемы ОЗУ приведена на рис. 10.9. Помимо уже известных устройств она содержит устройство записи. Такая структура

Таблица 10.1

Параметр	Тип памяти		
	ПЗУ	ППЗУ	РПЗУ
Информационная емкость, бит	(1...4) М	(64...256) К	64К...1М
Время выборки, нс	100...250	35...50	35...200
Потребляемая мощность, мкВт/бит	0,35...0,02	20...7	5...0,5

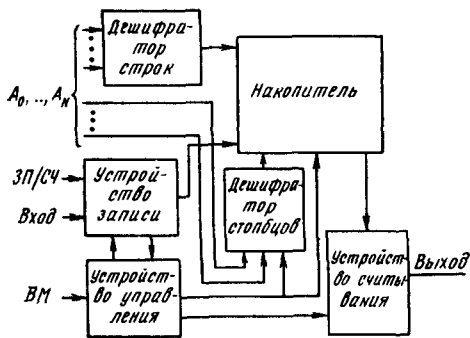


Рис. 10.9

характерна также для ПЗУ и РПЗУ. Входные информационные сигналы подаются на вход устройства записи, предназначенного для записи информации в элементы памяти накопителя. Управляющие сигналы запись-считывание (ЗП/СЧ) и ВМ поступают соответственно в устройство записи и устройство управления. Эти сигналы определяют режим работы микросхемы памяти: запись, хранение, считывание информации. Потребляемая мощность микросхемы $P_{\text{пот}} = P_{\text{с.о}} + P_{\text{пк}}$.

Время выборки адреса $t_{\text{в.а}} = t_{\text{эд.вх}} + t_{\text{эд.дш}} + t_{\text{эд.у.с.}} + t_{\text{эд.э.п}}$, где $t_{\text{эд.вх}}$, $t_{\text{эд.дш}}$, $t_{\text{эд.у.с.}}$, $t_{\text{эд.э.п}}$ — задержки сигналов, вносимые входными каскадами, дешифратором, устройством считывания и элементом памяти. Время выбора $t_{\text{в.м}} = t_{\text{эд.вх}} + t_{\text{эд.у.у.}} + t_{\text{эд.у.с.}} + t_{\text{эд.э.п.}}$, где $t_{\text{эд.у.у.}}$ — задержка сигналов в устройстве управления.

Время цикла записи $t_{\text{эл.ц}} = t_{\text{эд.вх}} + t_{\text{эд.дш}} + t_{\text{эд.у.з}} + t_{\text{п.э.п}} + t_{\text{вос}}$, где $t_{\text{эд.у.з}}$ — время задержки сигналов в устройстве записи; $t_{\text{п.э.п}}$ — время переключения элемента памяти; $t_{\text{вос}}$ — время восстановления — интервал времени между окончанием сигнала считывания и началом сигнала считывания следующего цикла.

Таким образом, быстродействие микросхемы памяти ОЗУ определяется в основном задержками сигналов в схемах обслуживания и в меньшей степени — в элементах памяти.

Схемы обслуживания создают на основе элементов ТТЛ, ЭСЛ, на n -канальных и комплементарных МДП-транзисторах. В последние годы для повышения быстродействия и уменьшения потребляемой мощности в схемах обслуживания начали использовать сочетание ЛЭ на биполярных и КМДП-транзисторах (Би-КМДП схемы).

Оперативные запоминающие устройства подразделяются на статические и динамические. В накопителях статических ОЗУ хранение ин-

Таблица 10.2

Параметр	Тип памяти		
	Статическая		Динамическая МДП
	биполярная	МДП	
Информационная емкость, бит	(4...64) К	(64...256) К	256К...4М
Время выборки, нс	4...15	10...25	50...100
Потребляемая мощность, мкВт/бит	500...20	10...2	1...0,1

формации обеспечивается сколь угодно долго без регенерации (см. § 9.1) источником питания постоянного напряжения, при отключении которого информация разрушается. В накопителях динамических ОЗУ информация сохраняется в конденсаторах, входящих в элементы памяти (см. § 9.2). Такие ОЗУ характеризуются периодом регенерации — максимальным интервалом времени между двумя обращениями к элементу памяти для восстановления хранимой информации.

Современный уровень развития серийно выпускаемых СБИС ОЗУ характеризует табл. 10.2.

10.3. МИКРОПРОЦЕССОРЫ И МИКРОЭВМ

Увеличение степени интеграции обусловило развитие двух основных путей проектирования вычислительных устройств. Первый основан на использовании наиболее экономичных универсальных БИС, но связан с увеличением объема преобразований входных данных. Второй направлен на упрощение и сокращение объема преобразований данных и базируется на применении специализированных логических БИС (см. § 10.4). Первый путь привел к созданию микропроцессоров.

Микропроцессор представляет собой программно-управляемое устройство для обработки цифровой информации, построенное на основе одной или нескольких БИС, входящих в состав микропроцессорного комплекта (МПК) интегральных микросхем.

Микропроцессорный комплект — это совокупность микропроцессорных и других микросхем, совместимых по конструктивно-технологическому исполнению и предназначенных для совместного применения при построении микроЭВМ, контроллеров и других средств вычислительной техники. Микропроцессорные комплекты, применяемые в различных средствах вычислительной техники и цифровой автоматики, называются универсальными, а предназначенные только для одного типа вычислительных устройств — специализированными.

МикроЭВМ (микропроцессорной ЭВМ) называют ЭВМ, в качестве процессора которой используется микропроцессор.

Контроллер — это устройство, осуществляющее управление автономным объектом по заданному алгоритму.

Для работы микропроцессора необходимы исходная информация (данные) и информация о процессе ее преобразования (программа). Оба вида информации представляются двоичными словами. Программа — это совокупность команд, каждая из которых содержит информацию о типе преобразования (коде операции) и месте расположения данных, над которыми эта операция выполняется (адреса данных). очередность выполнения команд задается регистром адреса команд, или «счетчиком команд».

Упрощенная схема вычислительного устройства, построенного на основе МПК, представлена на рис. 10.10. Она содержит микропроцессор, устройство памяти (ОЗУ и ПЗУ) и интерфейс ввода-вывода (устройство связи с внешними объектами), связанные друг с другом тремя

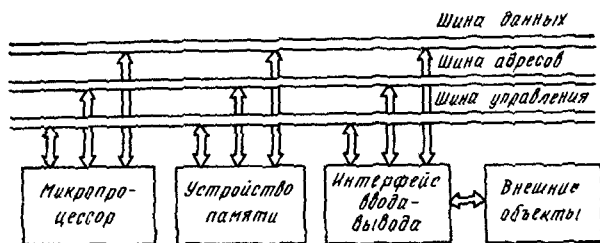


Рис. 10.10

шинами: данных, адреса и управления. Каждая шина представляет собой совокупность проводов. По каждому проводу в данный момент времени передается 1 бит информации.

Микропроцессорный комплект состоит из трех групп микросхем. В первую группу входят БИС, на которых строится микропроцессор. Эта группа может состоять из одной (однокристалльный микропроцессор) или нескольких (многокристалльный микропроцессор) БИС. Вторая группа содержит БИС ЗУ (микросхемы ОЗУ, ПЗУ, ППЗУ, РПЗУ и др.), образующие устройство памяти. Третья группа БИС осуществляет связь микропроцессора и устройства памяти с внешними объектами: накопителями на магнитных дисках и лентах, дисплеями, преобразователями информации и др. Интерфейсные схемы обмена информацией могут включать в себя устройства управления внешними объектами (контроллеры).

В схеме микропроцессора можно выделить операционную и управляющую части. Операционная часть проводит арифметическую и логическую обработку преобразуемой информации, управляющая — декодирует команды, поступающие из устройства памяти, формирует сигналы, необходимые для выполнения текущей операции, выбирает следующую команду. Микропроцессор содержит арифметическо-логическое устройство (АЛУ), регистры общего назначения (РОН) и устройство управления, объединенные внутренними шинами данных и адреса.

Арифметическо-логическое устройство является основным операционным блоком микропроцессора (или МПК). Оно выполняет различные арифметические и логические операции над данными, поступающими в него из РОН или из устройства памяти.

Регистры общего назначения используются в качестве внутренней оперативной памяти микропроцессора. В них хранятся поступающие данные и промежуточные результаты обработки информации в АЛУ. Емкость внутренней памяти — важный параметр микропроцессора: чем она больше, тем меньше число обращений к внешнему ОЗУ, требующих значительного времени, тем выше быстродействие микропроцессора, так как время выборки внутренней оперативной памяти при-

близительно на порядок меньше, чем для внешних ОЗУ. Поэтому по мере совершенствования микропроцессоров число РОН увеличивают.

Устройство управления вырабатывает управляющие сигналы (микрокоманды), определяющие выполнение требуемых действий остальными блоками микропроцессора.

По способу программирования различают микропроцессоры, функционирование которых определяется программой или микропрограммой, записанной в ЗУ. В первом случае устройство управления содержит дешифратор команды, который в каждом такте машинного времени вырабатывает совокупность микрокоманд, определяющих работу всех устройств микропроцессора. За несколько тактов выполняется последовательность микрокоманд, обеспечивающая реализацию поступившей команды. Во втором случае набор микрокоманд соответствует более простым действиям и поэтому более эффективен для решения определенного класса задач, так как обеспечивает более высокое быстродействие.

Одна из основных характеристик микропроцессора *разрядность обрабатываемых слов*. Она определяется разрядностью основных устройств микропроцессора (АЛУ, РОН и др.) и может составлять от 4 до 64. По способу обработки многоразрядных слов различают микропроцессоры с фиксированной и наращиваемой разрядностью. В последнем случае несколько микропроцессоров включают параллельно-последовательно. Быстродействие микропроцессора характеризуется средним временем выполнения команд или микрокоманд. Как правило, микропроцессоры являются синхронными устройствами, т. е. их машинное время разделяется на такты, определяемые длительностью периода синхросигналов T_c . Для реализации одной команды в среднем необходимо 5...10 микрокоманд, а для выполнения одной микрокоманды обычно требуется 1...2 такта. Длительность периода синхросигналов зависит от быстродействия ЛЭ, используемых в МПК: $T_{c, \text{мин}} = (10... \dots 20) t_{\text{эд, р. ср}}$.

10.4. ЛОГИЧЕСКИЕ БИС

Специализированные логические БИС в отличие от универсальных БИС микропроцессоров позволяют достичь в десятки раз большего быстродействия. Однако их разработка и производство требуют значительно больших затрат. Логические БИС подразделяются на *заказные* и *полузаказные*.

Заказные логические БИС характеризуются наилучшими электрическими параметрами, но требуют индивидуального проектирования и разработки комплекта специализированных фотошаблонов. Для индивидуально проектируемой БИС длительность цикла разработки от функциональной схемы до готового изделия составляет 40...60 недель. Высокая стоимость разработки заказных логических БИС окупается только при большом объеме выпуска — сотни тысяч штук в год и более. При меньших объемах выпуска производят полузаказные логи-

ческие БИС, которые реализуются с помощью заранее разработанных и многократно используемых блоков. Применение САПР сокращает сроки разработки полужаказных БИС в несколько раз (до 2...12 недель).

Полужаказные логические БИС создают на основе базовых матричных кристаллов (БМК) или библиотек схемно-топологических фрагментов. В центральной части БМК размещается матрица (набор) ЛЭ (вентилей), которая не обязательно должна быть строго однородной, а по периферии кристалла — вспомогательные элементы, из которых могут быть созданы входные и выходные каскады, обеспечивающие согласование входных и выходных характеристик логической БИС с другими микросхемами. Все технологические операции по формированию БМК выполняются заблаговременно до появления заказа на окончательное изготовление конкретной БИС, и БМК хранятся на складе изготовителя микросхем. Заказ на производство специализированных БИС поступает к изготовителю в форме описания выполняемых ею функций либо в форме описания соединений элементов. Изготовитель, используя САПР, проектирует и изготавливает шаблоны для формирования необходимых соединений, а затем выпускает и сами специализированные БИС. Главное достоинство этого метода — малое время, требуемое для производства полужаказных БИС. Количество элементов в базовом кристалле определяется уровнем технологии и достигает 10^6 (до $10^4 \dots 10^5$ ЛЭ).

Логические матричные БИС можно разделить на три основных класса: биполярные быстродействующие; биполярные, совместимые с ТТЛ-схемами; микромощные на основе КМДП-транзисторов. Кроме того, разработаны сверхскоростные логические БИС на арсенид-галлиевых МЭП-транзисторах. Сверхскоростные матричные БИС применяются в наиболее производительных вычислительных системах. Кремниевые биполярные матричные БИС создают на основе элементов ЭСЛ (см. § 7.4). Наиболее совершенные матричные БИС содержат $(1.5...2) \times 10^4$ ЛЭ, средняя задержка которых 70...150 пс, а средняя потребляемая мощность 0,5...1 мВт. Арсенид-галлиевые матричные БИС содержат до $6 \cdot 10^3$ ЛЭ ($t_{зд.р.ср} = 70$ пс, $P_{ср} = 1,2$ мВт).

При разработке современных вычислительных устройств блоки, создаваемые ранее на базе серий микросхем ТТЛ малой и средней степени интеграции, заменяют матричными БИС. При этом периферийные устройства существенной модернизации не подвергаются, поэтому обязательным условием является совместимость матричных БИС со схемами ТТЛ. В качестве элементной базы таких БИС применяют элементы ТТЛ с диодами Шотки, элементы И²Л, ШТЛ и ИШЛ (см. гл. 7). На тех же кристаллах в ряде случаев реализуются элементы аналоговых схем.

К основным достоинствам матричных БИС на КМДП-транзисторах относятся низкая потребляемая мощность, высокая помехоустойчивость и меньшее число технологических операций, используемых при их изготовлении. Эти матричные БИС также совместимы со схемами ТТЛ.

Метод проектирования полузаказных БИС на основе БМК имеет ряд недостатков. Основным недостатком — неполное использование элементов БМК и, как следствие, площади кристалла, необходимой для реализации заданного набора БИС. Причем чем выше степень интеграции, тем меньше доля используемой площади БМК. Если принять за единицу площадь кристалла оптимально спроектированной заказной БИС, то функционально та же схема, реализованная на БМК, будет иметь в среднем вдвое большую площадь. Для уменьшения площади кристалла логических БИС увеличивают число уровней межсоединений (до двух-трех).

Более широкой номенклатурой и более полным использованием площади полупроводникового кристалла отличаются полузаказные БИС, создаваемые с помощью библиотеки схемно-топологических фрагментов. В этом случае при поступлении заказа с помощью САПР проводится полный цикл разработки БИС. При этом существует возможность оптимизации размещения ЛЭ и внутрисхемных соединений на кристалле, исключаются избыточные элементы, что позволяет уменьшить его площадь приблизительно в 2 раза по сравнению с площадью БМК. Однако время выполнения заказа значительно увеличивается, поскольку требуется не только спроектировать, но и полностью изготовить заказанную БИС.

При малых объемах выпуска (сотни штук в год) более выгодны полузаказные БИС на БМК, так как затраты времени и средств на их разработку и изготовление значительно меньше. При большом объеме выпуска выгоднее использовать библиотеку схемно-топологических фрагментов, поскольку повышенные затраты на их разработку компенсируются экономией кремниевых пластин.

Глава 11. ПРИБОРЫ С ЗАРЯДОВОЙ СВЯЗЬЮ

Приборы с зарядовой связью (ПЗС), как и транзисторы, обладают свойством универсальности, позволяющим использовать их в самых разнообразных устройствах. Они применяются в цифровых ЗУ большой информационной емкости. В оптоэлектронных приемниках изображений на основе ПЗС создают формирователи видеосигналов. В радиотехнических системах обработки информации ПЗС используют при разработке линий задержки, фильтров различных типов, устройств спектрального анализа и обработки радиолокационных сигналов.

В данной главе рассматриваются устройство, принцип действия и параметры элементов ПЗС, а также разновидности их конструкций.

11.1. УСТРОЙСТВО, ПРИНЦИП ДЕЙСТВИЯ

Основными элементами ПЗС являются однотипные МДП-конденсаторы, сформированные на общей монокристаллической полупроводниковой подложке *I* р-типа (рис. 11.1). Расположенные на слое диэлект-

рика 2 полоски затворов 3 образуют регулярную линейную систему или плоскую матрицу. Для большинства приборов подложку изготовляют из высокоомного кремния, затворы — из алюминия или поликристаллического кремния, диэлектриком служит диоксид кремния. Затворы с помощью алюминиевых или поликремниевых пленочных проводников присоединяют к управляющим шинам, на которые относительно заземленного электрода подложки подают импульсные управляющие напряжения. В рассматриваемом приборе три управляющих шины Φ_1, Φ_2, Φ_3 , поэтому он называется *трехтактным*. Для приборов с подложкой p -типа управляющие напряжения имеют положительную полярность.

При подаче напряжения высокого уровня, например, на шину Φ_1 в приповерхностных областях полупроводниковой подложки под затворами, соединенными с этой шиной (первым, четвертым и т. д.), возникают потенциальные ямы для электронов. Электрический сигнал в ПЗС представлен не током или напряжением, как в микросхемах на транзисторах, а зарядом — *зарядовым пакетом*. Принцип действия ПЗС основан на накоплении и хранении зарядовых пакетов в потенциальных ямах под затворами и на перемещении зарядовых пакетов между соседними элементами при изменении управляющих напряжений — тактовых импульсов. Взаимодействие соседних элементов осуществляется с помощью переноса зарядовых пакетов в полупроводниковой подложке в направлении, показанном стрелкой на рис. 11.1, а. Это взаимодействие называют *зарядовой связью*, что отражено в названии прибора. Для того чтобы между соседними элементами обеспечивалась эффективная зарядовая связь, расстояния между затворами должны быть достаточно малыми по сравнению с толщиной обедненных слоев под затворами. Благодаря непосредственной зарядовой связи между соседними элементами в ПЗС не нужны сигнальные проводники, необходимые в интегральных микросхемах, содержащих транзисторы. На поверхности большей части кристалла располагаются только управляющие шины, а сигнальные проводники используются лишь на входах и выходах ПЗС.

У поверхности подложки сформированы области 4 p^+ -типа, границы которых на рис. 11.1, а показаны штриховыми линиями. Области p^+ -типа ограничивают часть подложки, расположенную под затво-

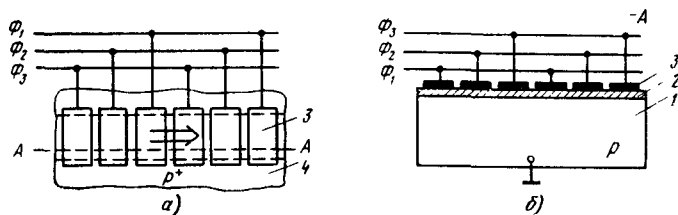


Рис. 11.1

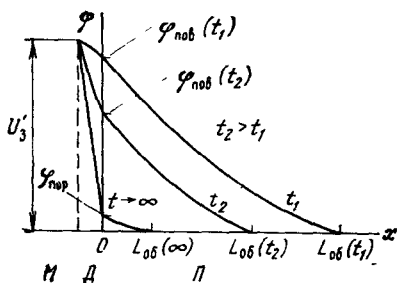


Рис. 11.2

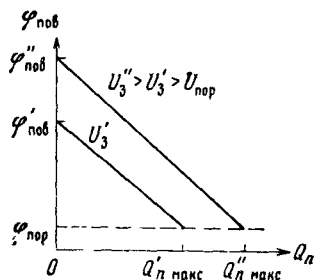


Рис. 11.3

ром, в которой перемещаются зарядовые пакеты. Поэтому ее называют *каналом переноса*.

Рассмотрим физические процессы в МДП-структуре, подробно описанные в [3], применительно к ПЗС, которые в отличие от МДП-транзисторов работают только в импульсном режиме. Пусть при $t = 0$ напряжение на затворе изменяется скачком от $U_3 = 0$ до $U_3 > U_{пор}$, где $U_{пор}$ — пороговое напряжение. В полупроводнике под затвором образуется потенциальная яма для электронов и в течение очень короткого отрезка времени (порядка времени диэлектрической релаксации) формируется обедненный слой с высоким удельным сопротивлением, в котором под действием поля удалены основные носители — дырки, а электроны еще не успели накопиться. Глубина потенциальной ямы максимальна на границе полупроводника с диэлектриком, здесь начинает накапливаться зарядовый пакет электронов Q_n . Он появляется вследствие контролируемого переноса зарядов из соседней МДП-структуры и неконтролируемых процессов: тепловой генерации электронов в обедненном слое или на поверхности полупроводника, диффузии электронов из подложки.

Распределения поверхностного потенциала в МДП-структуре в направлении, перпендикулярном затвору, для различных моментов времени приведены на рис. 11.2. Координата x отсчитывается от границы полупроводник — диэлектрик (Д). Штриховой линией показана граница диэлектрик — металл (М). По мере накопления зарядового пакета за счет тепловой генерации носителей заряда толщина обедненного слоя $L_{об}$ и поверхностный потенциал полупроводника $\varphi_{пов}$ уменьшаются, а разность потенциалов на диэлектрике увеличивается. В установившемся режиме ($t \rightarrow \infty$) поверхностный потенциал уменьшается до значения $\varphi_{пор} = 2\varphi_T \ln(N_a/n_i)$, где N_a — концентрация акцепторов в подложке; n_i — концентрация собственных носителей. При этом у поверхности образуется инверсный слой n -типа, максимальный заряд электронов в котором

$$Q_{n \max} = C_d (U_3 - U_{пор}), \quad (11.1)$$

где $C_d = S_3 \epsilon_0 \epsilon_d / d$ — емкость диэлектрика; S_3 — площадь затвора.

Для работы ПЗС существенна зависимость поверхностного потенциала от величины зарядового пакета при заданном напряжении затвора (рис. 11.3). Эта зависимость приблизительно линейная:

$$\Delta\varphi_{\text{пов}} = -\Delta Q_n / C_d. \quad (11.2)$$

При постоянном значении Q_n поверхностный потенциал возрастает при увеличении напряжения затвора также приблизительно по линейному закону.

Приведенные зависимости позволяют наглядно проиллюстрировать работу ПЗС с помощью гидродинамической модели (рис. 11.4, а—в). В этой модели потенциальная яма отождествляется с сосудом, зарядовый пакет Q_n — с жидкостью, заполняющей этот сосуд, поверхностный потенциал, т. е. глубина потенциальной ямы, — с расстоянием h от поверхности жидкости, заполняющей сосуд, до верхнего края сосуда (с эффективной «глубиной» сосуда). В такой модели между объемом жидкости в сосуде и глубиной $h(Q_n)$ его незаполненной части существует линейная зависимость вида (11.2), а глубина пустого сосуда $h(0)$ увеличивается пропорционально напряжению затвора (см. рис. 11.4, а). Эта модель используется для пояснения процесса переноса зарядового пакета.

Рассмотрим процесс переноса зарядового пакета в ПЗС с трехтактовой схемой управления. Временные диаграммы управляющих импульсов для этого случая приведены на рис. 11.5. Пусть в момент времени t_1 на затворах, присоединенных к шине Φ_2 , напряжение высокого уровня $U_3' > U_{\text{пор}}$ и под вторым и пятым затворами накоплены зарядовые пакеты Q_{n2} и Q_{n5} (рис. 11.6), а на затворах, присоединенных к шинам Φ_1 и Φ_3 — напряжение низкого уровня и под соответствующими затворами нет потенциальных ям и зарядовых пакетов. В момент времени t_2 на затворы, соединенные с шиной Φ_3 , поступает напряжение высокого уровня и под ними практически мгновенно формируются пустые потенциальные ямы. На затворах шины Φ_1 сохраняется напряжение низкого уровня.

Для нормальной работы ПЗС расстояние между соседними затворами должно быть достаточно малым, чтобы потенциальные ямы со-

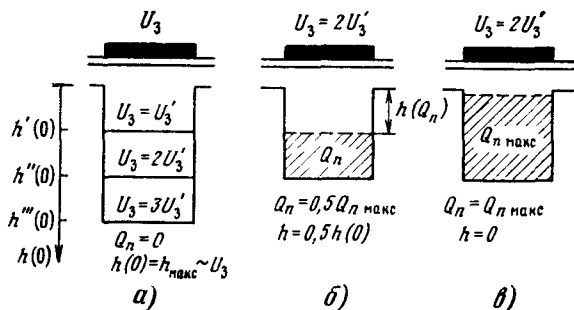


Рис. 11.4

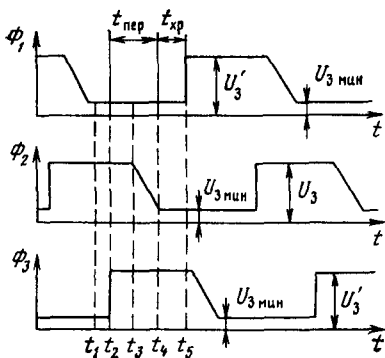


Рис. 11.5

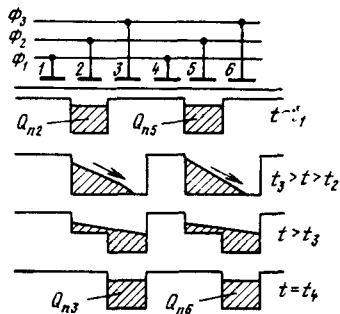


Рис. 11.6

седних элементов, на затворы которых подано напряжение U'_3 , сливались в единую потенциальную яму без барьера посередине, как показано на рис. 11.6 для момента времени $t_3 > t > t_2$.

Перенос зарядовых пакетов становится возможным благодаря *краевому эффекту*. Он состоит в том, что размеры потенциальной ямы в плоскости пластины (в направлении переноса зарядовых пакетов) превышают размеры затвора, т. е. потенциальная яма образуется не только под затвором, но и на некотором расстоянии от его краев. Размеры областей за границами затвора, в которых формируется потенциальная яма, увеличиваются с ростом напряжения на затворе. Только при достаточно больших напряжениях на соседних затворах и малых расстояниях между ними потенциальные ямы под соседними затворами перекрываются, образуя единую потенциальную яму.

Поскольку при $t = t_2$ (см. рис. 11.6) в третьем элементе электронов нет, а во втором накоплен зарядовый пакет Q_{n2} , то согласно зависимостям, показанным на рис. 11.3, при одинаковых напряжениях на затворах $U_{32} = U_{33} = U'_3$ поверхностный потенциал под затвором 3 будет значительно выше, чем под затвором 2. В результате влияния зарядового пакета Q_{n2} при одинаковых напряжениях на затворах 2 и 3 в общей потенциальной яме возникнет продольное электрическое поле, ускоряющее электроны в сторону третьего элемента.

В гидродинамической модели ПЗС процессу переноса зарядового пакета соответствует перетекание жидкости в пределах общего сосуда. После повышения напряжения на затворе 3 формируется общий сосуд, расположенный под двумя затворами и в промежутке между ними. Жидкость в этом сосуде при $t > t_2$ распределена неравномерно и начинает перетекать под затвор 3. По мере выравнивания уровней жидкости под затворами 2 и 3 скорость его течения уменьшается. Чтобы ускорить перекачку жидкости, напряжение на затворе 2 при $t > t_3$ постепенно понижают до значения $U_{3\text{ мин}}$. Дно сосуда под этим затвором поднимается, и жидкость перемещается в сосуд, расположенный под затвором 3.

При $t = t_4$ перенос зарядового пакета из второго элемента в третий заканчивается, при этом зарядовый пакет Q_{n3} в третьем элементе оказывается меньше исходного Q_{n2} . В тот же период времени осуществляется аналогичный перенос зарядового пакета из пятого элемента в шестой. Направленность переноса зарядовых пакетов Q_{n2} и Q_{n5} обеспечивается тем, что во время переноса на затворах 1 и 4 (шина Φ_1) поддерживается низкое напряжение и под ними потенциальная яма не формируется. Для направленного переноса в рассмотренном случае используют трехтактные управляющие напряжения (см. рис. 11.5). Для хранения и переноса одного зарядового пакета необходимы три элемента.

В момент времени $t = t_5$ на шину Φ_1 подается напряжение высокого уровня (см. рис. 11.5) и начинается перенос зарядовых пакетов Q_{n3} и Q_{n6} в следующие элементы. Таким образом, интервал времени $t_{\text{пер}} = t_4 - t_2$ соответствует времени, отводимому для переноса зарядовых пакетов, а интервал $t_{\text{хр}} = t_5 - t_4$ — их времени хранения.

Устройства ввода и вывода зарядовых пакетов являются обязательными структурными элементами ПЗС. Они позволяют преобразовывать выходные сигналы (уровни напряжения) в сигнальные зарядовые пакеты, а на выходе осуществлять обратное преобразование.

Рассмотрим устройство ввода электрического сигнала (рис. 11.7, а). Оно состоит из области 1 n^+ -типа, которая образует с подложкой n^+ - p переход (входной диод), входного омического контакта 2 к области 1 и входного затвора $\Phi_{\text{вх}}$. При простом способе ввода на вход подается сигнал отрицательной полярности, смещающий входной диод в прямом направлении, а к $\Phi_{\text{вх}}$ прикладывается управляющее положительное напряжение. Наибольшее прямое смещение инжектирующего n^+ - p перехода обеспечивается в приповерхностной области, оно увеличивается с ростом разности напряжений на входе и на входном затворе. Зарядовый пакет инжектируется вначале из n^+ -области под входной затвор (рис. 11.7, б), а затем переносится под первый затвор Φ_1 . Величина инжектируемого зарядового пакета увеличивается с ростом амплитуды входного сигнала по нелинейному (приближенно экспоненциальному) закону. Кроме того, она зависит от времени инжекции, т. е. от тактовой частоты управляющих импульсов (см. рис. 11.5). Достоинство данного способа ввода электрического сигнала — высокое быстродействие (время инжекции составляет несколько наносекунд).

В ряде случаев требуется обеспечить близкую к линейной зависимость величины инжектируемого зарядового пакета от входного напряжения. Она может быть получена в том же устройстве ввода (см. рис. 11.7, а), если использовать иной режим его работы, называемый режимом инжекции — экстракции (рис. 11.7, в).

Информационный сигнал положительной полярности подают на $\Phi_{\text{вх}}$, а входной диод вначале смещают в прямом направлении. На этапе 1 обеспечивается максимальное заполнение электронами потенциальных ям под входным затвором и первым затвором Φ_1 , на который

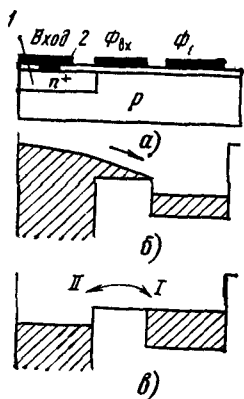


Рис. 11.7

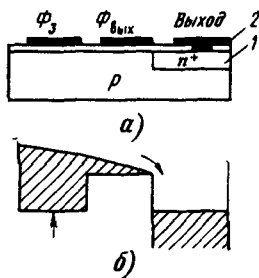


Рис. 11.8

подают напряжение $U'_3 > U_{пор}$. На этапе II входной диод смещают в обратном направлении и экстрагируют электроны из-под затворов $\Phi_{вх}$ и Φ_1 в n^+ -область. При этом из-под входного затвора заряд экстрагируется полностью, а из-под первого затвора он экстрагируется до уровня, соответствующего поверхностному потенциалу под входным затвором. Поскольку потенциальная яма входного затвора оказывается пустой, то поверхностный потенциал под этим затвором, как отмечалось выше, пропорционален напряжению на этом затворе, т. е. напряжению входного сигнала. Следовательно, величина зарядового пакета под первым затвором Φ_1 , пропорциональная поверхностному потенциалу под входным затвором, будет изменяться при близительно линейно при изменении амплитуды входного сигнала.

Для вывода зарядового пакета на выходе используют устройство (рис. 11.8, а), содержащее область I n^+ -типа проводимости, омический контакт 2 к этой области и выходной затвор $\Phi_{вых}$. Область I образует с подложкой выходной диод, который смещают в обратном направлении. Для этого на выходной контакт через резистор подают постоянное положительное напряжение, превышающее максимальное напряжение на $\Phi_{вых}$. В некоторый момент времени на выходной затвор подают импульс положительной полярности, разрешающий вывод зарядового пакета. Если в последнем элементе Φ_3 к этому моменту времени был накоплен зарядовый пакет, то он переместится в потенциальную яму, расположенную под выходным затвором (рис. 11.8, б), а затем в более глубокую потенциальную яму области n^+ -типа и, наконец, в выходную цепь — резистор, присоединенный к n^+ -области. К выходному выводу подключают чувствительный усилитель на МДП-транзисторах, которые создаются на этой же подложке.

В ряде случаев необходимо осуществлять неразрушающее считывание зарядового пакета. Для этого в качестве датчика поверхностного потенциала и связанной с ним величины зарядового пакета используют МДП-транзистор.

11.2. ПАРАМЕТРЫ ЭЛЕМЕНТОВ ПЗС

К числу основных параметров элементов ПЗС относятся: рабочая амплитуда управляющих напряжений, максимальная величина зарядового пакета, предельные (минимальная и максимальная) тактовые частоты, эффективность переноса зарядового пакета, рассеиваемая мощность.

Рабочая амплитуда управляющих напряжений на затворах определяется двумя основными условиями. Она должна быть достаточно большой для обеспечения требуемой величины зарядового пакета и полного смыкания обеденных слоев соседних элементов, чтобы под их затворами образовывалась общая потенциальная яма при переносе зарядового пакета (см. рис. 11.6). Чем меньше расстояние между затворами и больше емкость диэлектрика, тем ниже требуемая амплитуда управляющих напряжений, типичные значения которой 10...20 В.

Максимальная величина зарядового пакета $Q_{п\text{ макс}}$ является важным параметром, характеризующим *управляющую способность* ПЗС. Она пропорциональна амплитуде управляющего напряжения и площади затвора. В элементе с размерами затвора 10×20 мкм и $d = 0,1$ мкм при $\Delta\phi_{пов} = 5$ В $Q_{п\text{ макс}} = 0,35$ пКл (или $2 \cdot 10^6$ электронов). На практике выбирают вдвое меньшую величину для предотвращения потерь зарядового пакета, вызванных уходом части электронов из потенциальной ямы в подложку (имеются в виду электроны, энергия которых достаточна для преодоления потенциального барьера).

Минимальная тактовая частота $f_{т, мин}$ обратно пропорциональна максимально допустимому времени хранения зарядового пакета в одном элементе. Это время ограничено, так как постепенно величина зарядового пакета изменяется вследствие неконтролируемого накопления электронов в потенциальных ямах под затвором. Эти электроны появляются в результате тепловой генерации носителей заряда в обеденном слое и на границе полупроводника с диэлектриком, а также за счет диффузии из подложки.

Для определения $f_{т, мин}$ рассмотрим режим работы ПЗС, в котором зарядовые пакеты в него не вводятся. Под всеми затворами, на которые подаются высокие напряжения, возникают потенциальные ямы для электронов. Термически генерируемые электроны будут собираться в этих ямах, образуя ток термогенерации, плотность которого обозначим j_t . Если на затворы ПЗС подается непрерывная последовательность тактовых импульсов с частотой f_t , то на выходе канала переноса в каждом такте появляется паразитный заряд $Q_p = S_z N j_t / f_t$, где N — число элементов для канала переноса. Паразитный заряд не должен превышать некоторую часть α максимального зарядового пакета, т. е. $Q_p / Q_{п\text{ макс}} = j_t N / f_t C_{д, уд} \Delta\phi_{пов\text{ макс}} < \alpha$, где $C_{д, уд}$ — удельная емкость диэлектрика; $\Delta\phi_{пов\text{ макс}}$ — максимальное изменение поверхностного потенциала при наличии под затвором заряда $Q_{п\text{ макс}}$. При $N = 10^3$, $d = 0,1$ мкм, $j_t = 10$ нА/см², $\Delta\phi_{пов\text{ макс}} = 5$ В и $\alpha < 10^{-3}$ получаем $f_t > 60$ кГц.

Для увеличения допустимого времени хранения зарядового пакета и уменьшения $f_{т.мин}$ снижают концентрацию объемных центров рекомбинации, плотность поверхностных состояний и рабочую температуру. Типичные значения $f_{т.мин} = 30 \dots 300$ Гц.

Максимальная тактовая частота $f_{т.макс}$ обратно пропорциональна минимально допустимому времени переноса.

При работе с максимальной тактовой частотой перенос зарядового пакета в следующий элемент начинается непосредственно после окончания его переноса в данный элемент. Минимально допустимое время переноса зарядового пакета связано с эффективностью его переноса.

Эффективность переноса определяется соотношением $\eta = Q_{n(i+1)}/Q_{ni}$, где Q_{ni} , $Q_{n(i+1)}$ — зарядовые пакеты в i -м элементе до переноса и в следующем $(i + 1)$ -м элементе после переноса. Вследствие потери части зарядового пакета при переносе $\eta < 1$. Допустимое уменьшение зарядового пакета при многократных переносах зависит от типа устройства. При заданном допустимом уменьшении зарядового пакета эффективность переноса определяет максимальное число элементов, через которые может быть передан зарядовый пакет. При анализе процессов переноса часто используют величину $n = 1 - \eta$, называемую коэффициентом потерь. Для сложных устройств на ПЗС с большим числом переносов требуемые значения $\eta = 0,999 \dots 0,99999$ и соответственно $n = 10^{-3} \dots 10^{-5}$.

На рис. 11.9 показаны типичные зависимости коэффициента потерь от тактовой частоты для рассмотренных выше элементов ПЗС с поверхностным переносом зарядовых пакетов 1 и с объемным переносом 2 (см. § 11.3). Потери зарядового пакета при переносе на высоких тактовых частотах в основном вызваны тем, что за малое время, отводимое на перенос, часть электронов не успевает переместиться в соседний элемент и остается в предыдущем. Эти потери резко увеличиваются с ростом тактовой частоты, т. е. при уменьшении интервала времени, отводимого на перенос.

Минимально допустимое время переноса зависит от требуемой эффективности переноса, длины затвора L_3 и подвижности электронов. В конце переноса (см. рис. 11.6) напряженность поля под вторым (или пятым) затвором уменьшается. В это время заряд, оставшийся под затвором, очень мал и не влияет на распределение потенциала, поэтому потенциал под ним практически постоянный. Оставшаяся под затвором малая часть зарядового пакета ΔQ_{n2} (или ΔQ_{n5}) перемещается под соседний затвор в основном за счет диффузии, причем она убывает приблизительно по экспоненциальному закону вида $\Delta Q_n(t) \sim \exp(-t/\tau_{диф})$, где $\tau_{диф}$ — постоянная времени, характеризующая диффузию электронов, $\tau_{диф} = L_3^2/2D_n$. В соответствии с соотношением Эйнштейна коэффициент диффузии электронов $D_n = \varphi_{т} \mu_n$.

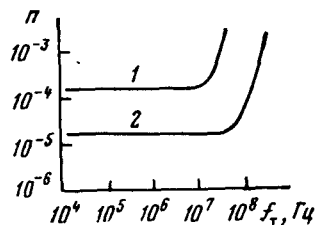


Рис. 11.9

Чем больше требуемая эффективность переноса, тем большее время необходимо отвести на перенос зарядового пакета и тем ниже максимальная тактовая частота управляющих импульсов (см. рис. 11.9).

На более низких тактовых частотах ($f_T \ll f_{T, \text{макс}}$) эффективность переноса достигает максимального значения, которое практически не зависит от тактовой частоты. На этих частотах потери зарядового пакета обусловлены захватом части электронов поверхностными ловушками. За время переноса ловушки не успевают отдать все захваченные ими электроны. Потери такого типа увеличиваются, если данный зарядовый пакет переносится через элементы, не содержавшие перед этим других зарядовых пакетов, так как в них поверхностные ловушки оказываются незаполненными.

Для уменьшения потерь, связанных с поверхностными ловушками, используют *фоновый заряд*, вводимый во все элементы. При этом управляющее напряжение тактовых импульсов (см. рис. 11.5) понижают не до нуля, а до некоторого положительного значения $U_{3 \text{ мин}}$, равно, например, 2 В. При этом в соответствующих элементах, где формируются неглубокие потенциальные ямы, сохраняется фоновый заряд, заполняющий поверхностные ловушки. Тем самым уменьшаются потери зарядового пакета при переносе. Однако потери, связанные с захватом электронов поверхностными ловушками, не снижаются до нуля из-за краевого эффекта: фоновый заряд занимает под затвором меньшую площадь, чем информационный зарядовый пакет, т. е. заполняет не все поверхностные ловушки, расположенные вблизи краев затвора. Кроме того, часть электронов захватывается ловушками, расположенными между затворами. Используя фоновый заряд, коэффициент потерь на частотах $f_T \ll f_{T, \text{макс}}$ можно снизить до $10^{-5} \dots 10^{-4}$.

Рассеиваемая мощность элементов ПЗС очень мала. В стадии хранения она практически не рассеивается, так как текут очень малые токи термогенерации. Мощность рассеивается в элементах ПЗС только в режиме переноса зарядового пакета. Она увеличивается пропорционально тактовой частоте, амплитуде управляющего напряжения и величине зарядового пакета. Рассеиваемая мощность элементов ПЗС менее 1 мкВт. Столь малая рассеиваемая мощность — одно из их главных достоинств.

11.3. РАЗНОВИДНОСТИ КОНСТРУКЦИИ

Устройство элементов ПЗС и принцип переноса зарядовых пакетов были рассмотрены на примере прибора с трехтактными управляющими импульсами. Достоинство этих приборов — наиболее простая структура элементов. Одним из недостатков трехтактных ПЗС является необходимость использования управляющих импульсов сложной (трапецидальной) формы (см. рис. 11.5). Длительность срезов тактовых импульсов должна быть достаточно большой, иначе увеличиваются потери зарядов. Если в момент времени $t = t_3$ резко понизить на-

пряжение на шине Φ_2 , то часть электронов из-под второго и пятого затворов может инжектироваться в подложку.

На практике кроме трехтактных используются также четырех-, двух- и одноктактные приборы. Четырехтактные ПЗС могут работать при управляющих импульсах, форма которых более простая — близкая к прямоугольной. В этих приборах также используются простейшие МДП-структуры. Как в трех-, так и в четырехтактных ПЗС направление переноса зарядовых пакетов определяется только последовательностью тактовых импульсов. Изменяя эту последовательность, можно передавать зарядовые пакеты сначала в одном, а затем в другом (противоположном) направлении. Поэтому ПЗС с простейшей структурой элементов могут быть названы приборами с двунаправленным переносом.

В двухтактных ПЗС направленное перемещение зарядовых пакетов обеспечивается за счет более сложной — асимметричной — структуры элементов. Рассмотрим устройство и принцип действия двухтактных ПЗС. В структуре со ступенчатым диэлектриком (рис. 11.10) под затвором каждого элемента слева расположен более толстый слой диоксида кремния, поэтому при поступлении на затвор напряжения высокого уровня образуется асимметричная потенциальная яма, конфигурация которой обеспечивает направленное перемещение зарядовых пакетов слева направо. Более мелкая потенциальная яма воспринимает зарядовый пакет из предыдущего элемента в начальной части тактового импульса, затем этот пакет перемещается в более глубокую потенциальную яму. Таким образом, в данной структуре под каждым затвором на участках с более толстым диэлектриком в полупроводнике образуется потенциальный барьер для электронов. Этот барьер препятствует зарядовому пакету, хранимому под более тонким диэлектриком, двигаться в обратном направлении.

В двухтактных ПЗС каждый элемент может хранить зарядовый пакет при высоком уровне напряжения на его затворе даже тогда, когда на соседнем затворе тоже напряжение высокого уровня. Поэтому импульсы разных шин могут частично перекрываться или, наоборот, иметь между собой временной промежуток без серьезного ухудшения работоспособности прибора, что упрощает требования к схемам формирования управляющих импульсов.

Элементы двухтактных ПЗС, имеющие асимметричные потенциальные ямы, формируют также ионным легированием части приповерхностной области полупроводниковой подложки (рис. 11.11). Для этого, например, в подложке p -типа создают области p^+ -типа с повышенной концентрацией акцепторов, вводя атомы бора. Поскольку практически все атомы бора в рабочем интервале температур ионизируются, то при подаче положительного напряжения на затвор, выталкивающего дырки в подложку, в областях p^+ -типа появится нескомпенсированный неподвижный отрицательный заряд ионов, уменьшающий глубину потенциальной ямы для электронов под соответствующей частью затвора.

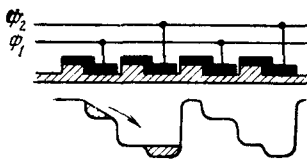


Рис. 11.10

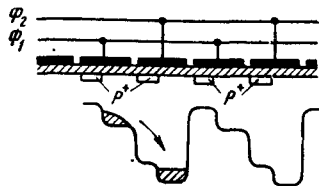


Рис. 11.11

Приборы с асимметричными элементами (см. рис. 11.10 и 11.11) могут работать и при использовании одной шины управляющих импульсов. При этом на вторую шину подается постоянное напряжение, уровень которого находится посередине между высоким и низким уровнями напряжения. Схемы управления такими приборами намного проще, однако амплитуда управляющих импульсов должна быть приблизительно вдвое больше, чем в двухтактных ПЗС.

Одной из важнейших конструктивных разновидностей являются ПЗС с *объемным каналом переноса*. В рассмотренных выше ПЗС использовался перенос зарядов в очень тонком слое полупроводника, расположенном вблизи его поверхности. Для них поверхностные состояния и низкая подвижность электронов у поверхности ограничивают эффективность переноса и максимальную тактовую частоту. Улучшить эти параметры прибора можно в том случае, если хранить и передавать зарядовые пакеты на достаточном удалении от поверхности полупроводника. Это условие реализуется в ПЗС с объемным каналом переноса. Структура такого прибора показана на рис. 11.12, а. Для его создания в высокоомной подложке p -типа (концентрация акцепторов около 10^{14} см^{-3}) диффузией или ионным легированием формируют тонкий (толщиной около 4 мкм) n -слой с концентрацией доноров около $2 \cdot 10^{15} \text{ см}^{-3}$. На краях n -слоя размещаются входная и выходная области n^+ -типа, к которым создают омические контакты.

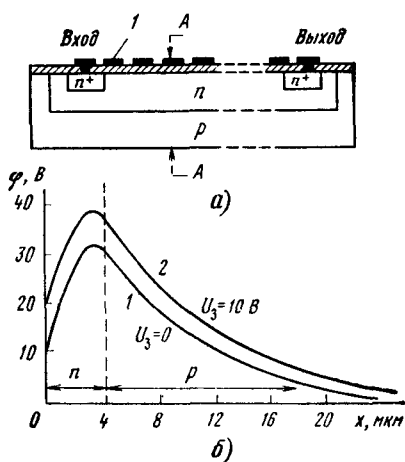


Рис. 11.12

Прибор с объемным каналом переноса работает следующим образом. Предположим, что подложка и все затворы 1 заземлены, входная цепь разомкнута, а к выходному выводу через резистор подключен источник постоянного положительного напряжения (30 В), смещающий p - n переход между n -областью и подложкой в обратном направлении. При этих условиях в рассматриваемой структуре образуются не только приповерхностные обедненные области под

затворами, но и обедненная область p - n перехода. Если положительное напряжение на n -слое достаточно велико, то приповерхностные подзатворные обедненные области смыкаются (в вертикальном направлении) с обедненной областью p - n перехода. Под каждым затвором образуется единая обедненная область, энергия электронов в которой меньше, чем в подложке и вблизи поверхности полупроводника.

Распределение потенциала в вертикальном направлении по сечению A — A структуры показано на рис. 11.12, *б* (кривая 1). Координата x отсчитывается от поверхности полупроводника. Распределение потенциала имеет максимум на глубине $x \approx 3$ мкм, т. е. внутри n -слоя. Он соответствует минимуму потенциальной энергии электронов. Электроны, введенные в такую структуру, будут смещаться электрическим полем к области с минимальной потенциальной энергией. Следовательно, аналогично структуре с поверхностным каналом переноса эта структура способна накапливать и хранить зарядовые пакеты в потенциальных ямах под затворами. В отличие от ПЗС с поверхностным каналом переноса здесь в потенциальных ямах, расположенных в n -слое, накапливаются основные носители—электроны.

Как и в приборах с поверхностным каналом переноса, глубину потенциальной ямы в рассматриваемой структуре можно регулировать, изменяя напряжение на соответствующем затворе. Кривая 2 на рис. 11.12, *б* показывает, как влияет повышение напряжения на затворе до 10 В на распределение потенциала (при пустой потенциальной яме). Заряды можно перемещать из данного элемента в соседний, изменяя напряжения на затворах точно так же, как в трехтактных ПЗС с поверхностным каналом переноса (см. рис. 11.5). Поскольку минимум потенциальной энергии (т. е. область накопления зарядовых пакетов) располагается на значительном расстоянии от границы полупроводник — диэлектрик, влияние поверхностных состояний резко ослабляется и увеличивается подвижность электронов. Эти факторы приводят к увеличению максимальной тактовой частоты и снижению коэффициента потерь (см. кривую 2 на рис. 11.9). Эффективность переноса ПЗС с объемным каналом на средних частотах определяется взаимодействием зарядовых пакетов с объемными ловушками. Концентрация объемных ловушек значительно ниже, чем поверхностных.

Важное достоинство ПЗС с объемным каналом — низкий уровень шумов, обеспечиваемый устранением взаимодействия зарядовых пакетов с поверхностными состояниями. Их недостатком является значительно меньшая величина максимального зарядового пакета, что обусловлено большим расстоянием между затвором и областью накопления зарядов.

Глава 12. АНАЛОГОВЫЕ ИНТЕГРАЛЬНЫЕ МИКРОСХЕМЫ

В данной главе рассматриваются наиболее важные и универсальные элементы, являющиеся основой схемотехники подавляющего большинства аналоговых микросхем. К ним относятся формирователи тока, дифференциальные усилительные каскады, эмиттерные повторители (используемые обычно в качестве усилителей мощности выходного сигнала микросхемы), а также интеграторы (часто выполняющие функцию простейшего фильтра низких частот). Принципы взаимодействия перечисленных элементов рассматриваются на примере схемотехники операционного усилителя (ОУ).

12.1. ОБЩИЕ СВЕДЕНИЯ

Под *аналоговым сигналом* понимают непрерывно изменяемую во времени электрическую величину (обычно напряжение $U(t)$ или ток $I(t)$), значения которой в каждый момент времени информативны и лежат в некотором допустимом интервале. Соответственно устройства, предназначенные для формирования и преобразования аналоговых сигналов, называют *аналоговыми*.

Следует отметить, что работа любого аналогового устройства сопровождается ошибками: реальный выходной аналоговый сигнал $U(t)$ отличается от ожидаемого $U_0(t)$ с погрешностью $\Delta U(t)$. Источником погрешности может быть технологический разброс параметров элементов, их температурный и временной дрейфы, а также шумы и наводки. Поэтому уменьшение погрешности работы аналогового устройства — одна из главных задач, решаемых разработчиком аналоговой аппаратуры.

Сложность достижения высокой точности воспроизведения параметров элементов, обеспечения температурной и временной стабилизации, минимизации шумов послужила причиной того, что технология аналоговых микросхем как самостоятельное направление микроэлектроники развивалось с определенной задержкой по сравнению с цифровыми. Серьезным препятствием явился ограниченный набор элементов полупроводниковых микросхем, в частности отсутствие индуктивных элементов и конденсаторов, широко применяемых в аналоговых устройствах на дискретных компонентах. Весьма трудной оказалась задача нахождения и разработки небольшого числа типовых структур, которые подобно ЛЭ в цифровых микросхемах могли бы быть основой для аналоговой микросхемотехники.

Однако к настоящему времени отмеченные проблемы в основном решены. Крупные успехи в области схемотехники и технологии привели к тому, что аналоговые микросхемы стали применяться в качестве основного типа компонентов аналоговых устройств и систем. Сущест-

венно, что применение аналоговых микросхем в качестве элементной базы позволило не только уменьшить габаритные размеры устройств, их массу, потребляемую мощность и другие показатели, но и более чем на порядок повысить точность обработки аналоговой информации. Дело в том, что интегральная технология дает возможность получать групповым способом на одной подложке совокупность элементов с взаимно согласованными характеристиками. При идеальном согласовании однотипные элементы имеют одинаковые (или пропорциональные) параметры во всех диапазонах внешних допустимых воздействий. Были разработаны специальные схемотехнические приемы взаимной компенсации нестабильности параметров элементов электрических цепей, при которых точность работы аналогового устройства гарантируется идентичностью характеристик элементов.

Кроме принципа взаимного согласования цепей другой особенностью схемотехники аналоговых микросхем является реализация принципа схемотехнической избыточности, который заключается в выборе таких схемотехнических решений (с точки зрения традиционной схемотехники может быть и более сложных), которые в конечном итоге благодаря интегральной технологии позволяют улучшить качество изделий, минимизировать площадь кристалла, повысить технологичность.

Аналоговые микросхемы можно разделить на две группы. В первую группу входят микросхемы универсального назначения: матрицы согласованных резисторов, диодов, транзисторов и т. д. Сюда также следует отнести интегральные операционные усилители (ОУ), появление которых — одно из главных достижений аналоговой микроэлектроники. Во вторую группу входят специализированные аналоговые микросхемы, каждая из которых выполняет некоторую определенную функцию, например перемножение аналоговых сигналов, фильтрация, компрессия и т. д. Схемотехнические приемы построения таких микросхем практически не отличаются от методов реализации их аналогов на микросхемах универсального назначения. Изучению этих методов посвящены специализированные радиотехнические дисциплины. Ограничимся лишь краткой характеристикой основных типов аналоговых микросхем специального назначения.

Усилители (обычно без дифференциального входа) предназначены для усиления сигналов в заданном диапазоне частот. К ним относятся усилители низких, промежуточных и высоких частот, видео- и широкополосные усилители, получившие широкое распространение в аппаратуре, связи, включая радиоприемную и телевизионную аппаратуру.

Фильтры — устройства, выполняющие функцию частотной избирательности. Традиционные методы, основанные на применении LC-цепей, неприемлемы в микроэлектронике из-за нетехнологичности конденсаторов и индуктивных элементов. Поэтому для создания фильтров используются иные физические и схемотехнические методы. Типичными примерами служат фильтры на ПАВ, на ПЗС, а также тран-

зисторные БИС активных фильтров, основным элементом которых является ОУ.

Стабилизаторы напряжения в цепях питания микросхем разрабатывают в виде микросхем централизованной или распределенной стабилизации. Для сложных систем применяют последние (так называемые вторичные источники питания).

Схемы формирования и преобразования сигналов: генераторы, детекторы, смесители, фазовращатели, дискриминаторы, инверторы и т. д. Так как число таких схем велико, а стандартизация затруднена, то для их построения часто используют базовые микросхемы (видео- и дифференциальные усилители) с дополнительными цепями, содержащими дискретные компоненты.

Аналого-цифровые (АЦП) и цифро-аналоговые (ЦАП) преобразователи решают задачу преобразования аналоговой информации в цифровую и наоборот. Они состоят из цифровых и аналоговых узлов и реализуются в виде БИС. Цифровые узлы управляют процессом преобразования в соответствии с заданным алгоритмом. Аналоговые узлы генерируют эталонные напряжения, усиливают и преобразуют аналоговые сигналы, осуществляют их сравнение с эталонными, запоминание, интегрирование и другие операции. Из всех видов ЦАП наибольшее распространение получили преобразователи кода в напряжение и кода в ток. Аналого-цифровые преобразователи в основном преобразуют напряжение в цифровой код.

Приведенные группы микросхем не охватывают диапазон СВЧ. Интегральные СВЧ-микросхемы имеют конструктивно-технологическую, схемотехническую и функциональную специфику. Они появились значительно позднее, так как долгое время отсутствовали совместимые с интегральной технологией активные и пассивные элементы.

В начале 70-х годов были созданы кремниевые биполярные СВЧ-транзисторы, что ускорило развитие микросхем сначала деци-, а затем и сантиметрового диапазона. Однако кремниевые полупроводниковые микросхемы не получили распространения из-за паразитных емкостей элементов, потерь в проводящей подложке и невозможности реализации на кристалле пассивных элементов с использованием МПЛ. Создание помимо транзисторов других необходимых элементов, таких как диоды металл—полупроводник, *p-i-n* диоды, пленочные *R*-, *L*-, *C*-элементы, принципиально было возможным, но значительно усложняло технологию. Поэтому единственно приемлемой в то время оказалась гибридная технология, она широко применяется и сейчас.

В середине 70-х годов были созданы гибридные СВЧ-микросхемы, такие как входные маломощные усилители для приемной аппаратуры, усилители мощности с выходной мощностью порядка нескольких ватт, фазовращатели, смесители, переключатели СВЧ-сигналов, умножители частоты, антенные переключатели прием-передача. Все они необходимы в основном для радиолокационной аппаратуры.

Дальнейшие шаги связаны с разработкой арсенид—галлиевых полых МЭП-транзисторов диапазона СВЧ и технологии арсенид-гал-

лиевых микросхем, что привело к появлению в середине 80-х годов полупроводниковых СВЧ-микросхем [27]. На арсенид-галлиевых транзисторах можно реализовать не только усиление или генерацию сигнала: применяя двухзатворные транзисторы, легко получить переключатели СВЧ-сигнала, фазовращатели, преобразователи частоты и другие устройства. На кристалле легко создают диоды металл—полупроводник и можно получить диоды Ганна. Таким образом реализуются большинство простейших функций, необходимых в СВЧ-микросхемах.

Полуизолирующая подложка из арсенида галлия обеспечивает малые потери и паразитные емкости элементов. На ней можно формировать МПЛ, являющиеся основой пассивных элементов с распределенными параметрами сантиметрового диапазона. Помимо них широко применяют и тонкопленочные *LC*-элементы с сосредоточенными параметрами. В этом случае размеры кристалла малы по сравнению с длиной волны (в деци- и сантиметровом диапазоне), схемотехника упрощается по сравнению с СВЧ-устройствами на дискретных элементах и близка к схемотехнике низкочастотных устройств. Меньшие на порядок размеры, более высокая надежность и низкая стоимость являются важными преимуществами полупроводниковых микросхем по сравнению с гибридными.

Развитие полупроводниковых СВЧ-микросхем стимулируется такими областями техники, как радиолокация (устройства с фазированными антенными решетками) и телевидение на деци- и сантиметровых волнах, требующими массового выпуска дешевых микросхем: малощумящих усилителей для приемных трактов, преобразователей частоты, переключателей СВЧ-сигналов, генераторов, усилителей мощности и др.

В общем случае аналоговое устройство можно представить в виде совокупности каскадов, соединяемых последовательно. При этом каждый каскад выполняет какую-то одну элементарную аналоговую операцию. Сложность каскада зависит как от реализуемой им операции, так и от точности ее исполнения. С точки зрения схемотехники отдельные каскады (особенно сложные) целесообразно, в свою очередь, разбивать на типовые схемотехнические узлы и элементы.

12.2. КАСКАДЫ ФОРМИРОВАТЕЛЕЙ ТОКА

При построении различных функциональных узлов микросхемы (например, усилительных каскадов) возникает необходимость формирования тока I (рис. 12.1, *a*), значение которого не зависит (или слабо зависит) от напряжения на нагрузке U . При этом нагрузкой может служить произвольная, иногда достаточно сложная, в общем случае нелинейная цепь.

Простейшее решение (рис. 12.1, *б*) состоит в использовании высокоомного резистора R , подключаемого к источнику питания $U_{н.п.}$. Формируемый ток $I = (U_{н.п.} - U)/R$.

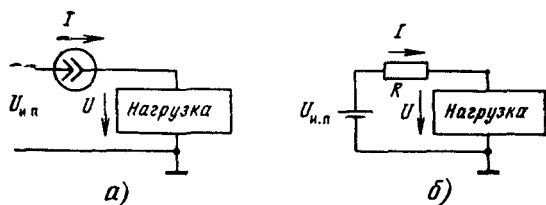


Рис. 12.1

Слабая зависимость тока от напряжения U достигается при условии $U_{и.п} \gg U$. Однако увеличение напряжения питания связано с увеличением рассеиваемой мощности, что всегда нежелательно, а при построении микросхем неприемлемо. Поэтому в качестве формирователей тока применяют либо полевые транзисторы, работающие в пологой области выходной ВАХ, либо биполярные транзисторы по схеме с ОБ, работающие в активном режиме. Для сохранения режимов диапазон допустимых напряжений U должен быть ограничен. Граница диапазона определяется потенциалом базы биполярного или затвора полевого транзистора. Для полевых транзисторов необходимость работы в пологой области характеристик дополнительно сужает диапазон допустимых напряжений U на значение напряжения отсечки транзистора $U_{зи\text{отс}}$.

Известны два типа формирователей тока. Первый основан на принципе повторения тока, второй — инверсии тока.

Упрощенная схема формирователя первого типа (рис. 12.2, а) состоит из первичного (резистивного) формирователя 1 и повторителя тока 2 , выполненного на биполярном транзисторе с ОБ. Для расширения диапазона допустимых значений U в схему введен источник питания $U_{и.п1}$.

Ток на входе повторителя

$$I_{вх} = (U_{и.п2} - U_{вх})/R, \quad (12.1)$$

где $U_{вх}$ — входное напряжение повторителя, равное напряжению $U_{ЭБ}$ транзистора. Это напряжение связано с выходным коллекторным током $I_K = I$:

$$U_{вх} = U_{ЭБ} \simeq \varphi_T \ln (I_K / I_{Э0}). \quad (12.2)$$

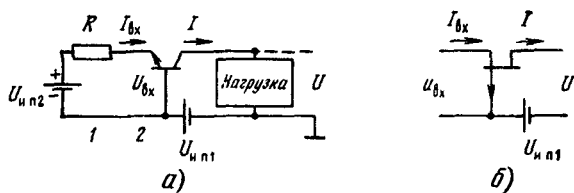


Рис. 12.2

Нестабильность $U_{ЭБ}$, обусловленная температурным дрейфом параметров φ_T и $I_{Э0}$, определяется температурным коэффициентом $dU_{ЭБ}/dT \approx -2 \text{ мВ}/^\circ\text{С}$. Используя (12.1), легко получить выражение для температурного коэффициента тока

$$dI_{вх}/dT = (dI_{вх}/dU_{ЭБ})(dU_{ЭБ}/dT) = 2/R,$$

имеющего размерность $\text{мА}/^\circ\text{С}$. Видно, что для улучшения стабильности формируемого тока необходимо увеличивать R и соответственно напряжение питания $U_{и.п2}$.

Передача тока через повторитель описывается соотношением $I = \alpha I_{вх} + I_{КБО}$, где $I_{КБО}$ — обратный ток коллектора. Точность передачи достаточно высока, поскольку ток $I_{КБО}$ для интегральных кремниевых транзисторов не превышает сотых долей микроампера, а коэффициент α отличается от единицы не более чем на доли процента.

Дифференциальное выходное сопротивление повторителя тока на биполярном транзисторе определяется сопротивлением коллекторного перехода, соответствующего включению транзистора по схеме с ОБ. Это сопротивление с учетом эффекта модуляции толщины базы может быть оценено по формуле $r_{и} = r_{к} = (1 + \beta)U_A/I$, где параметр U_A называется *напряжением Эрли* [8], значение которого зависит от конструкции повторителя и напряжения $U_{КБ}$. Для планарных транзисторов $U_A = 100 \dots 300 \text{ В}$. Полагая $I = 1 \text{ мА}$, $U_A \geq 100 \text{ В}$, $\beta = 100$, получаем $r_{и} \geq 10 \text{ МОм}$.

Передачу тока через повторитель можно сделать практически идеальной, используя полевой транзистор вместо биполярного (рис. 12.2, б). Поскольку полярность напряжения $U_{зи}$ полевого транзистора с $p-n$ переходом противоположна полярности напряжения $U_{си}$, то появляется возможность сформировать входной ток без дополнительного источника $U_{и.п2}$, получая $I = I_{вх} = U_{вх}/R$, и даже без резистора при коротком замыкании входной цепи ($U_{вх} = 0$, $R = 0$). В последнем случае формируемый ток является параметром транзистора и обозначается $I_{Снач}$. Применив параболическую аппроксимацию выходной ВАХ полевого транзистора, можно вычислить входное напряжение с достаточной для инженерных расчетов точностью:

$$U_{вх} = U_{зи} = U_{зиотс} (1 - \sqrt{I_C/I_{Снач}}). \quad (12.3)$$

Выходное сопротивление формирователя тока на полевом транзисторе определяется эффектом модуляции длины канала при изменении напряжения $U_{си}$. При фиксированном напряжении $U_{зи}$ (что соответствует режиму короткого замыкания входной цепи, т. е. при $R = 0$) выходное сопротивление формирователя $r_{и0}$ равно сопротивлению сток—исток в открытом состоянии полевого транзистора: $r_{и0} = R_{сиотк} = U_A/I_C$, где U_A — параметр, аналогичный напряжению Эрли для биполярных транзисторов. Для интегральных полевых транзисторов $U_A = 20 \dots 200 \text{ В}$ в зависимости от напряжения $U_{си}$ и конструкции транзистора.

При $R \neq 0$ эффект модуляции длины канала учитывают, полагая в (12.3) параметр $I_{C \text{ нач}}$ зависящим от выходного напряжения формирователя. Используя правила дифференцирования сложной функции, имеем

$$r_{и} = \frac{dU_{C3}}{dI_C} = \frac{dU_{C3}}{dI_{C \text{ нач}}} \frac{dI_{C \text{ нач}}}{dI_C} = \frac{U_A}{I_{C \text{ нач}}} \frac{dI_{C \text{ нач}}}{dI_C}. \quad (12.4)$$

Справедливость последнего равенства вытекает из того, что $I_C = I_{C \text{ нач}}$ при $U_{C3} = U_{Cн}$. Чтобы упростить нахождение производной $dI_{C \text{ нач}}/dI_C$, представим зависимость $I_{C \text{ нач}}(I_C)$ в явной форме. Подставляя в (12.3) выражение $U_{вх} = -(U_{и.п2} - RI_C)$, определяемое входной цепью формирователя, и решая уравнение относительно $I_{C \text{ нач}}$, получаем

$$I_{C \text{ нач}} = I_C [1 + (U_{и.п2} - RI_C)]^{-2},$$

откуда

$$\begin{aligned} \frac{dI_{C \text{ нач}}}{dI_C} &= \frac{1}{[1 + (U_{и.п2} - RI_C)]^2} + \frac{2I_C}{[1 + (U_{и.п2} - RI_C)]^3} \frac{R}{U_{Зиотс}} = \\ &= \frac{I_{C \text{ нач}}}{I_C} (1 + RS), \end{aligned} \quad (12.5)$$

где $S = 2\sqrt{I_C I_{C \text{ нач}}}/U_{Зиотс}$ — крутизна полевого транзистора, определяемая как производная $dI_C/dU_{вх}$.

Подстановка (12.5) в (12.4) приводит к окончательному выражению

$$r_{и} = (1 + RS) U_A / I.$$

Полагая $I_{C \text{ нач}} = 4 \text{ мА}$, $U_{Зиотс} = 4 \text{ В}$, $U_A = 50 \text{ В}$, $I_C = I = 1 \text{ мА}$ и $R = 5 \text{ кОм}$, получаем $r_{и} = 300 \text{ кОм}$.

Формирователь с инверсией тока (рис. 12.3, а), называемый также *отражателем тока*, или *токовым зеркалом*, выполняют на взаимно согласованных транзисторах $VT1, VT2, \dots, VTN$, изготовляемых груп-

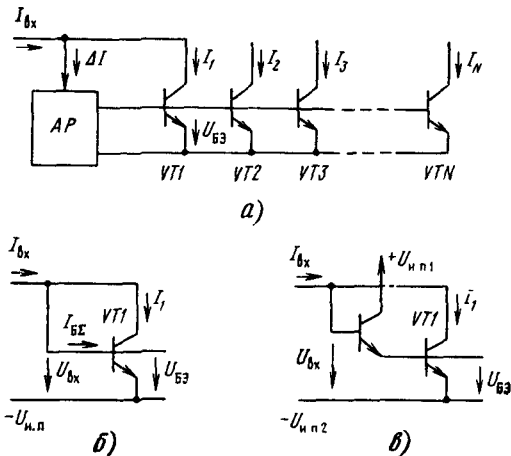


Рис. 12.3

повым способом на одном кристалле кремния. Параллельное соединение эмиттерных переходов всех транзисторов, при котором $U_{БЭ1} = U_{БЭ2} = \dots = U_{БЭN} = U_{БЭ}$, гарантирует равенство их коллекторных токов. Ток одного из транзисторов используется в качестве сигнала отрицательной обратной связи. Он вычитается из входного тока $I_{вх}$, в результате образуется сигнал рассогласования ΔI , управляющий посредством автоматического регулятора (АР) режимом работы транзисторов. При идеальном АР значение $U_{БЭ}$ таково, что сигнал рассогласования $\Delta I = 0$ и, следовательно, $I_1 = I_2 = \dots = I_N = I_{вх}$. Различные схемные реализации отражателей тока отличаются друг от друга главным образом исполнением АР.

В простейшем случае (рис. 12.3, б) разностный сигнал подается непосредственно на шину, соединяющую базы транзисторов. Однако это приводит к погрешности, так как в стационарном режиме разностный сигнал ΔI отличается от нуля на значение суммарного базового тока транзисторов $I_{бз}$. В схеме на рис. 12.3, в погрешность уменьшена за счет использования эмиттерного повторителя в $1 + \beta$ раз.

Следует отметить, что сделанное выше предположение об идеальном согласовании параметров транзисторов отражателя тока в общем случае не выполняется, поскольку в реальной ситуации даже у двух транзисторов идентичной конструкции, расположенных в непосредственной близости друг к другу на одном кристалле, характеристики различаются, хотя и очень незначительно. Рассогласование транзисторной пары (для определенности транзисторов $VT1$ и $VT2$ на рис. 12.3, а) обычно оценивают двумя параметрами: относительным различием коэффициентов передачи тока

$$\delta\beta = \frac{|\beta_2 - \beta_1|}{0,5(\beta_1 + \beta_2)} \cdot 100$$

и напряжением смещения

$$U_{см} = U_{БЭ2} - U_{БЭ1},$$

причем предполагается, что при изменении параметров β и $U_{БЭ}$ транзисторы находятся в одинаковых режимах ($I_{К1} = I_{К2}$; $U_{К1} = U_{К2}$). Типовые значения $\delta\beta$ и $|U_{см}|$ для современного уровня технологии микросхем составляют соответственно 5...10% и 1...5 мВ.

Следует отметить, что если $U_{К1} \neq U_{К2}$, то из-за эффекта модуляции толщины базы биполярного транзистора напряжение смещения получает дополнительное приращение

$$U_{см}^* = U_{см} + (U_{К2} - U_{К1}) K'_{о.с};$$

где $K'_{о.с} = \varphi_T / U$ — коэффициент внутренней обратной связи биполярного транзистора.

Для отражателей тока различие β транзисторов не играет большой роли вследствие малости базового тока, тогда как различие $U_{см}^*$ оказывается существенным.

Зависимость $U_{см}^*$ от U_{K2} важна для оценки выходного сопротивления отражателя тока. Полагая $I_{K1} = I_{K2}$, $U_{БЭ1} = \varphi_T \ln(I_{K1}/I_{Э01})$, $U_{БЭ2} = \varphi_T \ln(I_{K2}/I_{Э02})$, выражаем $U_{см}^*$ через отношение тепловых токов:

$$U_{см}^* = U_{БЭ2} - U_{БЭ1} = \varphi_T \ln \frac{I_{K2}}{I_{Э02}} - \varphi_T \ln \frac{I_{K1}}{I_{Э01}} = \varphi_T \ln \frac{I_{Э01}}{I_{Э02}}. \quad (12.6)$$

При $U_{БЭ1} = U_{БЭ2}$ имеем $I_{K2}/I_{K1} = I_{Э01}/I_{Э02}$, откуда

$$\frac{I_{K2}}{I_{K1}} = \exp \frac{U_{см}^*}{\varphi_T} \approx 1 + \frac{U_{см}}{\varphi_T} + \frac{U_{K2} - U_{K1}}{U_A}. \quad (12.7)$$

Используя (12.7), находим, что при $|U_{см}^*| = 1$ мВ погрешность формирования выходного тока I_{K2} примерно $4\theta_n$

Пренебрегая влиянием сопротивления коллекторного перехода, можно оценить выходное сопротивление отражателя $r_{н} = dU_{K2}/dI$, используя (12.7):

$$r_{н} = 1 / \left(\frac{dI_{K2}}{dU_{K2}} \right) = \frac{U_A}{I_{K1}} \cdot \frac{I_{K1}}{I_{K2}} \approx \frac{U_A}{I_{K2}}.$$

Полученный результат показывает, что выходное сопротивление отражателя тока существенно меньше (в $\beta - 1$ раз) выходного сопротивления повторителя тока.

При построении отражателей тока можно также использовать полевые транзисторы, однако при современном уровне технологии разброс их параметров выше, чем у биполярных.

Если требуется получить модуль коэффициента передачи, отличный от единицы, объединяют коллекторные выводы транзисторов, что приводит к суммированию их токов. В результате замены транзистора $VT1$ на m транзисторов ток $I_1 = mI$, а в результате замены $VT2$ на n транзисторов ток $I_2 = nI$. Тогда из равенства $I_1 = I_{вх}$ получаем $I_2 = (n/m)I_{вх}$.

Процедуру объединения коллекторов можно заменить эквивалентным увеличением площади эмиттера транзистора. При этом $I_{вых} = (S_{ос}/S_{вых})I_{вх}$, где $S_{ос}$, $S_{вых}$ — площади эмиттеров транзистора с обратной связью и выходного.

В качестве первичного формирователя входного тока отражателя можно использовать резистивную цепь. Однако в отличие от устройств на повторителях в схеме отражателя тока нет необходимости в дополнительном источнике питания $U_{н,п2}$, поскольку один и тот же источник может формировать входной ток, протекающий через резистор R , и создавать смещение на базе транзисторов. Это позволяет увеличивать напряжение источника, расширяя тем самым диапазон допустимых напряжений на коллекторах выходных транзисторов и уменьшая влияние $U_{вх}$. Другим важным достоинством отражателей тока является возможность создания сразу нескольких источников тока при единственной токозадающей цепи.

12.3. ДИФФЕРЕНЦИАЛЬНЫЕ УСИЛИТЕЛЬНЫЕ КАСКАДЫ НА БИПОЛЯРНЫХ ТРАНЗИСТОРАХ

Схема дифференциального каскада (ДК) на биполярных транзисторах (рис. 12.4, а) содержит взаимно согласованные пары биполярных транзисторов $VT1$, $VT2$ и резисторов нагрузки $R_{н1}$, $R_{н2}$. В общую эмиттерную цепь включен источник тока I . Входной сигнал форми-

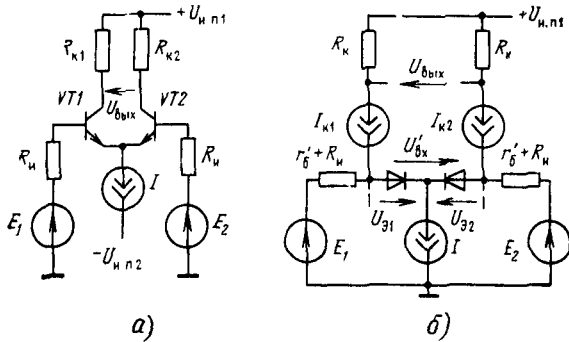


Рис. 12.4

руется источниками напряжения E_1 и E_2 с одинаковыми внутренними сопротивлениями $R_{н}$, подключенными к базам транзисторов.

Разность напряжений, формируемых на базах транзисторов (входах усилительного каскада), называют *дифференциальным входным сигналом*, а полусумму этих напряжений — *синфазным входным сигналом*. Дифференциальный и синфазный входные сигналы обозначим соответственно $U_{вх}$ и $U_{вх.сф}$:

$$U_{вх} = U_{Б1} - U_{Б2}; \quad U_{вх.сф} = 0,5(U_{Б1} + U_{Б2}).$$

В некоторых случаях в качестве входных целесообразно рассматривать сигналы, соответствующие режиму холостого хода входной цепи:

$$E_{вх} = E_1 - E_2; \quad E_{вх.сф} = 0,5(E_1 + E_2).$$

Выходным сигналом ДК является напряжение $U_{вых}$ между коллекторами транзисторов.

Вследствие симметрии каскада при отсутствии дифференциального сигнала ($E_{вх} = U_{вх} = 0$) коллекторные токи транзисторов одинаковы и $U_{вых} = 0$. Нулевое значение $U_{вых}$ сохраняется при одновременном и одинаковом изменении токов в обоих плечах, какими бы причинами такое изменение не вызывалось. Следовательно, в идеальном ДК дрейф выходного напряжения отсутствует, хотя в каждом из плеч он может быть сравнительно большим. Симметрия не нарушается при синфазном изменении E_1 и E_2 , т. е. ДК нечувствителен к синфазному сигналу.

Появление на входе отличного от нуля дифференциального сигнала, напротив, приводит к нарушению симметричного режима работы каскада и, как следствие, к отклонению напряжения $U_{вых}$ от нуля. Отмеченная способность ДК реагировать только на дифференциальный входной сигнал отражена в его названии.

Рассмотрим статические характеристики каскада: передаточную $U_{вых}(U_{вх})$ и входную $\Delta I_{вх}(U_{вх})$, где $\Delta I_{вх}$ разностный (дифференциальный) входной ток, $\Delta I_{вх} = I_{Б1} - I_{Б2}$,

Для простоты за входной дифференциальный сигнал примем разность потенциалов между активными областями баз транзисторов, обозначенную на эквивалентной схеме на рис. 12.4, б $U'_{вх}$. Из этой схемы следует, что $U'_{вх} = -U_{э1} - U_{э2}$. Используя формулу (12.2), выразим напряжения $U_{э1}$, $U_{э2}$ и на эмиттерных переходах транзисторов через соответствующие коллекторные токи, тогда

$$U'_{вх} = \varphi_T \ln \frac{I_{K1}}{I_{э0}} - \varphi_T \ln \frac{I_{K2}}{I_{э0}} = \varphi_T \ln \frac{I_{K1}}{I_{K2}}.$$

Учитывая, что $I_{э2} = I_{кг} = h_{21B} I$, находим коллекторные токи транзисторов:

$$I_{K2} = h_{21B} I / [1 + \exp(U'_{вх}/\varphi_T)];$$

$$I_{K1} = h_{21B} I \exp(U'_{вх}/\varphi_T) / [1 + \exp(U'_{вх}/\varphi_T)],$$

откуда

$$U_{вых} = R_{н} (I_{K1} - I_{K2}) = \alpha I R_{н} \operatorname{th}(U'_{вх}/2\varphi_T);$$

$$\Delta I_{вх} = \frac{I_{K1} - I_{K2}}{\beta} = \frac{I}{1 + \beta} \operatorname{th}(U'_{вх}/2\varphi_T).$$

Статическая передаточная характеристика $U_{вых}(U_{вх})$ показана на рис. 12.5. В режимах ограничения, когда один из транзисторов заприрается, $|U_{вых}| \approx IR_{н}$.

Как следует из полученных соотношений, входная характеристика совпадает по форме с передаточной.

Дифференциальные статические параметры каскада представляют собой коэффициенты (размерные и безразмерные), связывающие переменные составляющие (приращения) сигналов $E_{вх}$, $U'_{вх}$, $\Delta I_{вх}$, $U_{вых}$, которые обозначим соответственно $e_{вх}$, $u'_{вх}$, $\Delta i_{вх}$, $u_{вых}$. При этом будем считать, что амплитуда и скорость изменения указанных приращений настолько мала, что нелинейностью характеристик ДК и его инерционностью можно пренебречь. Наиболее важными дифференциальными параметрами являются коэффициент усиления

$$K_U = \left. \frac{dU_{вых}}{dU'_{вх}} \right|_{U'_{вх}=0} = \frac{\alpha I R_{н}}{2\varphi_T} \quad (12.8a)$$

и входное сопротивление

$$r'_{вх} = \left. \frac{dU'_{вх}}{d(\Delta I_{вх})} \right|_{U'_{вх}=0} = \frac{2\varphi_T (1 + \beta)}{I}. \quad (12.8б)$$

Штрих в обозначениях введен для того, чтобы подчеркнуть, что эти параметры не учитывают сопротивления $R_{н}$ и $r'_б$. Уточненные дифференциальные параметры определяются по формулам

$$r_{вх} = r'_{вх} + r'_б; \quad (12.9a)$$

$$k_u = k'_u r'_{вх} / (r'_{вх} + r'_б + R_{н}) = \beta R_{н} / (r'_{вх} + r'_б + R_{н}). \quad (12.9б)$$

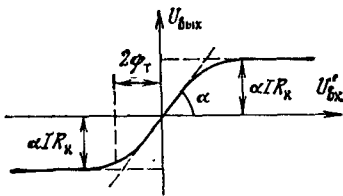


Рис. 12.5

Дифференциальные параметры позволяют по заданной переменной составляющей входного напряжения $e_{вх}$ найти соответствующие приращения входного тока и выходного напряжения: $i_{вх} = e_{вх}/(r_{вх} + R_{и})$; $u_{вых} = k_u e_{вх}$.

Часто для увеличения входного сопротивления ДК используют транзисторы с большим коэффициентом усиления по току β , работающие при малых токах I . При этом удается обеспечить режим, близкий к режиму холостого хода, когда $r'_{вх} \gg r'_б + R_{и}$, и, следовательно, можно принять $U'_{вх} \approx E_{вх}$; $k_u \approx k'_u$; $r_{вх} \approx r'_{вх}$.

В этом режиме ДК приобретает следующие дополнительные свойства. Во-первых, коэффициент усиления каскада линейно зависит от тока.

Данное свойство используют в усилителях с переменным электрически управляемым коэффициентом усиления, а также в перемножителях аналоговых сигналов. Во-вторых, отношение максимального по модулю значения выходного сигнала к коэффициенту усиления есть константа, равная $2\phi_T$. Эта константа определяет максимальную амплитуду входного сигнала, при которой передаточную характеристику еще можно считать приблизительно линейной.

При быстро изменяющихся слабых сигналах, когда сохраняются условия линейности характеристик каскада, но его инерционностью пренебречь нельзя, применяют операторный метод расчета переходных процессов, при котором переменные составляющие $e_{вх}$, $i_{вх}$, $u_{вых}$ рассматриваются как оригиналы (т. е. функции времени, равные нулю при $t \leq 0$) соответствующих изображений $e(p)$, $i_{вх}(p)$, $u_{вых}(p)$. Связь между изображениями задают операторными коэффициентами, выполняющими функции рассмотренных выше дифференциальных параметров:

$$K_U(p) = K_U / (1 + p\tau_{экв}); \quad (12.10a)$$

$$r_{вх}(p) = r_{вх} (1 + p\tau_{\alpha}^*) / (1 + p\tau_{\beta}^*), \quad (12.10б)$$

где $\tau_{экв} = \tau_{\alpha}^* [1 + \beta(R_{и} + r'_б) / (r'_{вх} + r'_б + R_{и})]$ — эквивалентная постоянная времени каскада; $\tau_{\alpha}^* = \tau_{\alpha} + R_{и}C_{и}$; $\tau_{\alpha} = 1/(2\pi f_{\alpha})$, $\tau_{\beta}^* = (1 + \beta)\tau_{\alpha}^*$.

Переходные характеристики ДК биполярного транзистора определяются переходными процессами при ступенчатом изменении входного сигнала (рис. 12.6, а). Умножая изображение $e_{вх}(p) = E_m p^{-1}$ на $K_U(p)$ и деля его на

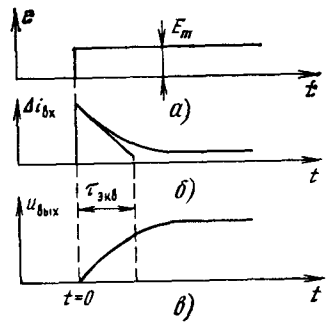


Рис. 12.6

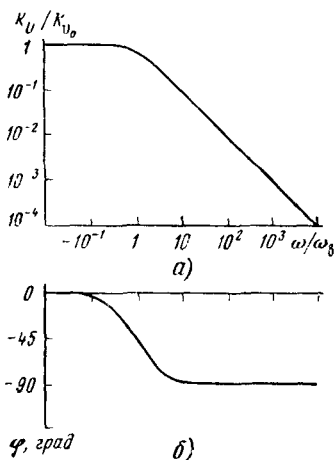


Рис. 12.7

Модуль и фаза комплексной величины $K_U(j\omega)$ представляют собой соответственно амплитудно- и фазочастотные характеристики коэффициента усиления ДК (рис. 12.7, а, б).

$$K_U(\omega) = K_U' \sqrt{1 - (\omega/\omega_B)^2}; \quad \varphi(\omega) = -\text{arctg}(\omega/\omega_B).$$

12.4. ДИФФЕРЕНЦИАЛЬНЫЕ УСИЛИТЕЛЬНЫЕ КАСКАДЫ НА ПОЛЕВЫХ ТРАНЗИСТОРАХ

Среди униполярных приборов в аналоговой схемотехнике наиболее распространены полевые транзисторы с $p-n$ переходом, которые по сравнению с МДП-транзисторами обладают большей стабильностью характеристик и малым уровнем собственных шумов. Схема ДК на полевых транзисторах (рис. 12.8) аналогична схеме ДК на биполярных транзисторах. В идеализированном случае предполагается строгая симметрия плеч, при которой отсутствует дрейф выходного напряжения и сохраняется нечувствительность каскада к синфазному входному сигналу.

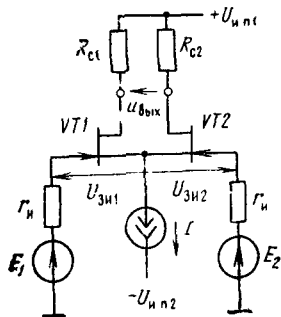


Рис. 12.8

$r'_{вх} + r'_B + R_{и})$, получаем изображения $\Delta i_{вх}(p)$ и $u_{вых}(p)$. Оригиналами этих изображений будут переходные характеристики

$$\begin{aligned} \Delta i_{вх}(t) &= [E_m / (r'_{вх} + r'_B + R_{и}) \times \\ &\times \{1 + (\tau_B^* / \tau_{экв}} - 1) \exp(-t / \tau_{экв})\}, \\ u_{вых}(t) &= K_U E_m [1 - \exp(-t / \tau_{экв})], \end{aligned}$$

показанные на рис. 12.6, б, в.

Частотные зависимости ДК получают при замене в соответствующих операторных коэффициентах оператора Лапласа на $j\omega$. Так, частотная зависимость коэффициента усиления

$$K_U(j\omega) = K_U / (1 + j\omega/\omega_B),$$

где $\omega_B = 1/\tau_{экв}$ — верхняя граничная частота коэффициента усиления на уровне 0,7.

В отличие от ДК на биполярных транзисторах каскад имеет высокое (практически бесконечное) входное сопротивление, что позволяет во входных цепях всегда обеспечивать режим холостого хода, в котором разность потенциалов затворов транзисторов совпадает с разностью ЭДС источников входных сигналов, т. е. $U_{вх} = E_1 - E_2$.

Высокое входное сопротивление позволяет ограничиться рассмотрением лишь передаточной статической характеристики $U_{\text{вых}}(U_{\text{вх}})$. При выводе аналитического выражения, описывающего передаточную характеристику ДК, будем использовать (12.3). Как следует из схемы на рис. 12.8,

$$U_{\text{вх}} = U_{\text{ЗИ}2} - U_{\text{ЗИ}1} = \frac{U_{\text{ЗИотс}}}{\sqrt{I_{\text{Снач}}}} \left(\sqrt{I_{\text{C}1}} - \sqrt{I_{\text{C}2}} \right). \quad (12.11)$$

Следует отметить, что, поскольку $I_{\text{C}1}$ и $I_{\text{C}2}$ могут принимать значения от 0 до I , формула (12.11) справедлива при

$$|U_{\text{вх}}| < U_{\text{макс}} = U_{\text{ЗИотс}} \sqrt{I/I_{\text{Снач}}}. \quad (12.12)$$

Решая уравнение (12.11) совместно с уравнением $I_{\text{C}1} + I_{\text{C}2} = I$ относительно стокowych токов, получаем

$$I_{\text{C}1,2} = \frac{1}{2} \left(I \pm \frac{U_{\text{вх}}}{U_{\text{ЗИотс}}} \sqrt{2II_{\text{Снач}}} \sqrt{1 - \frac{I_{\text{Снач}} U_{\text{вх}}^2}{2IU_{\text{ЗИотс}}^2}} \right),$$

откуда

$$U_{\text{вых}} = R_c(I_{\text{C}1} - I_{\text{C}2}) = U_{\text{вх}} \frac{R_c}{U_{\text{ЗИотс}}} \sqrt{2II_{\text{Снач}}} \sqrt{1 - \frac{I_{\text{Снач}} U_{\text{вх}}^2}{2IU_{\text{ЗИотс}}^2}}.$$

Это выражение описывает передаточную характеристику ДК на полевых транзисторах при выполнении условия (12.12). В случае нарушения данного условия каскад входит в режим ограничения, при котором $|U_{\text{вых}}| = IR_c$ (рис. 12.9).

Дифференциальный статический коэффициент усиления определим, про дифференцировав передаточную характеристику:

$$K_U = \left. \frac{dU_{\text{вых}}}{dU_{\text{вх}}} \right|_{U_{\text{вх}}=0} = \frac{R_c}{U_{\text{ЗИотс}}} \sqrt{2II_{\text{Снач}}}.$$

Сравнивая характеристики ДК на полевых транзисторах с аналогичными характеристиками ДК на биполярных транзисторах, находим следующие различия. Во-первых, коэффициент усиления ДК приблизительно пропорционален \sqrt{I} (в отличие от строго линейной зависимости для схем на биполярных транзисторах). Во-вторых, с увеличением I происходит расширение диапазона допустимых амплитуд входного сигнала, при которых сохраняется приблизительно линейная передаточная характеристика. Ширину указанного диапазона можно оценивать отношением максимального по модулю значения выходного сигнала IR_c к коэффициенту усиления K_U , при этом

$$|U_{\text{вх}}|_{\text{макс}} \approx U_{\text{ЗИотс}} \sqrt{I/2I_{\text{Снач}}}.$$

При исследовании переходных и частотных характеристик ДК ввиду их нечувствительности к синфазным сигналам целесообразно входной сигнал рассматривать как дифференциальный, т. е. полагать $e_1 = -e_2 = e_{\text{вх}}/2$. В этом случае достигается строгая симметрия всех процессов, протекающих в плечах ДК, что позволяет проводить анализ эквивалентной схемы только

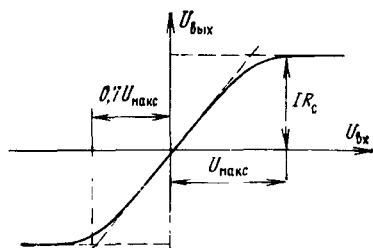


Рис. 12.9

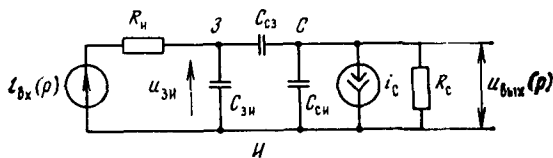


Рис. 12.10

одного плеча (рис. 12.10). Инерционность каскада определяется паразитными емкостями затвор—исток $C_{\text{зИ}}$, затвор—сток $C_{\text{сЗ}}$, сток—исток $C_{\text{сИ}}$, причем емкость $C_{\text{сИ}}$ может также моделировать емкость нагрузки. Форма переходной и частотных характеристик ДК на полевых транзисторах практически совпадает с соответствующими характеристиками ДК на биполярных транзисторах (см. рис. 12.6 и 12.7).

12.5. ДИФФЕРЕНЦИАЛЬНЫЕ КАСКАДЫ С ОДНОФАЗНЫМ ВЫХОДОМ

Во многих аналоговых микросхемах ДК используют только на входе устройства, остальные каскады усиления или преобразования сигналов выполняют по однофазной схеме. Примером такой микросхемы может служить ОУ.

На рис. 12.11 приведена упрощенная схема типового ДК с однофазным выходом, выполненная на двух комплементарных парах взаимно согласованных биполярных транзисторов. Транзисторы $VT1$ и $VT2$ первой пары включены по схеме, по сути не отличающейся от схемы каскада с дифференциальным выходом (см. рис. 12.4, а). Транзисторы $VT3$, $VT4$ второй пары образуют простейший отражатель тока, отличающийся от представленного на рис. 12.3, а, б типом проводимости транзисторов и соответственно полярностью источника питания. Поскольку транзисторы $VT3$ и $VT4$ имеют взаимно согласованные параметры, а напряжения их эмиттерных переходов равны, то равны и их коллекторные токи, т. е. $I_{K3} = I_{K4}$. Поскольку транзистор

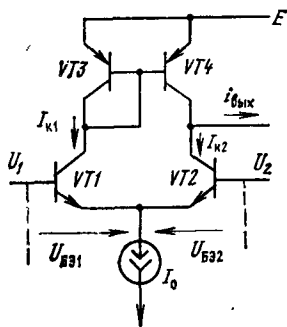


Рис. 12.11

$VT3$ (выполняющий функцию входного элемента отражателя тока) включен по диодной схеме, его коллекторный ток $I_{K1} = I_{B3} - I_{B4}$. При этом справедливо уравнение

$$I_{K3} = I_{K1} - (I_{K3} + I_{K4}) h_{21a} = \\ = I_{K1} - 2I_{K3}/h_{21a},$$

решение которого $I_{K3} = I_{K1}/(1 + 2h_{21a}^{-1})$.

Использование транзисторов с большим коэффициентом передачи тока позволяет в ряде случаев пренебречь величиной $2\beta^{-1} \ll 1$,

считая токи I_{K3} и I_{K4} равными входному току I_{K1} . Тогда выходной ток каскада

$$I_{\text{вых}} = I_{K4} - I_{K2} = I_{K1} - I_{K2} = \alpha I_0 \operatorname{th}(U'_{\text{вх}}/2\varphi_T). \quad (12.13)$$

Дифференциальный коэффициент передачи, определяемый производной $dI_{\text{вых}}/dU'_{\text{вх}}$ в точке $U'_{\text{вх}} = 0$, называют крутизной каскада S . Дифференцируя (12.13), получаем $S = \alpha I_0/2\varphi_T$.

При использовании в качестве $VT1-VT2$ взаимно согласованной пары полевых транзисторов в соответствии с (12.3) выходной ток каскада

$$I_{\text{вых}} = \frac{U_{\text{вх}}}{U_{\text{ЗИотс}}} \sqrt{2II_{\text{Снач}}} \sqrt{1 - \frac{I_{\text{Снач}} U_{\text{вх}}^2}{2I U_{\text{СИотс}}^2}} \quad (12.14)$$

и соответственно

$$S = U_{\text{ЗИ}^{-1} \text{отс}} \sqrt{2II_{\text{Снач}}}.$$

Таким образом, при идеальном согласовании характеристик транзисторов в транзисторных парах $VT1-VT2$ и $VT3-VT4$ ДК с однофазным выходом сохраняет отмеченные выше свойства простейших ДК: нечувствительность к синфазному сигналу и формирование нулевого выходного сигнала ($I_{\text{вых}} = 0$) при нулевом входном дифференциальном сигнале. Однако, поскольку идеальное согласование характеристик элементов на практике недостижимо, соотношения (12.13), (12.14) необходимо рассматривать лишь как идеализированное описание (модель) реальных характеристик. Параметры, оценивающие отклонение реальных характеристик от идеальных, называются *параметрами неидеальности*. Основными параметрами неидеальности ДК являются приведенное ко входу напряжение смещения $U_{\text{см}}$, определяемое как значение входного дифференциального напряжения, при котором выходное напряжение равно нулю, и коэффициент ослабления синфазных входных напряжений $M_{\text{сф}}$, определяемый как отношение приращений синфазных входных напряжений к входному напряжению, вызывающих одно и то же приращение выходного напряжения.

Современный уровень технологии аналоговых микросхем обеспечивает значение $|U_{\text{см}}|_{\text{макс}}$ порядка единиц милливольт и $M_{\text{сф}} = 10^8 \dots 10^{12}$ (в логарифмическом масштабе 80...120 дБ).

12.6. ВЫХОДНЫЕ КАСКАДЫ

Простейший вариант выходного каскада аналоговой микросхемы — эмиттерный повторитель (рис. 12.12, а). Как видно из схемы, в режиме холостого хода на выходе, когда отсутствует ток нагрузки I_n , ток эмиттера транзистора постоянный и определяется источником тока I_0 . Постоянство эмиттерного тока обуславливает постоянство напряжения на эмиттерном переходе, при этом любое изменение входного на-

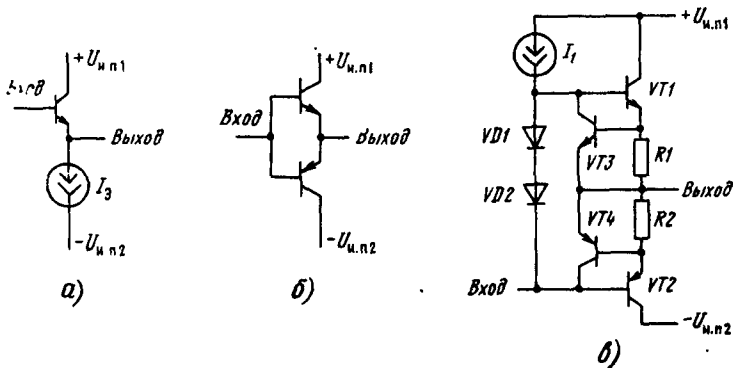


Рис. 12.12

пряжения будет вызывать аналогичное изменение выходного напряжения.

Нагрузочная способность выходного каскада зависит от его выходного сопротивления и максимальной мощности, которая может быть выделена в нагрузку.

Выходное сопротивление эмиттерного повторителя определяется сопротивлением r_3 эмиттерного перехода транзистора, а также сопротивлением базы r_6 и внутренним сопротивлением источника входного сигнала $R_{и}$. Поскольку при изменении тока нагрузки на величину ΔI входной ток изменяется на величину $\Delta I / (1 + \beta)$, то влияние сопротивления базы и внутреннего сопротивления генератора на изменение выходного напряжения будет в $1 + \beta$ раз более слабым по сравнению с влиянием сопротивления r_3 . При этом выходное сопротивление эмиттерного повторителя

$$r_{\text{вых}} = r_3 + (r_6 + R_{и}) / (1 + \beta).$$

Для оценки максимальной мгновенной мощности, выделяемой в нагрузку, предположим, что максимальная амплитуда выходного сигнала определяется только напряжениями питания $U_{и.п1}$ и $U_{и.п2}$, т. е. $U_{m \text{ вых}} = 0,5(U_{и.п1} + U_{и.п2})$. Такая амплитуда может достигаться при выполнении двух условий. Во-первых, необходимо, чтобы источник тока I_3 сохранял высокое выходное сопротивление при $U_{\text{вых}} \approx -U_{и.п2}$. Данным свойством обладает источник тока, выполненный по схеме отражателя (см. рис. 12.3), поскольку уменьшение выходного сопротивления такого источника происходит лишь при переходе выходного транзистора в режим насыщения, характеризующийся чрезвычайно малым напряжением между коллектором и эмиттером. Во-вторых, ток нагрузки не должен превышать значения I_3 , так как в случае, когда ток нагрузки равен I_3 , при отрицательном сигнале произойдет запирание эмиттерного повторителя. Таким образом, максимальная мгновенная мощность, выделяемая в нагрузку,

$$P_m = U_{m \text{ вых}} I_3 = 0,5 (U_{и.п1} + U_{и.п2}) I_3.$$

Мощность, рассеиваемая каскадов в режиме покоя ($I_n = 0$), $P_0 = I_{Э}(U_{н.п1} + U_{н.п2})$. Эта мощность рассеивается на коллекторных переходах транзисторов и ограничена тепловым режимом работы устройства. Сравнение выражений для P_m и P_0 показывает, что для того чтобы выделить заданную мощность в нагрузке, необходимо обеспечить вдвое большую мощность рассеивания каскада в режиме покоя.

Для снижения мощности, рассеиваемой каскадом в статическом режиме, применяют схему двухтактного эмиттерного повторителя (рис. 12.12, б), выполненную на комплементарных транзисторах. В таком повторителе в режиме покоя транзисторы закрыты ($P_0 = 0$). Недостатком схемы на рис. 12.12, б являются искажения, связанные с нелинейностью входной характеристики биполярного транзистора, которая проявляется при малых токах нагрузки, когда относительное изменение тока эмиттера велико. Для уменьшения нелинейных искажений транзисторы в режиме покоя приоткрывают, применяя диодное смещение переходов база—эмиттер транзисторов $VT1$ и $VT2$ (рис. 12.12, в). В качестве $VD1$ и $VD2$ используют транзисторы в диодном включении. Топологические размеры этих транзисторов и $VT1$, $VT2$ одинаковые, поэтому ток покоя в транзисторах $VT1$, $VT2$ будет приблизительно совпадать с током диодов смещения, который задается источником I_1 .

При коротком замыкании выходного зажима двухтактного эмиттерного повторителя на общую шину (или шину одного из источников питания) через один из транзисторов начнет протекать большой ток (ограничиваемый лишь выходным сопротивлением), вызывающий его перегорание. Поэтому необходимо принимать специальные меры по защите выходных каскадов микросхем от короткого замыкания. Для этого применяют резисторы-ограничители $R1$, $R2$ (см. рис. 12.12, в) в сочетании с защитными биполярными транзисторами $VT3$, $VT4$. В нормальном режиме работы $VT3$ и $VT4$ закрыты. При недопустимо большом увеличении тока через $VT1$ (или $VT2$) один из них открывается. Через открытый защитный транзистор отводится часть базового тока транзистора $VT1$ (или $VT2$), так что напряжение на резисторе $R1$ (или $R2$) не превышает напряжения $U_{БЭ}$ защитного транзистора, а выходной ток каскада ограничивается величиной $U_{БЭ}/R_{1(2)}$.

12.7. УСТРОЙСТВО ИНТЕГРИРОВАНИЯ АНАЛОГОВЫХ СИГНАЛОВ

Устройство интегрирования аналоговых сигналов — *интегратор* — в идеальном случае формирует на выходе приращение выходного сигнала, пропорциональное интегралу входного сигнала, например

$$u_{\text{вых}}(t) = \frac{1}{T} \int_0^t U_{\text{вх}}(t) dt.$$

Коэффициент пропорциональности T , имеющий из соображений сохранения размерности сигнала размерность времени, называется *постоянной времени интегратора*.

Переходная характеристика идеального интегратора показана на рис. 12.13. При $t < 0$ $U_{\text{вых}} = 0$, поэтому выходное напряжение не изменяется (приращение $u_{\text{вых}}(t) = 0$). При $t > 0$ $U_{\text{вых}} = E_m$ и приращение $u_{\text{вых}}(t)$ нарастает по линейному закону $E_m t/T$, достигая в момент $t = T$ значения E_m .

Функцию интегрирования обычно реализуют с помощью электрического конденсатора C , поскольку приращения напряжения u_c на конденсаторе и ток I_c связаны соотношением $u_c(t) = \frac{1}{C} \int_0^t I_c(t) dt$.

Чтобы построить интегратор, необходимо решить две схемотехнические задачи: сформировать выходной сигнал, пропорциональный (или равный) напряжению на конденсаторе, и ток через конденсатор, пропорциональный входному сигналу. Наиболее распространены интеграторы Миллера, в которых конденсатор включают между входом и выходом инвертирующего усилителя, реализуя емкостную отрицательную обратную связь.

В схеме интегратора на рис. 12.14 инвертирующий усилитель состоит из двух каскадов. В первом каскаде используется включение транзистора $VT1$ по схеме с общим коллектором (ОК), причем нагрузкой транзистора служит базовая цепь транзистора $VT2$, включенного по схеме с ОЭ. Последовательно с интегрирующим конденсатором C в цепи отрицательной обратной связи иногда включают корректирующий резистор $R_{\text{кор}}$, улучшающий переходную и частотную характеристики интегратора.

Эквивалентная схема интегратора для переменных составляющих сигналов показана на рис. 12.15. Для упрощения расчетов примем

$$I_K(p) = i_B(p) h_{21э} / (1 + p\tau_\beta) \approx i_B(p) / p\tau_\alpha.$$

Тогда изображение для приращения выходного напряжения можно записать в следующем виде:

$$u_{\text{вых}}(p) = -i_{\text{вх}}(p) \frac{(1 + p\tau_{\alpha 1})(1 + pC(R_{\text{кор}} - r_{э2}) - p^2 C r \tau_{\alpha 2})}{pC(1 + p\tau_{\alpha 1} + p^2 \tau_{\alpha 1} \tau_{\alpha 2})}, \quad (12.15)$$

где $r = r_{э1} + r'_B + r_{э2}$.

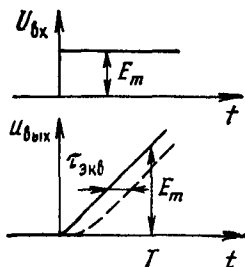


Рис. 12.13

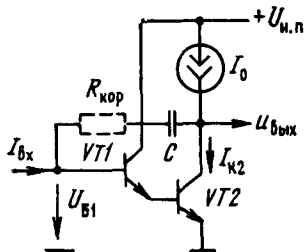


Рис. 12.14

Найдем переходную характеристику интегратора, полагая $i_{вх}(p) = I_m/p$. Если не рассматривать переходный процесс в области малых времен ($t < \tau_{\alpha}$), то можно ограничиться линейной аппроксимацией полиномов в числителе и знаменателе формулы (12.15):

$$u_{вых}(p) \approx I_m \frac{1 + p[\tau_{\alpha 1} + (R_{кор} - r_{\alpha 2}) C]}{p^2 C (1 + p\tau_{\alpha 1})}$$

В результате

$$u_{вых}(t) \approx \frac{I_m}{C} \left[t - \tau_{\text{ЭКВ}} \left(1 - \exp\left(-\frac{t}{\tau_{\text{h2161}}}\right) \right) \right],$$

где $\tau_{\text{ЭКВ}} = (r_{\alpha 2} - R_{кор})C$ — эквивалентная постоянная времени, характеризующая задержку формирования выходного сигнала на выходе интегратора, как показано на рис. 12.13 штриховой линией. Задержка уменьшается при увеличении $R_{кор}$. При оптимальном соотношении $R_{кор \text{ опт}} = r_{\alpha 2}$ происходит полная компенсация погрешности интегратора. Однако проведенный анализ справедлив лишь для достаточно больших времени ($t > \tau_{\text{h2161}}$), когда полностью затухают составляющие переходного процесса, обусловленные отброшенными членами полиномов изображения (12.15).

На схеме транзисторного интегратора не показана цепь формирования входного тока. Следует отметить, что при использовании резистивной формирующей цепи возникает ошибка, связанная с постоянной составляющей входного напряжения (между базой транзистора $VT1$ и общей шиной). Это напряжение, равное 1,1...1,3 В, подвержено температурному дрейфу с температурным коэффициентом около $-4 \text{ мВ}/^\circ\text{C}$.

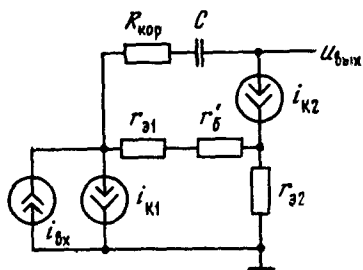


Рис. 12.15

12.8. СХЕМОТЕХНИКА ОПЕРАЦИОННЫХ УСИЛИТЕЛЕЙ

Операционный усилитель предназначен для выполнения различных операций над аналоговыми величинами при работе в схеме с отрицательной обратной связью. Он имеет высокое входное сопротивление и практически бесконечно большой коэффициент усиления K_U .

Несмотря на то, что связь ОУ с общей шиной обычно не указывается явно (рис. 12.16, а), она всегда имеет место и осуществляется через источники питания (рис. 12.16, б). Поэтому функционально ОУ часто рассматривают как четырехполосник, имеющий кроме общего вывода два входа и один выход. Один из входов усилителя, отмеченный знаком «+», называется *неинвертирующим*, или *прямым*, другой вход, отмеченный знаком «-», называется *инвертирующим*. При работе ОУ в линейном режиме напряжение на его выходе возрастает с увеличением напряжения U_+ на прямом входе или с уменьшением напряжения U_- на инвертирующем. Дифференциальный и синфазный входные сигналы, обозначаемые соответственно ΔU и $U_{сф}$, определяются, как обычно, по формулам

$$\Delta U = U_+ - U_-; \quad U_{сф} = 0,5(U_+ + U_-).$$

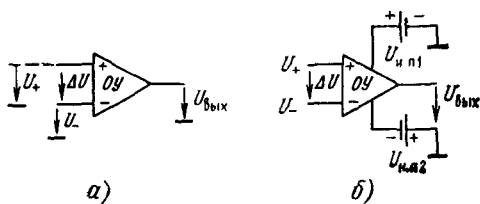


Рис. 12.16

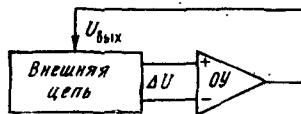


Рис. 12.17

Операционный усилитель является дифференциальным устройством, способным реагировать только на дифференциальный сигнал. Влияние синфазного сигнала пренебрежимо мало и может рассматриваться лишь при оценке погрешности в работе ОУ.

Идеализированная модель ОУ предполагает, что связь между входным дифференциальным сигналом и выходным напряжением описывается соотношением

$$U_{\text{вых}} = K_U \Delta U. \quad (12.16)$$

Поскольку $K_U \rightarrow \infty$, то использовать ОУ можно только в условиях действия отрицательной обратной связи, осуществляемой через внешнюю цепь, как показано на рис. 12.17. Внешняя цепь чаще всего является линейной пассивной цепью, однако в общем случае может содержать дополнительные усилительные элементы. Обратная связь будет отрицательной, если при увеличении выходного напряжения $U_{\text{вых}} = U_{\text{о.с}}$ уменьшится ΔU . В этом случае в цепи обратной связи устанавливается равновесный режим, при котором $\Delta U = U_{\text{вых}}/K_U \rightarrow 0$, т. е. ОУ выполняет по отношению к внешней цепи функцию автоматического регулятора, формирующего на своем выходе такой сигнал управления внешней цепью, при котором дифференциальный сигнал ΔU на входе ОУ (рассматриваемый как сигнал рассогласования) принимает нулевое значение.

Для иллюстрации изложенного рассмотрим две простые схемы. На рис. 12.18, а управляемая цепь представлена двумя связями. Одна соединяет прямой вход ОУ с входным зажимом устройства ($U_+ = U_{\text{вх}}$), другая — инвертирующий вход ОУ с его выходом ($U_- = U_{\text{вых}}$). При этом сигнал рассогласования $\Delta U = U_{\text{вх}} - U_{\text{вых}}$.

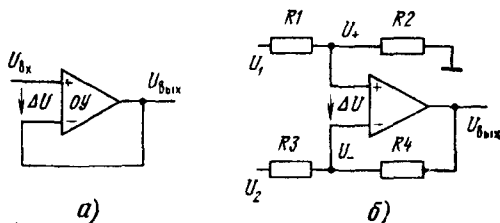


Рис. 12.18

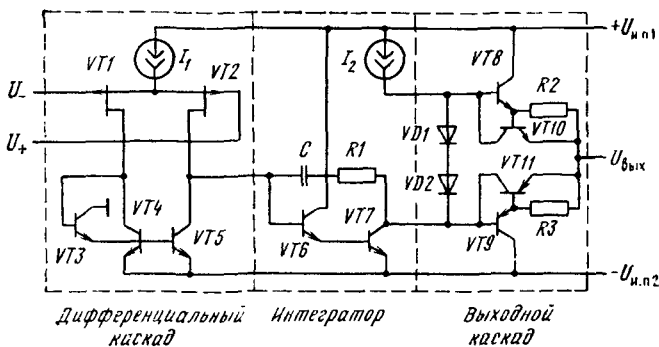


Рис. 12.19

Обратная связь отрицательна (изменение $U_{\text{вых}}$ приводит к уменьшению рассогласования). Стационарный режим достигается при $\Delta U = 0$, когда $U_{\text{вых}} = U_{\text{вх}}$, поэтому рассматриваемое устройство называют повторителем напряжения.

На рис. 12.18, б управляемая цепь состоит из двух резистивных делителей и имеет два входных зажима. Определяя U_+ и U_- как выходные напряжения соответствующих делителей и пренебрегая входными сопротивлениями ОУ, находим

$$U_+ = U_1 / (1 + R_1/R_2);$$

$$U_- = U_2 / (1 + R_3/R_4) + U_{\text{вых}} / (1 + R_4/R_3),$$

откуда в стационарном режиме (при $\Delta U = 0$)

$$U_{\text{вых}} = k_1 U_1 - k_2 U_2,$$

где $k_1 = (1 + R_4/R_3) / (1 + R_1/R_2)$; $k_2 = R_4/R_3$.

Таким образом, устройство по схеме рис. 12.18, б реализует операцию взвешенного вычитания двух сигналов. Весовые коэффициенты k_1 и k_2 обращаются в единицу при $R_1 = R_2$ и $R_3 = R_4$.

К настоящему времени сложилась типовая схема (рис. 12.19), отвечающая следующим основным принципам схемотехники ОУ.

1. Основное усиление по напряжению должно быть сосредоточено в одном инвертирующем каскаде (на транзисторе $VT7$), охваченном емкостной отрицательной обратной связью по схеме интегратора Миллера. Большой статический коэффициент усиления каскада обеспечивается за счет использования в качестве коллекторной нагрузки источника тока I_2 с большим внутренним сопротивлением. Вследствие плавного спада усиления на высоких частотах, свойственного интегратору, достигается устойчивая работа ОУ при замыкании петли внешней обратной связи. Для этого емкость интегрирующего конденсатора C должна быть такой, чтобы при частоте сигнала, на которой суммарный фазовый сдвиг в петле внешней обратной связи достигает 180° , петлевой коэффициент усиления был меньше единицы.

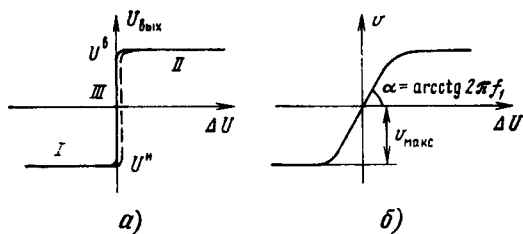


Рис. 12.20

2. Первый каскад ОУ должен выполняться по схеме ДК с однофазным выходом для того, чтобы его выходной ток (входной ток интегратора Миллера) обеспечивал перезаряд интегрирующего конденсатора. Такое схемотехническое решение позволяет наиболее просто решить задачу согласования каскадов при сохранении практически идеальной симметрии режима работы плеч дифференциального каскада. Это достигается за счет того, что погрешность работы отражателя тока, обусловленная базовыми токами транзисторов $VT4$, $VT5$, естественным образом компенсируется входным током усилителя в интеграторе Миллера. Для полной компенсации необходима идентичность параметров транзисторов $VT4$, $VT5$, $VT7$ и равенство токов I_1 и I_2 , поскольку тогда суммарный ток баз транзисторов $VT4$, $VT5$ будет совпадать с током базы транзистора $VT7$. Для увеличения статического коэффициента усиления ОУ в базовую цепь инвертирующего транзистора включают эмиттерный повторитель. При этом входной ток усилителя интегратора уменьшается в $1 + \beta$ раз. Для сохранения симметрии в отражатель тока также включают эмиттерный повторитель, причем обеспечивают взаимную согласованность параметров транзисторов в указанных повторителях.

3. Выходной каскад ОУ должен обеспечивать высокую нагрузочную способность, широкий динамический диапазон выходного сигнала, малый уровень искажений. Поэтому его обычно выполняют по двухтактной схеме повторителя на комплементарных транзисторах с цепями защиты от перегрузок. Подключение повторителя к выходу интегратора облегчается тем, что источник тока нагрузки интегратора I_2 одновременно выполняет функции элемента, задающего ток через диоды смещения $VD1$ и $VD2$.

Отличие реального ОУ от идеальной модели состоит в следующем. Во-первых, существуют ограничения на допустимые диапазоны изменения выходного и синфазного входного сигналов. Ограничения на изменение выходного сигнала определяются статической передаточной характеристикой ОУ, представляющей собой зависимость выходного напряжения $U_{вых}$ от входного дифференциального сигнала ΔU (рис. 12.20, а). Три характерных участка на графике соответствуют трем режимам работы ОУ. Участки I и II соответствуют режимам ограничения выходного сигнала снизу и сверху, при этом $U_{вых}$ не зависит от ΔU и равно нижнему U^n и верхнему $U^в$ уровням ограничения. Ограничение снизу является следствием насыщения транзистора $VT7$. (см. рис. 12.19), сверху — следствием насыщения выходного транзистора источника тока I_2 . Участок III соответствует режиму усиления.

Ввиду того, что статический коэффициент усиления ОУ велик, характеристика на этом участке практически вертикальная. Допустимый диапазон изменения входного синфазного сигнала ограничивается сверху насыщением выходного транзистора источника тока I_1 и снизу — выходом транзисторов $VT1$ и $VT2$ из пологой области выходных характеристик. При стандартном напряжении питания ± 15 В допустимый диапазон изменения $U_{сф}$ и $U_{вых}$ обычно $\pm(12...14)$ В.

Во-вторых, существуют паразитные факторы, приводящие к тому, что сигнал рассогласования ΔU на входе ОУ при замкнутой цепи отрицательной обратной связи отличен от нуля. При этом значение ΔU можно рассматривать как погрешность ОУ по напряжению, приведенную ко входу. Различают две составляющие этой погрешности: статическую $\Delta U_{ст}$, соответствующую установившемуся режиму работы ОУ (при $U = \text{const}$), и динамическую $\Delta U_{дин}$, возникающую при изменении U , т. е. $\Delta U = \Delta U_{ст} + \Delta U_{дин}$.

Статическая погрешность в первом приближении определяется соотношением

$$\Delta U_{ст} = U_{см} + U/K_U^* + U_{сф}/M_{сф},$$

где $U_{см}$ — напряжение смещения ОУ, определяемое как значение ΔU при нулевых U и $U_{сф}$; K_U^* — статический коэффициент усиления напряжения с учетом выходного сопротивления $r_{вых}$ и сопротивления нагрузки R_n , $K_U^* = K_U R_n / (R_n + r_{вых})$; $M_{сф}$ — коэффициент ослабления синфазных входных сигналов ОУ.

Параметры $U_{см}$ и $M_{сф}$ определяются в основном характеристиками входного ДК, в частности, для схемы ОУ, показанной на рис. 12.19, — неидентичностью полевых транзисторов $VT1$, $VT2$ и биполярных транзисторов $VT4$, $VT5$, $VT7$ и $VT3$, $VT6$. Типовые значения параметров ОУ с полевыми транзисторами на входе следующие: $|U_{см}| \leq 50$ мВ; $K_U \approx 10^5$; $M_{сф} > 10^7$.

При использовании на входе биполярных транзисторов напряжение смещения существенно уменьшается (обычно не превышает 1...10 мВ), однако начинают сказываться входные токи и входные сопротивления ОУ.

Динамическая погрешность определяется характером изменения выходного напряжения ОУ. В первом приближении ее можно рассматривать как однородную функцию скорости изменения выходного напряжения $U = dU_{вых}/dt$. Обратная зависимость $v(\Delta U_{дин})$ называется *скоростной характеристикой*, типичный вид которой показан на рис. 12.20, б. Использование скоростной характеристики для определения погрешности динамической ОУ соответствует интерпретации ОУ как нелинейного интегратора с дифференциальным входом, для которого при отсутствии статической погрешности ($\Delta U = \Delta U_{дин}$)

$$U_{вых} = \int_0^t v(\Delta U) dt.$$

В области малых значений динамической погрешности скоростную характеристику аппроксимируют прямой, полагая

$$\Delta U_{\text{дин}} = \tau_T dU_{\text{вых}}/dt, \quad (12.17)$$

где параметр τ_T , называемый постоянной времени ОУ, определяется крутизной входного каскада: $\tau_T = C/S_{\text{вх}}$. Значение τ_T связано с частотой f_1 единичного усиления ОУ соотношением $\tau_T = 1/2\pi f_1$, которое следует из (12.17), если вместо $U_{\text{вых}}$ подставить $U_{\text{вых}} \sin 2\pi f_1 t$.

Динамическую погрешность ОУ в линейном режиме часто представляют в операторной форме. В соответствии с (12.17)

$$\Delta U_{\text{дин}}(p) = \tau_T p U_{\text{вых}}(p).$$

При увеличении $|\Delta U_{\text{дин}}|$ скорость v стремится к постоянному значению, модуль которого $v_{\text{макс}}$ называется *максимальной скоростью нарастания выходного напряжения*. Этот параметр характеризует быстродействие ОУ в режиме большого сигнала. Он позволяет, например, определить минимальное время переключения ОУ с одного режима ограничения на другой:

$$\tau_{\text{ф.мин}} = (U^{\text{в}} - U^{\text{н}})/v_{\text{макс}}.$$

Скоростная характеристика ОУ определяется передаточной характеристикой входного дифференциального каскада и емкостью интегрирующего конденсатора, причем для каскада на биполярных транзисторах

$$dU_{\text{вых}}/dt = (I_1/C) \text{th}(\Delta U_{\text{дин}}/2\varphi_T),$$

для каскада на полевых транзисторах (см. рис. 12.19)

$$\frac{dU_{\text{вых}}}{dt} = \Delta U_{\text{дин}} \frac{\sqrt{2I_1 I_{\text{Смакс}}}}{CU_{\text{Сютс}}} \sqrt{1 - \frac{I_{\text{Смакс}} \Delta U_{\text{дин}}^2}{2I_1 I_{\text{Смакс}}}}.$$

Максимальная скорость $v_{\text{макс}}$ определяется током питания входного ДК, т. е. $v_{\text{макс}} = I_1/C$. Следует отметить, что при использовании каскада на биполярных транзисторах увеличением I_1 нельзя добиться повышения $v_{\text{макс}}$, так как рост крутизны каскада пропорционально I_1 требует пропорционального увеличения емкости C . В отличие от этого в каскаде на полевых транзисторах коэффициент усиления пропорционален $\sqrt{I_1}$, следовательно, и требуемая емкость должна быть увеличена пропорционально $\sqrt{I_1}$. При этом $v_{\text{макс}} \sim \sqrt{I_1}$, и, следовательно, увеличивая I_1 , можно повысить быстродействие ОУ.

Глава 13. МИКРОЭЛЕКТРОНИКА И СМЕЖНЫЕ НАПРАВЛЕНИЯ

Микроэлектроника оказала огромное влияние на развитие смежных научно-технических направлений: опто-, акусто-, магнитоэлектроники и др. Эти направления базируются на использовании иных (по сравнению с транзисторами) физических явлений в твердом теле. Однако при разработке и производстве различных приборов широко применяются конструктивно-технологические методы микроэлектроники. В виде микросхем выпускается некоторая часть опто-, акусто- и магнитоэлектронных приборов. В данной главе дается общая характеристика этих направлений и рассматриваются элементы наиболее распространенных микросхем.

13.1. ОПТОЭЛЕКТРОНИКА И ОПТОЭЛЕКТРОННЫЕ МИКРОСХЕМЫ

Оптоэлектроника — это раздел электроники, связанный с изучением физических явлений, в которых неразрывны оптические и электрические процессы, а также с разработкой, производством и применением оптоэлектронных приборов.

Оптоэлектронный прибор — это прибор, чувствительный к электромагнитному излучению в видимой, инфракрасной или ультрафиолетовой областях спектра, либо прибор, излучающий и преобразующий некогерентное или когерентное излучение в этих спектральных областях.

Перечислим важнейшие оптоэлектронные приборы, устройства и системы.

Индикаторы представляют собой электрически управляемые приборы, предназначенные для визуального отображения информации. Они широко применяются во многих устройствах, например электронных часах, микрокалькуляторах, приборных щитах автоматизированных систем управления, автомобилей, самолетов и т. д. Выпускаются полупроводниковые (светодиодные), жидкокристаллические, вакуумные катодолюминесцентные и газоразрядные индикаторы. Разрабатываются плоские экраны телевизионного типа с лучшими, чем у современных цветных кинескопов, эксплуатационными, эргономическими и экономическими показателями.

Приемники изображения (фотоприемники) как в видимом, так и в инфракрасном диапазонах предназначены для преобразования изображений в последовательность видеосигналов. Их используют в телевизионных передатчиках, в фототелеграфии, в ЭВМ для считывания входной информации, в приборах контроля технологических процессов и др.

Солнечные батареи представляют собой матрицы фотоэлементов на основе *p-n* переходов или гетеропереходов, предназначенные для прямого преобразования солнечной энергии в электрическую.

Оптоэлектронные датчики — приборы, преобразующие различные физические воздействия (температуру, давление, влажность, ускорение, магнитное поле и др.) в электрические сигналы. Широкое распространение получили лазерные и светодиодные датчики влажности и загрязнения атмосферы. Их принцип действия основан на селективном поглощении излучения регистрируемыми

веществами. Перспективны волоконно-оптические датчики, в которых внешние воздействия изменяют характеристики оптического сигнала (фазу, амплитуду, поляризацию)

Оптопары состоят из полупроводниковых излучающего и фотоприемного элементов, между которыми имеется оптическая связь. Кроме того, обеспечивается электрическая изоляция между входом и выходом. Микроэлектронный прибор, содержащий одну или несколько оптопар и выполняющий определенную функцию преобразования, обработки и передачи сигнала, называют *оптоэлектронной микросхемой*. Оптопары применяют в микроэлектронной и электротехнической аппаратуре для электрической развязки при передаче сигналов, бесконтактной коммутации силовоточных и высоковольтных цепей, в устройствах регулирования и контроля.

Постоянные запоминающие устройства — устройства, в которых информация записывается на носитель с помощью теплового воздействия острогофокусированного лазерного луча. Достоинством оптоэлектронных ПЗУ являются высокая плотность записи и большой срок хранения информации (10...30 лет). Они перспективны для применения в архивных ЗУ ЭВМ и информационно-посыловых системах, содержащих постоянную информацию, к которой многократно обращается большое число пользователей.

Оптические системы передачи и обработки информации. Форма представления информации в виде оптических сигналов по сравнению с другими ее формами (в частности, в виде электрических сигналов) имеет ряд важных преимуществ. Частота колебаний в оптическом диапазоне на 3...5 порядков выше, чем в радиотехническом. Это позволяет во много раз повысить пропускную способность линии связи (скорость передачи информации) за счет увеличения ширины спектра модулирующих частот (до нескольких гигагерц) и одновременной передачи сигналов по одному каналу на нескольких несущих частотах. Использование в качестве носителя информации электрически нейтральных фотонов обеспечивает: идеальную электрическую развязку оптоэлектронного элемента связи, однонаправленность передачи и отсутствие влияния приемника на передатчик, высокую помехозащищенность оптических каналов связи вследствие невосприимчивости фотонов к воздействию электромагнитных полей, отсутствие влияния паразитных емкостей на длительность переходных процессов в канале связи и отсутствие паразитных связей между каналами.

Наряду с указанными достоинствами имеются и серьезные недостатки. Прежде всего это низкий КПД преобразований оптических сигналов в электрические и электрических в оптические. В современных приборах (лазерах, светоизлучающих диодах, *p-i-n* фотодиодах) КПД, как правило, не превышает 10...20%. Если указанные преобразования осуществляются в устройстве дважды, то общий КПД уменьшается до единиц процентов. Применение в микроэлектронной аппаратуре оптоэлектронных устройств с низким КПД ограничено, так как при этом возрастает энергопотребление, затрудняется миниатюризация из-за необходимости обеспечения теплоотвода, возникает перегрев, снижающий эффективность и надежность большинства оптоэлектронных приборов.

Невосприимчивость оптического излучения к различным внешним воздействиям и электронейтральность фотона являются не только достоинствами, но и недостатками, так как затрудняют управление интенсивностью и направлением распространения светового потока. Используемые для этого электро- и магнитооптические явления, как правило, представляют собой эффекты второго и более высоких порядков и требуют для реализации очень высоких напряжений (сотни и тысячи вольт).

Для передачи оптических сигналов на различные расстояния используют *волоконно-оптические системы передачи* (ВОСП). Оптический сигнал представляет собой оптическое излучение, один или несколько параметров которого (амплитуда, частота, фаза, поляризация) изменяются в соответствии с передаваемой информацией. В ВОСП производят формирование, передачу, преобразование, обработку и распределение оптических сигналов. В соответствии с этим компоненты ВОСП делятся на четыре группы:

источники излучения и передающие оптоэлектронные модули, формирующие оптические сигналы;
волоконно-оптические линии связи (ВОЛС) — кабели, служащие для передачи оптических сигналов;
оптические разветвители и коммутаторы, распределяющие оптические сигналы;
приемники излучения и приемные оптоэлектронные модули, преобразующие и обрабатывающие оптические сигналы.

Современные ВОСП исключительно разнообразны: сверхкороткие линии (до 1 м) для обмена информацией в высоковольтной аппаратуре; короткие бортовые и внутриобъектовые (1...100 м); средней протяженности (0,3...10 км), составляющие основу межмашиных сетей передачи данных и разветвлений внутригородских АТС; магистральные, в том числе меж- и трансконтинентальные.

Оптическая вычислительная техника — это комплекс оптоэлектронных и оптических приборов, предназначенный для создания аналоговых или цифровых вычислительных устройств. Это направление считается очень перспективным, оно может обеспечить значительное повышение быстродействия. Пока такие устройства находятся в стадии лабораторных исследований.

Основными элементами оптоэлектронных приборов являются светонесущие (лазеры и светодиоды), устройства для управления излучением (модуляторы, переключатели), оптические каналы связи (световоды) и среды для передачи и преобразования оптических сигналов, фотоприемники на фотодиодах, фототранзисторах и других фотоэлектрических приборах, индикаторы, полупроводниковые фотоземельники, а также оптоэлектронные микросхемы.

Элементы оптоэлектронных приборов изготавливают из различных материалов. Так, в одном из простейших приборов — оптопаре используют арсенид галлия (излучатель), полимерный клей (оптическая среда) и кремний (фотоприемник). В волоконно-оптических системах передачи кроме указанных материалов применяют кварц (оптическая среда). Особенно велико число применяемых материалов в сложных приборах. Наличие разнородных материалов снижает общий КПД прибора из-за поглощения оптического излучения в пассивных областях, его отражения и рассеяния на многочисленных оптических границах. Возникают дополнительные трудности при конструировании приборов, обусловленные различием температурных коэффициентов расширения материалов; затрудняется микроминиатюризация, усложняется технология и, как следствие, повышается стоимость.

Простейшие элементы оптоэлектронных приборов (светодиоды, фотодиоды, фототранзисторы, оптопары и др.) изучаются в курсе «Электронные приборы» [3]. Направление оптоэлектроники, посвященное исследованиям и разработке оптоэлектронных микросхем, называют *интегральной оптоэлектроникой*. Основные конструктивно-технологические концепции интегральной оптоэлектроники аналогичны концепциям микроэлектроники — это миниатюризация элементов оптоэлектронных микросхем, преимущественное развитие плоскостных конструкций панельного типа, интеграция элементов и компонентов, разработка и использование сверхчистых материалов с дозированным введением нужных примесей, применение в производстве групповых методов обработки. Существуют полупроводниковые и гибридные оптоэлектронные микросхемы. Рассмотрим основные разновидности оптоэлектронных микросхем.

Среди полупроводниковых микросхем наибольшее распространение получили микросхемы *многоэлементных фотоприемных устройств* (ФПУ), содержащие множество фоточувствительных элементов, пре-

образующих оптическое излучение в электрический сигнал, и схемы предварительной обработки фотосигнала (например, схемы усиления, коммутации и др.). В качестве фоточувствительных элементов обычно используют фотодиоды или МДП-структуры. В зависимости от способа съема сигнала с элементов существуют ФПУ с разделенными каналами (многоканальные) и с внутренней коммутацией.

Фотоприемные устройства с фотодиодными матрицами. Типичным примером многоканальных ФПУ является ФПУ с кремниевыми фотодиодными матрицами. Последние представляют собой матрицу фотодиодных ячеек, каждая из которых содержит фотодиод и электронную схему управления и усиления на МДП-транзисторах. Ячейки соединяются с шинами строк и столбцов, с помощью которых осуществляется произвольная выборка при считывании информации. Микросхема имеет большое число выводов, определяемое числом строк и столбцов.

На рис. 13.1, а, б показаны структура и эквивалентная схема простейшей фотоприемной ячейки соответственно. Она представляет собой МДП-транзистор с каналом p -типа с увеличенной областью истока 1, причем p - n переход исток—подложка выполняет функцию фотодиода. Затвор транзистора соединен с шиной строки X , а сток 2 — с шиной столбца Y . Фотоприемное устройство работает следующим образом. На все шины Y подается отрицательное напряжение, а на все шины X — импульс, отпирающий транзисторы в ячейках. На фотодиодах устанавливаются одинаковые обратные напряжения, которые после окончания импульса и запираания транзисторов поддерживаются емкостями p - n переходов. Этот этап называется *стиранием информации*. Далее следует этап *экспонирования*, в процессе которого через диоды протекают фототоки, пропорциональные освещенности. Эти токи разряжают емкости p - n переходов, поэтому к концу этапа экспонирования напряжения на анодах диодов будут разными; их значения пропорциональны освещенности и времени экспонирования. При подаче импульса выборки на одну из шин строки транзисторы ячеек этой строки отпираются и напряжение с диодов проходит на шины Y , которые в этот момент являются «плавающими». Так осуществляется считывание информации.

Существенный недостаток простейшей ячейки заключается в том, что полезный сигнал, выделяемый на шине Y , очень мал. Это обусловлено большой собственной емкостью шины. В процессе считывания происходит перераспределение заряда между емкостью шины и значительно меньшей емкостью фотодиода (ср. с процессом считывания в элементах памяти цифровых СБИС динамического типа, описанным в § 9.2). Поэтому шины Y надо подключать к усилителям, размещение которых на том же кристалле сильно усложняет ФПУ. К тому же считывание является *разрушающим*, так как в результате перераспределения заряда напряжение на фотодиоде изменяется. В связи с этим реальные фотоприемные ячейки более сложные.

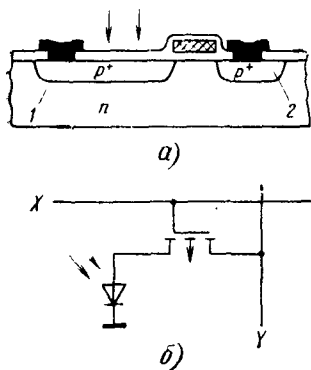


Рис. 13.1

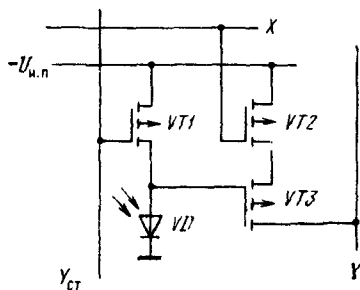


Рис. 13.2

На рис. 13.2 показана схема ячейки ФПУ с внутренним усилителем и неразрушающим считыванием [31]. Для стирания информации на шину стирания $Y_{ст}$ подается импульс, отпирающий транзистор $VT1$, при этом на диоде устанавливается обратное напряжение, близкое к напряжению источника питания $U_{и.п.}$. При считывании на шину X подают импульс выборки, отпирающий транзистор $VT2$. Ток в шине Y задается транзистором $VT3$ и зависит от напряжения на диоде VD . Значение тока достаточно велико для быстрого перезаряда емкости шины. Так как диод изолирован от шины, то напряжение на нем не изменяется. Считывание можно производить многократно.

Примером является ФПУ МИФ 15 [25], содержащее четыре кремниевых кристалла, в каждом из которых сформирована матрица 16×16 ячеек, размещенных с шагом 0,25 мм. Размер фоточувствительной площадки каждой ячейки $0,1 \times 0,1$ мм. Диапазон спектральной чувствительности 0,35...1,05 мкм, длительности импульсов стирания и считывания 1 мкс, время хранения информации не менее 200 мкс, порог чувствительности на длине волны 0,63 мкм составляет 1 пДж на ячейку.

Фотоприемные приборы с переносом заряда (ФППЗ). Они относятся к многоэлементным ФПУ с внутренней коммутацией и последовательным выводом информации. Принцип действия основан на формировании и переносе зарядовых пакетов в МДП-структурах. Известны две разновидности ФППЗ — *фотоприемные приборы с зарядовой связью (ФПЗС)* и *фотоприемные приборы с зарядовой инжекцией (ФПЗИ)*. И в тех, и в других имеется матрица фоточувствительных элементов — МДП-конденсаторов. Вследствие фотоэффекта в потенциальных ямах под затворами происходит накопление заряда, который пропорционален освещенности и времени экспонирования.

В простейших ФПЗС строки матрицы образуют регистры ПЗС (см. гл. 11). Распределение освещенности кристалла при проецировании на него оптического изображения преобразуется в распределение зарядов в потенциальных ямах. После экспонирования производится

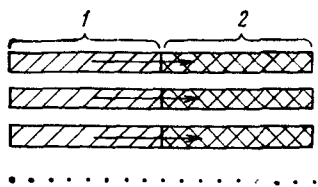


Рис. 13.3

последовательный построчный вывод информации путем перемещения зарядов вдоль строк от одного электрода к другому. В результате оптическое изображение преобразуется в последовательность видеоимпульсов, амплитуды которых пропорциональны освещенности отдельных фоточувствительных элементов.

Однако простейший ФПЗС имеет существенный недостаток. Вывод информации занимает много времени, в течение которого изображение не должно подаваться на кристалл. В телевизионной технике, для которой и предназначено большинство ФППЗ, суммарное время экспонирования и вывода ограничено временем кадра (например, 20 мс). При большом числе элементов (порядка 10^6), которое необходимо для получения приемлемой разрешающей способности и хорошей четкости изображения, вывод займет почти все время кадра и практически не останется времени на экспонирование. В результате чувствительность будет низкой.

Этот недостаток устраняется, если на кристалле сформировать матрицу ПЗС, содержащую две секции (рис. 13.3): *накопления 1* и *памяти 2*. Строки секций образуют ПЗС-регистры, причем строки секции 2 продолжают строки секции 1. Секция памяти закрыта от света, а изображение проецируется только на секцию накопления. После экспонирования осуществляют быстрый перенос зарядов из секции накопления в секцию памяти, как показано стрелками. Эта операция называется *кадровым переносом* и занимает время, малое по сравнению с временем кадра. Затем информация выводится из секции памяти и одновременно на секцию накопления проецируется следующий кадр. Таким образом, время экспонирования практически равно времени кадра, чем обеспечивается высокая чувствительность.

Примером является ФПЗС1М-А [25], предназначенный для применения в аппаратуре черно-белого телевидения. На кристалле размещается матрица 512×576 фоточувствительных элементов, содержащая секции накопления и памяти размерами $6,91 \times 9,22$ мм каждая. Размеры одного элемента 18×24 мкм. Система переноса зарядов трехтактная.

Недостатком ФПЗС является необходимость продвижения зарядовых пакетов через длинные регистры. Возникающие при этом потери переноса весьма значительны и ведут к искажениям изображения.

В ФПЗИ перемещение зарядового пакета происходит только в пределах фоточувствительного элемента с последующей его инжекцией в подложку или область стока заряда. На рис. 13.4 показаны матрица фоточувствительных элементов (обведена штриховой линией) и схемы управления и считывания. Каждый элемент состоит из двух близко расположенных МДП-конденсаторов, между которыми возможен перенос зарядов. Затвор одного из них соединен с шиной строки X

(строчный затвор), а другого — с шиной столбца Y (столбцовый затвор).

На этапе экспонирования напряжения на шинах строк одинаковые и больше, чем на шинах столбцов. Последние устанавливаются равными опорному $U_{он1}$ с помощью транзисторов $VT11, VT12, \dots$ при подаче на их затворы управляющего импульса $\Phi 1$. По окончании импульса напряжения на шинах Y поддерживаются емкостями шин.

Под строчными затворами элементов формируются более глубокие потенциальные ямы, где и происходит накопление заряда (рис. 13.5, *а*). В режиме вывода информации напряжение на шине выбранной строки понижают до нуля. Потенциальные ямы под строчными затворами исчезают, а заряды Q переходят в потенциальные ямы под столбцовыми затворами (рис. 13.5, *б*), изменяя их потенциал на величину $\delta U = Q/C_Y$, где C_Y — емкость шины Y . Из-за больших емкостей шин Y величина δU мала, что является основным недостатком ФПЗИ. Далее с помощью управляющих транзисторов $VT21, VT22, \dots$ (см. рис. 13.4) по очереди подключают шины Y к видеоусилителю ($ВУ$) с высоким входным сопротивлением. Предварительно каждый раз устанавливают на его входе опорное напряжение $U_{он2}$ с помощью транзистора $VT_{уст}$, подавая на его затвор импульс сброса $\Phi 2$. По окончании считывания строки «очищается» от заряда. Для этого на столбцовых затворах устанавливают нулевые напряжения. Потенциальные ямы под ними исчезают, а заряды инжектируются в подложку и рекомбинируют (рис. 13.5, *в*). При этом элементы остальных строк находятся в состоя-

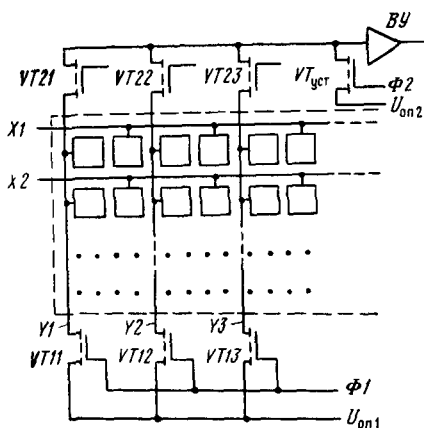


Рис. 13.4

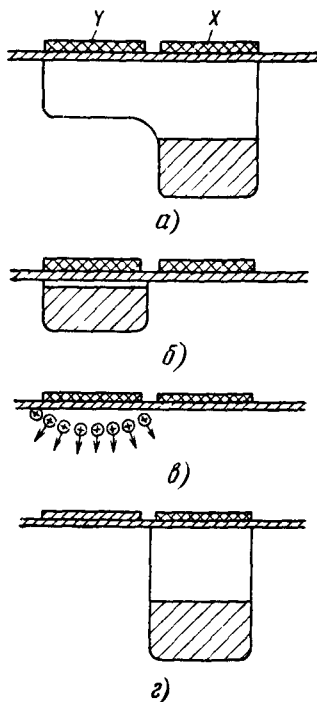


Рис. 13.5

нии *полувыборки*, в них потенциальные ямы существуют только под строчными затворами (рис. 13.5, з).

Описанный метод считывания называется *методом параллельной инжекции*: операции считывания и инжекции разделены во времени, а считывание является неразрушающим и может проводиться многократно (если не делать очищения строки).

В *методе последовательной инжекции* [22] при выключении напряжения на выбранной шине X (г. е. установке $U_x = 0$) шины Y соединены с источником напряжения, т. е. не являются «плавающими», и напряжение на них поддерживается постоянным. После переноса зарядов в ямы под столбцовыми затворами шины Y отключают от источника и напряжение на них поддерживается емкостями. Затем через конденсатор на выбранную шину Y подают импульс, понижающий напряжение на ней до нуля, и заряд выбранного элемента инжектируется в подложку. По окончании импульса напряжение на шине Y оказывается больше первоначального значения на величину, пропорциональную инжектированному заряду, что и регистрируется усилителем считывания. Таким образом последовательно считывают информацию со всех элементов строки. Этот способ считывания в отличие от предыдущего разрушающий.

Уннчтожение инжектированных носителей путем рекомбинации происходит за большое время, превышающее время жизни неосновных носителей. Если, не дожидаясь конца этого процесса, снова подать напряжения на затворы элемента, то оставшиеся носители собираются потенциальной ямой, что недопустимо. Таким образом, быстродействие устройства оказывается низким. Кроме того, расстояние между соседними ячейками должно быть больше диффузионной длины неосновных носителей. Иначе часть инжектированного из ячейки заряда будет собираться соседними ячейками, что ухудшит разрешающую способность ФПЗИ. По этой причине приборы, созданные на однородной подложке, имеют недостаточную высокую плотность элементов

Эти недостатки устранены в ФПЗИ, содержащих тонкий эпитаксиальный слой, созданный на подложке противоположного типа проводимости. Образующийся при этом $p-n$ переход, на который подается обратное напряжение, служит коллектором неосновных носителей. Инжектированные носители экстрагируются $p-n$ переходом за время порядка среднего времени их диффузии через эпитаксиальный слой. Расстояние между элементами можно уменьшить до значения, равного толщине эпитаксиального слоя. Таким образом, повышается плотность элементов и быстродействие.

Передающие и приемные микросхемы для волоконно-оптических систем передачи. Передающие микросхемы преобразуют электрические сигналы в оптические, передаваемые по ВОЛС. Приемные микросхемы принимают оптический сигнал с линни и преобразуют его в электрический. Такие микросхемы перспективны для использования в цифровых системах высокого быстродействия, а также в системах кабельной связи между аналоговыми устройствами. В цифровых системах и ЭВМ применение волоконно-оптических линий для связи между блоками, печатными платами, а иногда и между БИС или СБИС на одной плате позволяет значительно повысить быстродействие и помехоустойчивость. При связях с помощью печатных или объемных проводников

велики потери быстродействия, а также перекрестные помехи, обусловленные паразитными емкостями и индуктивностями проводников. В быстродействующих устройствах линии связи длиной более 0,1... 0,2 м приходится выполнять с помощью согласованных коаксиальных кабелей и МПЛ, для совместной работы с которыми требуются специальные микросхемы. Все это приводит к росту габаритных размеров и потребляемой мощности.

Передающие цифровые микросхемы для работы на ВОЛС обычно выполняются на кристалле арсенида галлия и содержат лазер, модулятор на полевых МЭП-транзисторах и логические схемы управления. Если информация с нескольких каналов должна передаваться последовательно, то на кристалле также создают мультиплексор, последовательно направляющий сигналы с этих каналов на модулятор. Длина ВОЛС в цифровых устройствах обычно невелика, следовательно, потери и искажения в ней малы, а от излучателя не требуется большой мощности. Передающая схема может быть сформирована на кристалле БИС, служащей источником передаваемой информации. Технологически это несложно выполнить для арсенид-галлиевых БИС. Актуальна и проблема передачи информации по оптическим каналам между кремниевыми СБИС. Поэтому разрабатывают арсенид-галлиевые передатчики, расположенные на кристалле кремниевых СБИС. Для этого на части кристалла выращивают пленку арсенида галлия.

Приемная схема, которая также может входить в состав БИС (СБИС), состоит из фотодиода, быстродействующих усилителей на арсенид-галлиевых полевых МЭП-транзисторах, логических схем управления и демультиплексора, распределяющего передаваемый сигнал по разным каналам.

К передающим и приемным аналоговым микросхемам для систем кабельной связи предъявляются другие требования. В этом случае длина линии обычно велика и от передатчика требуется большая мощность. Кроме того, излучение должно иметь такую длину волны, которая обеспечивает минимум потерь. Так как потери уменьшаются с ростом длины волны, то наряду с арсенид-галлиевыми передатчиками ($\lambda = 0,83$ мкм) разрабатывают передатчики на основе фосфида индия ($\lambda = 1,3$ мкм). От приемника требуется большое усиление (высокая чувствительность) при малом уровне шумов. Объединение в одну микросхему фотоприемника, усилителя-модулятора и излучателя позволяет получить *усилитель оптического сигнала*, необходимый для передачи на большие расстояния.

Параметры ряда передающих и приемных микросхем даны в [29]. В качестве примера приведем передающую микросхему для линии со скоростью передачи информации 1,2 Гбит/с. Микросхема выполнена на кристалле фосфида индия площадью $0,35 \times 0,9$ мм и содержит лазер с гетеропереходами InGaAsP-InP и три биполярных транзистора с гетеропереходами. Выходная мощность лазера 20 мВт, длина волны 1,3 мкм. Максимальная длина линии 12 км, а при снижении скорости передачи в 2 раза — 22 км. Приемная микросхема выполнена на кристалле фосфида индия площадью $0,6 \times 0,6$ мм и содержит *p-i-n* диод и три полевых транзистора, образующие малошумящий усилитель.

13.2. ЭЛЕМЕНТЫ АКУСТОЭЛЕКТРОНИКИ

Предметом акустоэлектроники являются *акустоэлектронные радиокомпоненты* (АРК) и устройства на их основе. Сами АРК достаточно сложны, выполняются технологическими методами микроэлектроники и подобны микросхемам, но не содержат традиционных элементов-транзисторов. Характерным для АРК является использование как электрических, так и акустических высокочастотных сигналов, причем первые — внешние (входные и выходные), а вторые — внутренние. Следовательно, АРК должны содержать *преобразователи электрических сигналов в акустические и акустических сигналов в электрические и акустические тракты (звукопроводы)*, где происходит распространение акустических сигналов.

Преобразователь электрического сигнала в акустический (излучатель) основан на *обратном пьезоэлектрическом эффекте*, состоящем в механической деформации пьезокристалла под действием внешнего электрического поля. Акустический сигнал представляет собой волну упругих механических возмущений, распространяющихся в твердом теле со скоростью звука $v_{ак}$ порядка 10^5 см/с. Преобразователь акустического сигнала в электрический (приемник) основан на *прямом пьезоэлектрическом эффекте* — появлении при механической деформации кристалла разделенных зарядов противоположного знака и связанных с ними электрических полей.

Для применения наиболее важны *поверхностные акустические волны* (ПАВ), распространяющиеся в поверхностном слое пьезокристалла. Толщина слоя порядка длины волны $\lambda_{ак}$, связанной со скоростью и частотой соотношением $\lambda_{ак} = v_{ак}/f$. Длина волны мала лишь для достаточно высоких частот. Например, в диапазоне 10...1000 МГц, наиболее приемлемом для АРК, она составляет 100...1 мкм. Поверхностные акустические волны могут генерироваться и управляться с помощью тонкопленочных структур, формируемых на поверхности подложки из пьезокристалла, что и позволяет создавать АРК методами микроэлектроники. Поверхностные акустические волны обладают свойством распространяться в виде направленного луча. Для этого размер излучателя в направлении, перпендикулярном направлению распространения (так называемая *апертура*), должен быть много больше длины волны. С помощью отражателей и направленных ответвителей можно добиться распространения ПАВ по сложной непрямолинейной траектории. То же достигается использованием акустических волноводов, расположенных на поверхности подложки [28].

Основным материалом подложек является пьезокварц SiO_2 ; кроме него используется ниобат лития LiNbO_3 , германат висмута $\text{Bi}_{12}\text{GeO}_{20}$ и пьезокерамика. Главным параметром материала является скорость распространения ПАВ, лежащая в пределах от $1,6 \cdot 10^5$ (германат висмута) до $4 \cdot 10^5$ см/с (ниобат лития).

Акустоэлектронными радиокомпонентами, получившими наибольшее распространение, являются линии задержки (ЛЗ) и полосовые

фильтры. Малая скорость ПАВ (на 5 порядков меньше, чем у электромагнитной волны) позволяет создавать малогабаритные интегральные ЛЗ радиосигналов. Линия задержки состоит из входного преобразователя, звукопровода и выходного преобразователя.

Традиционные методы задержки радиосигналов во времени основаны на использовании электромагнитных систем с распределенными или сосредоточенными параметрами. Первые имеют размеры порядка длины электромагнитной волны и применяются в основном в диапазоне СВЧ. Примерами служат ЛЗ на отрезках коаксиальных кабелей, волноводов, МПЛ и др. Их габаритные размеры велики, а задержка мала из-за высокой скорости распространения электромагнитной волны, близкой к скорости света. Например, для получения задержки в 1 мкс требуется кабель длиной 300 м. Линии задержки на LC-элементах с сосредоточенными параметрами применяются на более низких частотах. Однако, если требуется большая задержка, их габаритные размеры велики. Возможности микроминиатюризации ограничены из-за сложности создания индуктивных элементов и конденсаторов в интегральном исполнении.

В ЛЗ на ПАВ задержка в 1 мкс соответствует длине звукопровода всего 1...2 мм. Используя сложную петлеобразную траекторию распространения ПАВ, получаемую с помощью отражателей или волноводов, можно увеличить задержку на 1...2 порядка. Самая большая задержка (до 1 мс) реализуется в ЛЗ спиральной конструкции, где относительно толстая подложка имеет закругленные торцы, а ПАВ, направляемая волноводом, движется по спиральной траектории, многократно переходя с одной поверхности подложки на другую (акустический волновод как бы «намотан» на подложку).

Задержка зависит от температуры, что обусловлено температурным расширением кристалла и увеличением скорости ПАВ с ростом температуры. Знак температурного коэффициента может быть как положительным, так и отрицательным в зависимости от того, какой из этих факторов преобладает. Значения температурного коэффициента задержки заключены в интервале $10^{-5} \dots 10^{-4} \text{ } ^\circ\text{C}^{-1}$.

Преобразователи ПАВ обладают частотной избирательностью, а частотная характеристика ЛЗ имеет максимум на некоторой частоте f_0 , типичные значения которой составляют десятки и сотни мегагерц. При этом полоса пропускания Δf может быть достаточно широкой, вплоть до $\Delta f = f_0$. Помимо перечисленных параметров ЛЗ характеризуются потерями. Из-за неполного согласования входного преобразователя ПАВ с источником электрического сигнала не вся его энергия преобразуется в энергию ПАВ. Точно так же на выходе не вся энергия ПАВ преобразуется в электрический сигнал. Согласование в широкой полосе частот представляет серьезную проблему. Кроме того, излучатель ПАВ не обладает идеальной направленностью и часть энергии ПАВ теряется в звукопроводе. Возникают также потери из-за отражения ПАВ и др. Потери имеют размерность дБ. Они увеличиваются с ростом задержки. Например, при $t_{зд} = 1$ мкс потери составляют около 2 дБ, а при $t_{зд} = 1$ мс — 40...50 дБ.

Преобразователи ПАВ. Наибольшее распространение получили преобразователи ПАВ со встречно-штыревой структурой, вид сверху

и поперечный разрез которой показаны на рис. 13.6, а, б соответственно. Штыри 1 и 2 объединяются шинами 3 и 4, подключенными к источнику электрического сигнала. Пространственный шаг h штырей определяет частоту акустического синхронизма $f_0 = v_{ак}/h$. На этой частоте шаг совпадает с длиной акустической волны $\lambda_{ак}$ и электрический сигнал преобразуется в ПАВ наиболее эффективно.

Пусть входной сигнал $u_{вх}(t)$ изменяется во времени по гармоническому закону и в данный момент положителен, так что у поверхности кристалла в зазорах между штырями возникают электрические поля, силовые линии которых показаны стрелками на рис. 13.6, б. Тангенциальные составляющие векторов напряженности электрического поля в соседних зазорах имеют противоположные направления и вызывают упругие возмущения в кристалле, соответствующие противоположным фазам акустической волны. Условно назовем эти фазы положительными для нечетных зазоров (I, III, ...) и отрицательными — для четных (II, IV, ...).

Возбуждаемая ПАВ распространяется вдоль преобразователя. Так как расстояния между соседними зазорами равны $\lambda_{ак}/2$, то через время $\lambda_{ак}/2v_{ак} \approx T/2$, где T — период колебаний, положительная фаза ПАВ будет под четными зазорами, а отрицательная — под нечетными. Но за это время и фаза входного сигнала, а значит, и направления тангенциальных составляющих векторов напряженности электрического поля в зазорах изменятся на противоположные. Теперь в четных зазорах будет электрическое поле, возбуждающее ПАВ с положительной фазой. В результате волна усиливается по мере прохождения под преобразователем. Если условие акустического синхронизма не выполняется, то волна будет затухать.

Для некоторых частот возбуждение ПАВ вообще невозможно. Например, при $f = 2f_0$ и $h = \lambda_{ак}/2$ время движения фазового фронта между соседними за-

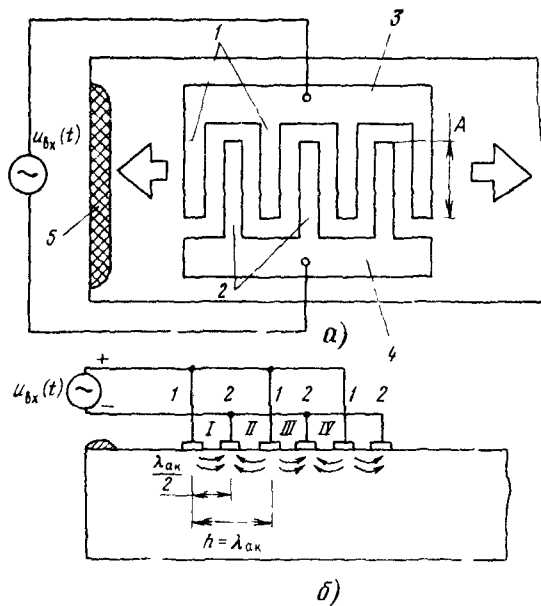


Рис. 13.6

зорами равно периоду колебаний. Через время T после подачи входного сигнала в зазорах устанавливаются электрические поля, фаза которых противоположна фазе ПАВ, что приведет к уничтожению первоначально возникших упругих возмущений.

Преобразователь представляет собой частотно-избирательный элемент. Его амплитудно-частотная характеристика (АЧХ) имеет максимум на частоте акустического синхронизма f_0 . Под АЧХ входного преобразователя понимают зависимость амплитуды колебаний ПАВ от частоты подаваемого электрического сигнала, а выходного преобразователя — зависимость амплитуды выходного сигнала от частоты ПАВ. Из сказанного выше следует, что избирательность увеличивается, а полоса пропускания Δf (на уровне 0,7 от максимума АЧХ) уменьшается с ростом числа штырей N . Анализ показывает [28], что полоса пропускания может быть вычислена по формуле $\Delta f \approx 2f_0/N$, где $N > 2$.

Если известны скорость распространения ПАВ, рабочая частота и полоса пропускания, то можно легко определить необходимый шаг и число штырей. С ростом частоты длина волны $\lambda_{ак}$, а значит, и требуемый шаг уменьшаются. Максимально достижимая рабочая частота определяется разрешающей способностью применяемой литографии. Обычно ширина штырей равна зазору между ними. В предельном случае шаг $h = 4\Delta_{мин}$, где $\Delta_{мин}$ — минимальный топологический размер Δ . Полагая для фотолитографии $\Delta_{мин} \approx 0,5$ мкм, получаем $f_{0 макс} \approx 0,75 \dots 1,5$ ГГц. Применение субмикронной литографии позволяет увеличить частоту на порядок.

Площадь, занимаемая преобразователем на кристалле, увеличивается при снижении требуемой полосы пропускания из-за роста числа штырей. Площадь зависит также от длины перекрытия штырей A . В случае простейшего преобразователя (см. рис. 13.6) длина перекрытия всех штырей одинакова, однако в более сложных преобразователях (см. ниже) она может изменяться в направлении распространения волны. Максимальное перекрытие $A_{макс}$, т. е. апертура преобразователя, для снижения потерь из-за расходимости луча ПАВ должно быть достаточно большим: $A_{макс} > \sqrt{L\lambda_{ак}}$, где L — длина прямолинейного участка распространения ПАВ. На расстоянии L может находиться либо выходной преобразователь, либо элемент, изменяющий направление распространения. Площадь преобразователя $S = A_{макс} \times \times 2Nh$ увеличивается при снижении рабочей частоты. Большая площадь ограничивает частоту снизу (не менее $1 \dots 10$ МГц).

В преобразователе на рис. 13.6 возбуждаются две ПАВ, направленные в противоположные стороны. Часто полезна только одна, распространяющаяся к выходному преобразователю. Другая ПАВ устраняется с помощью поглощающего покрытия 5. Двухнаправленность излучателей и приемников ведет к потерям. Существуют однонаправленные преобразователи. Они значительно сложнее и занимают большую площадь на подложке.

Элементы акустического тракта. Они предназначены для проведения ряда операций с ПАВ: изменения ее направления, разветвления, уменьшения апертуры (локализация волны) и др. К таким элементам относятся переизлучатели, отражатели, ответвители, делители, волноводы. Ряд операций можно выполнить с помощью *многополосковых ответвителей* (МПО), представляющих собой систему параллельных проводников, перпендикулярных направлению распространения ПАВ.

На рис. 13.7, *а* ПАВ, излучаемая преобразователем 1 в канал *A*, с помощью МПО 2 переключается в канал *B*, где находится приемник 3. Переключение обусловлено эффектами переизлучения в МПО и интерференции первичного (падающего на него) излучения со вторичным. Полное переключение можно получить только при строго определенном *N*. При другом числе проводников можно распределить излучаемый сигнал между двумя каналами (рис. 13.7, *б*). Многополосковый ответвитель специальной формы позволяет осуществить отражение ПАВ и изменить направление ее распространения (рис. 13.7, *в*). Возможно также переключение волны в соседний канал и апертурное сжатие (рис. 13.7, *г*). Волна, переизлучаемая в канал *B*, имеет цилиндрический фронт и сходится в точке *O*, удаленной от МПО на расстояние, равное радиусу закругления электродов.

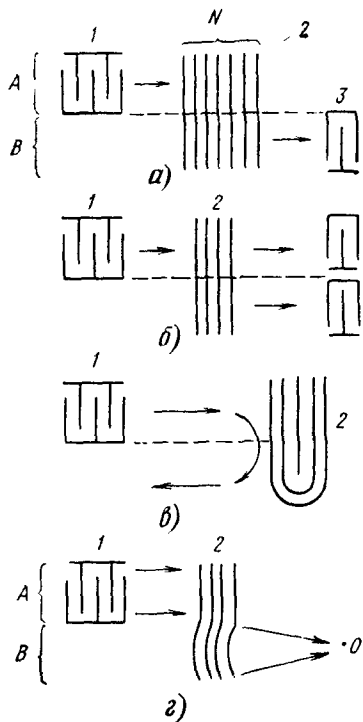


Рис. 13.7

На рис. 13.8 показано поперечное сечение некоторых отражательных структур, образованных периодическими неоднородностями (выступами или пазами) на поверхности звукопровода в зоне распространения ПАВ. Применяются также диэлектрические полоски, сформированные на поверхности кристалла.

На рис. 13.8 показано поперечное сечение некоторых отражательных структур, образованных периодическими неоднородностями (выступами или пазами) на поверхности звукопровода в зоне распространения ПАВ. Применяются также диэлектрические полоски, сформированные на поверхности кристалла.



Рис. 13.8

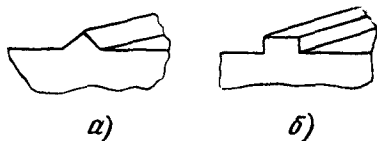


Рис. 13.9

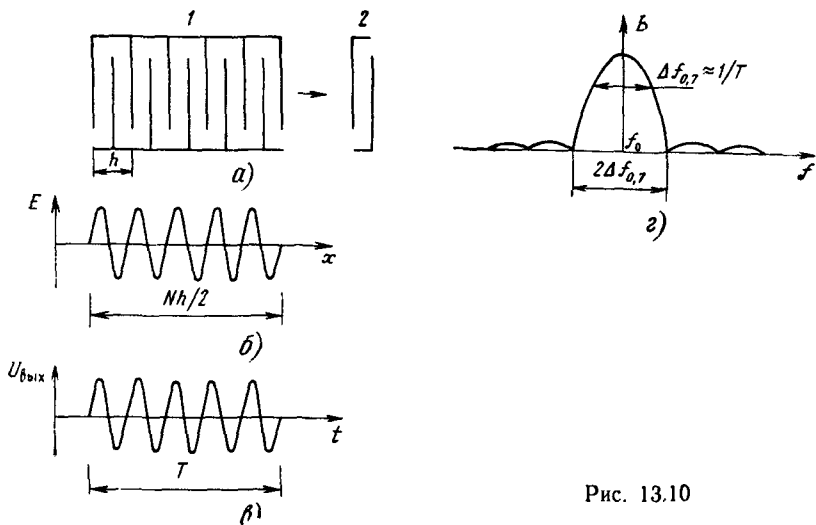
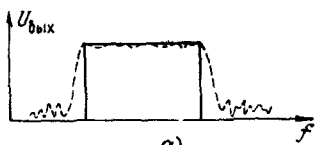


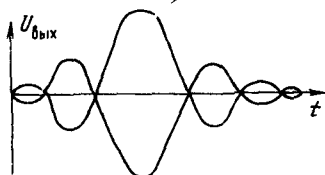
Рис. 13.10

Локализация энергии волны в узком пространственном канале осуществляется с помощью акустических волноводов. *Топографические волноводы* представляют собой протяженные клиновидные (рис. 13.9, а) или прямоугольные (рис. 13.9, б) выступы на поверхности кристалла. В полосковых волноводах, получаемых нанесением на поверхность пленки диэлектрика, скорость ПАВ в пленке отличается от ее скорости в основном кристалле.

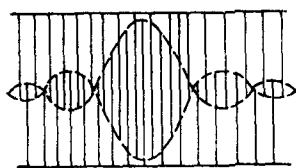
Принцип создания полосковых фильтров. Простейший фильтр (рис. 13.10, а) содержит входной многоэлектродный преобразователь 1 и выходной преобразователь 2 с малым числом электродов, полоса пропускания которого значительно шире, чем входного. Амплитудно-частотная характеристика фильтра определяется входным преобразователем. Форма АЧХ может быть определена и по *импульсному отклику* фильтра, т. е. по его реакции на входной импульс в виде δ -функции. Так как входной сигнал в этом случае имеет равномерный спектр, то спектр выходного сигнала соответствует АЧХ. Практически рассматривают реакцию на короткий прямоугольный импульс, длительность которого мала по сравнению с временем распространения ПАВ между соседними электродами преобразователя. При поступлении такого импульса под входным преобразователем возникает электрическое поле с распределением напряженности, показанным на рис. 13.10, б. Таким же будет пространственное распределение возмущений в генерируемой волне. Полученный дуг волн длиной $Nh/2$ распространяется к выходному преобразователю, на выходе которого получают сигнал, по форме близкий к радиоимпульсу длительностью $T = Nh/2v_{ак}$ (рис. 13.10, в) и частотой заполнения $f_0 = v_{ак}/h$. Его спектральная плотность описывается функцией $B = \sin X/X$, где



а)



б)



в)

Рис. 13.11

$X = \pi N(f - f_0)/2f_0$, показанной на рис. 13.10, з.

Импульсный отклик будет представлять собой модулированный высокочастотный сигнал, если длины перекрытия соседних штырей входного преобразователя сделать изменяющимися. Вклад каждой пары штырей в энергию ПАВ пропорционален длине их перекрытия. Выходной преобразователь будет принимать акустический сигнал с изменяющейся во времени мощностью. Из предыдущего простейшего примера ясно, что закон временной модуляции импульсного отклика должен совпадать по форме с законом пространственного изменения длины перекрытия соседних штырей входного преобразователя. Таким образом, можно легко синтезировать фильтр с заданной АЧХ. Для этого надо по АЧХ определить форму огибающей импульсного отклика и в соответствии с ней выполнить преобразователь с изменяющейся длиной перекрытия штырей.

На рис. 13.11, а сплошной линией показана АЧХ идеального полосового фильтра, на рис. 13.11, б — его импульсная реакция (огибающая выходного высокочастотного сигнала), а на рис. 13.11, в — структура входного преобразователя. Реальная АЧХ (штриховая линия на рис. 13.11, а) отличается от идеальной, поскольку невозможно воспроизвести всю огибающую импульсного отклика, так как он неограничен во времени (пульсации выходного напряжения затухают постепенно и исчезают при $t \rightarrow \infty$). К тому же длина входного преобразователя конечна. Форма АЧХ искажается также из-за пространственной расходимости ПАВ при ее распространении к выходному преобразователю, отражений и других факторов. Для получения оптимальной АЧХ применяют фильтры со значительно более сложной структурой.

В фильтрах, использующих избирательные свойства преобразователей, не удается получить малую полосу пропускания ($\Delta f/f_0 < 1\%$). Узкополосные фильтры выполняют на основе резонаторов ПАВ. Резонатор представляет собой отрезок звукопровода, ограниченный с обеих сторон отражателями. На длине отрезка должно укладываться целое число полуволн, т. е. $L = n\lambda_{ак}/2$. В такой резонатор помещают широкополосный преобразователь.

13.3. ЭЛЕМЕНТЫ МАГНИТНЫХ СБИС ПОСТОЯННЫХ ЗАПОМИНАЮЩИХ УСТРОЙСТВ

Магнитные свойства тонких пленок можно использовать для запоминания и обработки информации. В связи с этим в магнитоэлектронике возникло отдельное направление — *магнитные интегральные микросхемы*, главным практическим результатом которого явилось создание СБИС ПЗУ на *цилиндрических магнитных доменах* (ЦМД). Последние используются как носители информации. Цилиндрические магнитные домены появляются в тонких эпитаксиальных пленках специальных материалов — *гранатов*, имеющих химическую формулу типа $R_3Fe_5O_{12}$, где R — редкоземельный элемент (Y , Cd и др.). Информационная емкость СБИС определяется диаметром ЦМД (порядка 1 мкм) и составляет 4...16 Мбит. Микросхемы характеризуются последовательной выборкой информации с временем выборки около 10 мс.

Магнитные СБИС целесообразно использовать во внешних ЗУ микроЭВМ вместо накопителей на магнитных дисках (НМД) либо в качестве промежуточных (буферных) ЗУ между внешней памятью ЭВМ и ОЗУ. По сравнению с НМД достигается резкое повышение надежности (вследствие исключения электромеханических устройств) и быстродействия, но информационная емкость одной СБИС значительно меньше, чем НМД. Использование в качестве носителя информации не ЦМД а гораздо более мелких объектов — вертикальных блоховских линий (см. ниже) открывает перспективы значительного повышения степени интеграции.

Цилиндрические магнитные домены и их свойства. Эпитаксиальная пленка граната обладает свойством *магнитной анизотропии*: в ней существуют *ось легкого намагничивания*, перпендикулярная поверхности, и *ось тяжелого намагничивания*, параллельная поверхности. При малой толщине пленки (порядка нескольких микрометров) находящиеся в ней магнитные домены занимают все поперечное сечение пленки, а их векторы намагниченности перпендикулярны поверхности.

При отсутствии внешнего магнитного поля домены имеют форму полос (рис. 13.12, а) с противоположными направлениями вектора намагниченности, так что в целом намагниченность пленки равна нулю. Если приложить внешнее магнитное поле H , перпендикулярное поверхности, то пленка перемагничивается и стенки доменов смещаются. В результате домены с намагниченностью в направлении H увеличиваются, а с противоположной намагниченностью — уменьшаются. При $H > H_{мин}$ доме-

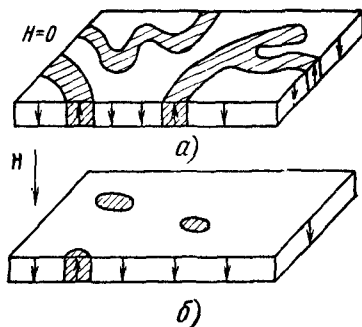


Рис. 13.12

ны становятся цилиндрическими (рис. 13.12, б), причем с ростом H их диаметры уменьшаются. При $H > H_{\text{макс}}$ ЦМД скачком исчезают — *коллапсируют*, после чего пленка находится в *состоянии насыщения* и как бы заполнена одним большим доменом с намагниченностью в направлении H . Таким образом, для существования ЦМД необходимо иметь постоянное внешнее магнитное поле с напряженностью от $H_{\text{мин}}$ до $H_{\text{макс}}$ — *поле смещения*. Оно составляет 2000...3000 А/м и создается постоянным магнитом, расположенным внутри корпуса СБИС.

Если при наличии поля смещения к участку пленки с намагниченностью в направлении $H_{\text{см}}$ приложить кратковременно внешнее поле противоположного направления ($H > H_{\text{ст}}$), то в этом месте образуется ЦМД. Величина $H_{\text{ст}}$ называется *полем старта*.

Диаметр ЦМД зависит от материала и толщины пленки. Существует оптимальная толщина h , обеспечивающая минимальный диаметр $d_{\text{мин}} \approx h$; достигается $d_{\text{мин}} \approx 0,3$ мкм.

В неоднородном (*градиентном*) поле смещения ЦМД движется в сторону убывания H , при этом его диаметр возрастает. Движение может происходить лишь при достаточно большом градиенте поля: $|\text{grad } H| > H_0/d$, где $H_0 = 10...100$ А/м. Максимальное расстояние, на которое может переместиться домен, сохраняя цилиндрическую форму, определяется величинами $H_{\text{мин}}$, $H_{\text{макс}}$ и H_0 и равно $(10...100)d_{\text{мин}}$. Скорость движения $v_d = \mu_d (d \text{ grad } H - H_0)$, где μ_d — *подвижность домена*, составляющая 100...1000 см²/(А · с). Скорость невысока (порядка 10⁹ см/с), что является одной из причин низкого быстродействия.

Один домен можно разделить на два, если на участке поверхности, проходящем через поперечное сечение домена, магнитное поле будет больше $H_{\text{макс}}$ (*поля коллапса*). Для этого используется проводник в форме петли, проходящий над доменом (рис. 13.13, а). Если подать импульс тока, увеличивающий напряженность магнитного поля внутри петли, то домен разрушится (под петлей возникнет домен противоположной намагниченности). Произойдет расщепление ЦМД, после которого каждая «половина» примет цилиндрическую форму прежнего диаметра, определяемого полем смещения (рис. 13.13, б). Между соседними ЦМД существуют магнитостатические силы отталкивания.

ЦМД-регистры. В микросхемах необходима фиксация положения ЦМД, соответствующего элементу памяти. Наличие ЦМД на этой позиции можно отождествить с хранением лог. 1, а отсутствие — с хранением лог. 0. Фиксация осуществляется с помощью *магнитостатических ловушек* — областей с пониженным значением потенциальной энергии домена (потенциальных ям).

Наиболее распространены ловушки, представляющие собой тонкие (десятые доли микрометра) пермаллоевые пленки (аппликации), нанесенные на поверхность. Пермаллой является магнитомягким ферромагнитным материалом, содержащим 80% Ni и 20% Fe. В области под пленкой магнитное поле смещения ослаблено, кроме того,

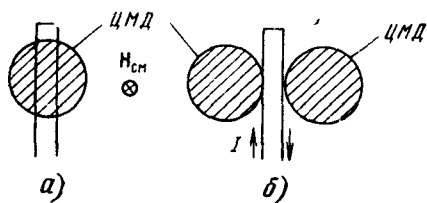


Рис. 13.13

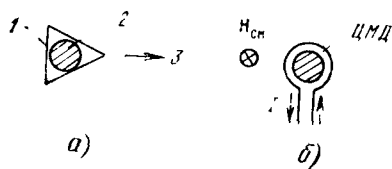


Рис. 13.14

пленка создает наилучшие условия для замыкания магнитного потока домена, благодаря чему домен притягивается к ней (подобно тому, как магнит притягивается к железу).

Для того чтобы вывести домен из ловушки, надо затратить энергию, определяемую глубиной потенциальной ямы. В случае, когда пермаллоевая пленка имеет несимметричную форму, эта энергия зависит от направления, в котором осуществляется вывод (отрыв) домена. Например, для ловушки треугольной формы легче осуществить отрыв вправо, чем влево (рис. 13.14, а: 1 — пермаллоевая пленка; 2 — находящийся под ней ЦМД; 3 — направление «легкого» отрыва). Ловушка может быть получена также с помощью проводника в форме петли, через который протекает ток, создающий магнитное поле противоположного направления по отношению к полю смещения (рис. 13.14, б).

Ряд ловушек, расположенных близко друг к другу (на расстоянии меньше диаметра домена), образуют регистр. Цилиндрические магнитные домены можно перемещать (продвигать) из одной ловушки в другую (соседнюю), осуществляя таким образом сдвиг информации в регистре. Предложено множество различных конфигураций ловушек (пермаллоевых аппликаций), от которых зависят параметры регистров. Основным методом продвижения ЦМД вдоль регистра является применение вращающегося магнитного поля, вектор напряженности H_{Π} которого направлен параллельно поверхности.

На рис. 13.15 показано положение ЦМД в регистре с аппликациями в виде *шевронов* в разных фазах вращающегося поля. Под его влиянием в пермаллоевых пленках образуются магнитные полюса (N — северный, S — южный) и обусловленные ими дополнительные поля, имеющие вертикальную составляющую вектора напряженности, складывающуюся или вычитающуюся из поля смещения. В фазе 1 северный полюс находится у верхней границы шевронов, вертикальная составляющая напряженности поля там минимальна и соответственно там располагается ЦМД (северный полюс как бы притягивает ЦМД). В фазе 2 северный полюс и ЦМД смещаются к правой границе шеврона. В фазе 3 северный полюс находится как у левой, так и у правой границы, поэтому ЦМД занимает положение на границе двух ловушек, после чего (фаза 4) он переходит в соседнюю ловушку и в фазе 5, т. е. через один период вращающегося поля, занимает положение у

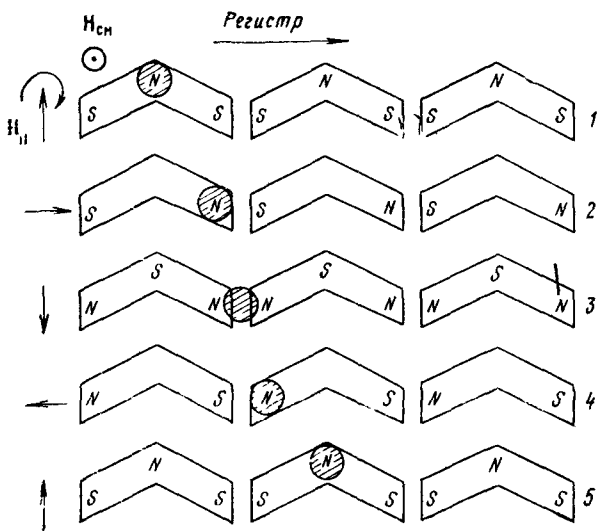


Рис. 13.15

верхней границы соседней ловушки. Время сдвига на один разряд регистра равно периоду вращающегося поля.

При симметричной структуре ловушек, показанной на рис. 13.15, возможно движение доменов в обоих направлениях в зависимости от направления вращения вектора H_{II} . В несимметричных структурах (рис. 13.16), получивших более широкое распространение, существует только одностороннее продвижение, но допустимы большие зазоры (до $0,7d$) между ловушками, а также большие интервалы допустимых значений $H_{с.м.}$, что обеспечивает лучшую устойчивость работы. Типичная частота вращения поля H_{II} составляет 100 кГц, а его напряженность - 2000...4000 А м.

Поле создается парой катушек, намотанных вокруг кристалла в двух взаимно перпендикулярных направлениях, в которые подается ток, изменяющийся по гармоническому закону с указанной частотой и амплитудой порядка 100 мА. Повышение частоты и ускорение продвижения доменов ограничены большими индуктивностью катушек и рассеиваемой мощностью из-за потерь вследствие скин-эффекта в обмотках и вихревых токов в проводящих деталях корпуса.

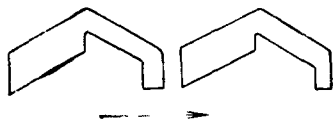


Рис. 13.16

Для запаса информации в регистр применяют устройство, содержащее шеврон и проходящий между ним и кристаллом токовый контур (рис. 13.17). Подавая в него ток, создающий магнитное поле противоположного направления по отношению к полю смещения, напряженность которого больше напряженности поля старта,

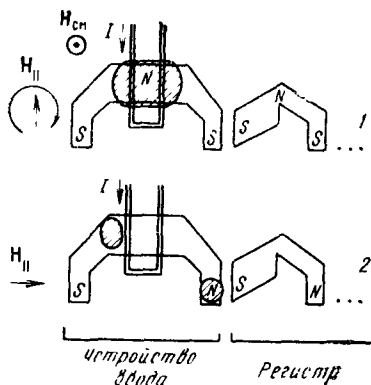


Рис. 13.17

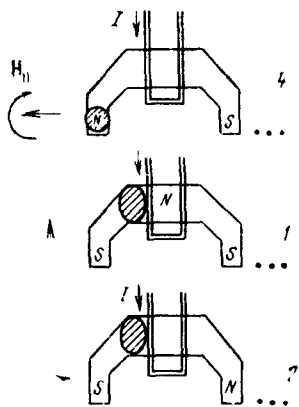


Рис. 13.18

можно генерировать домен, если необходимо записать лог. 1. Однако требуется слишком большой ток, и практически применяется не генерация, а деление домена.

Исходный домен формируется в устройстве ввода перед началом работы мощным импульсом тока. В фазе 1 (см. рис. 13.17) он располагается сверху шеврона и при подаче тока в контур делится. В фазе 2 домен, образовавшийся справа от контура, смещается вниз под действием вращающегося магнитного поля (при тягиваясь к северному полюсу), а домен образовавшийся слева, остается на месте, так как его движению препятствует магнитное поле контура. В следующих фазах правый домен переходит в регистр, и ток можно выключить. Так происходит ввод лог. 1.

Для ввода лог. 0 ток в контур следует подать в фазе 4, предшествующей фазе 1 (рис. 13.18), сохраняя его в фазах 1 и 2. Тогда в фазе 1 под контуром с током домен отсутствует, деления не происходит, а в фазе 2 в правой части устройства ввода домена также нет.

Для считывания информации применяют устройство, основанное на *магниторезистивном эффекте*. Он заключается в изменении сопротивления пермаллоевой пленки (*магниторезистивного датчика*) при изменении магнитного поля, вызванного поступлением домена с выхода регистра в устройство считывания. Так как поле домена слабое, то сигнал, возникающий на выходе, мал (единицы милливольт) и необходимы усилители считывания, являющиеся внешними по отношению к кристаллу схемами.

Кристалл СБИС (рис. 13.19) содержит N -разрядные входной и выходной регистры ($P_{гвх}$, $P_{гвых}$) с устройствами записи (*ЗАП*) и считывания (*СЧ*) на входе и выходе и N регистров хранения по n разрядам каждый ($P_{г1}$, ..., $P_{гN}$). Во избежание потерь информации при сдвигах они делаются кольцевыми. В режиме обращения информация циркулирует по этим регистрам, как показано стрелкой. В режиме записи во входной регистр последовательно вводится (указано стрелкой) N -разрядное число. Затем оно передается в регистры хранения (каждый разряд в свой регистр). При считывании сначала происходит передача информации из регистров хранения в выходной, после чего из него последовательно выводится получившееся там двоичное число.

Помимо кристалла СБИС памяти ЗУ содержит микросхемы усилителей считывания, формирователей импульсных токов, управления, синхронизации и др. Примером являются микросхемы серии К1602Р112А.

Вертикальные блоховские линии как носители информации. Принципиальным фактором, ограничивающим повышение информационной емкости, является магнитоэлектрическое взаимодействие между ЦМД. Для этого расстояния между ЦМД в соседних элементах памяти должны быть не менее $4d$. Независимо от типа продвигающих структур площадь элемента памяти получается не менее $16d^2$. Например, при $d = 1$ мкм на кристалле площадью 50 мм^2 можно получить СБИС с информационной емкостью не более 4 Мбит, что достижимо и в транзисторных СБИС памяти динамического типа с произвольной выборкой. Дальнейшее повышение информационной емкости связано с отказом от использования ЦМД как носителя информации [30].

В 1983 г. была показана возможность кодирования информации с помощью более мелких объектов — пар *вертикальных блоховских линий* (ВБЛ), заключенных в *доменной границе* (ДГ). Она представляет собой переходный слой, где вектор намагниченности \mathbf{M} изменяет свое направление на противоположное (в центральной части ДГ он горизонтальный). В зависимости от направления \mathbf{M} в разных участках центральной части доменная граница может иметь различные структуры.

На рис. 13.20, *а* показано поперечное сечение полосового домена с простейшей структурой ДГ, в которой \mathbf{M} всюду параллелен границе. На рис. 13.20, *б* ДГ имеет более сложную структуру: в ней содержатся два участка (1 и 2), где векторы \mathbf{M} параллельны границе, но направлены противоположно (*сегменты Блоха*). Между ними существуют переходные слои, в центральной части которых вектор намагниченности перпендикулярен границе. Они проходят перпендикулярно поверхности и представляют собой ВБЛ. В доменной границе может существовать только четное число ВБЛ. Две ВБЛ, показанные на рис. 13.20, *б*, называются *однополярными*, в них векторы \mathbf{M} направлены

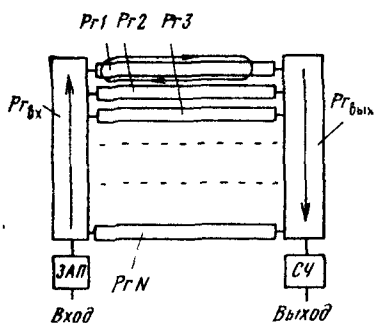


Рис. 13.19

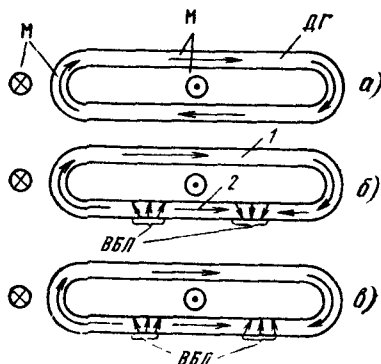


Рис. 13.20

противоположно по отношению к центру домена¹. На рис. 13.20, в показана пара разнополярных ВБЛ.

Вертикальные блоховские линии могут передвигаться вдоль ДГ. При сближении между ними возникают силы обменного взаимодействия, которые отталкивают однополярные и притягивают разнополярные ВБЛ, в результате чего происходит их аннигиляция и ДГ приобретает простейшую структуру (см. рис. 13.20, а). Поэтому устойчивыми являются только пары однополярных ВБЛ. Они и используются как носители информации.

Наличие пары ВБЛ в определенном месте ДГ соответствует хранению лог. 1, а отсутствие — хранению лог. 0 (рис. 13.21). Таким образом, длинный полосовой домен является регистром, хранящим большое число бит информации. Минимальное расстояние L между соседними парами ВБЛ, т. е. минимальная длина элемента памяти, определяется отталкиванием однополярных ВБЛ и составляет около $0,2d$, где d — ширина домена (порядка диаметра ЦМД). В результате площадь, приходящаяся на элемент памяти, примерно $0,2d^2$, что почти в 100 раз меньше, чем в схемах на ЦМД.

Для фиксации положения ВБЛ необходимо создать периодический магнитный рельеф вдоль полосового домена, что достигается формированием в эпитаксиальной пленке областей в форме узких полосок, перпендикулярных направлению полосового домена, получаемых методом ионного легирования (например, Ne). На границе этих областей возникают механические напряжения и вследствие явления *магнитострикции* — дополнительное магнитное поле, фиксирующее ВБЛ. Возможно формирование магнитного рельефа с помощью травления неглубоких канавок в эпитаксиальной пленке, а также нанесения на ее поверхность полосок магнитного или немагнитного металлического материала (Cr, Au). Аналогичными методами можно фиксировать и положение самого полосового домена (регистра) на кристалле. Минимальная площадь, приходящаяся на элементарную ячейку памяти, будет определяться разрешающей способностью применяемой литографии.

Продвижение ВБЛ вдоль ДГ осуществляется под действием импульса поля подмагничивания, направленного перпендикулярно поверхности. Подбирая амплитуду и длительность импульса, можно обеспечить продвижение на одну позицию, что соответствует сдвигу на один разряд в регистре.

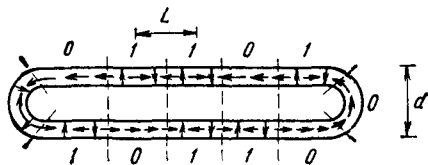


Рис. 13.21

¹ Вертикальная блоховская линия считается положительной (отрицательной), если она увеличивает (уменьшает) на $1/2$ число оборотов вектора \mathbf{M} при обходе ДГ против часовой стрелки.

КОНТРОЛЬНЫЕ ВОПРОСЫ И ЗАДАЧИ

1. Перечислите основные параметры транзистора (см. рис. 3.1), для улучшения которых используется скрытый n^+ -слой. Ухудшаются ли при этом какие-либо другие параметры?
2. В чем заключаются преимущества изопланарного транзистора (см. рис. 3.5) по сравнению с эпитаксиально-планарным?
3. Почему нарушится работоспособность микросхемы, если не будут созданы противоканальные области p^+ -типа (см. рис. 3.5)?
4. Почему напряжение пробоя изолирующего перехода в структуре на рис. 3.6, в выше, чем в структурах на рис. 3.6, а, б?
5. Определите число фототаблонов, необходимых для создания микросхемы на эпитаксиально-планарных или изопланарных транзисторах (при одном слое внутрисхемных соединений).
6. Во сколько раз изменится избыточный заряд дырок в коллекторе при использовании диода Шотки (см. рис. 3.8), если $\Delta U = 260$ мВ и $T = 120$ °С? Ответ: $1,7 \cdot 10^8$.
7. В каких ЛЭ используется горизонтальный p - n - p транзистор и какие способы применяют для повышения коэффициента передачи?
8. Почему для схемы диодного включения транзистора ($I_K = 0$, рис. 3.15) при прямом токе характерен режим насыщения, хотя внешнее напряжение на коллекторный переход не подается?
9. Какие параметры транзистора (см. рис. 3.1) изменятся, если: а) уменьшить горизонтальные размеры скрытого n^+ -слоя, б) уменьшить концентрацию примесей в этом слое; в) увеличить горизонтальные размеры этого слоя так, чтобы он граничил с изолирующими p^+ -областями, г) использовать в качестве легирующей примеси в этом слое фосфор?
10. Какие параметры транзистора (см. рис. 3.5) изменятся, если: а) при неизменной толщине базы уменьшить толщину эпитаксиального слоя настолько, что база будет граничить со скрытым n^+ -слоем, б) увеличить энергию ионов при легировании базы, в) уменьшить дозу легирования базы?
11. Как изменится выходная характеристика транзистора (см. рис. 3.1, б), если удалить коллекторную контактную область?
12. Как изменится инверсный коэффициент передачи многоэмиттерного транзистора (см. рис. 3.7, в) при уменьшении тока базы?
13. Какие статические и импульсные параметры МДП-транзистора (см. рис. 4.1) и как изменяется, если уменьшать: а) длину канала, б) глубину залегания p - n переходов, в) концентрацию примесей в подложке? Рассмотреть случаи длинного и короткого каналов.
14. Нарисуйте сравнительные стоковые и стоко-затворные ВАХ транзистора (см. рис. 4.1) для двух разных концентраций примесей в подложке (предполагается, что канал длинный).
15. Нарисуйте стоковые ВАХ транзистора (см. рис. 4.1), у которого длина канала меньше суммарной толщины обедненных слоев p - n переходов.

16. Нарисуйте в одной системе координат зависимости напряжений пробоя и смыкания от глубины залегания p - n переходов в транзисторе (см. рис. 4.1).
17. Как различаются значения удельной крутизны и времени пролета канала комплементарных транзисторов с одинаковыми размерами в структуре на рис. 4.13?
18. Нужны ли противоканальные слои под слоями SiO_2 , разделяющими соседние p -канальные транзисторы в одном кармане, в структуре на рис. 4.13?
19. Почему при создании МДП-транзисторов с самосовмещенным затвором (см. рис. 4.1) для формирования истоковой и стоковой областей необходимо применять ионное легирование, а не диффузию?
20. Какие электрические параметры МДП-транзистора (см. рис. 4.1) и как изменятся, если затвор легировать не донорами, а акцепторами?
21. Почему высокая плотность поверхностных состояний затрудняет создание МДП-транзисторов на арсениде галлия?
22. Определите разброс порогового напряжения МЭП-транзистора при $\varphi_{03} = 0,8$ В, $N_{д,к} = 10^{17}$ см $^{-3}$, если $d_0 = 0,2$ мкм $\pm 10\%$.
Ответ: $-(1,7 \dots 2,2)$ В.
23. Почему параметры нормально открытого МЭП-транзистора по сравнению с нормально закрытым менее чувствительны к эффекту паразитной связи?
24. Сколько фотошаблонов и для каких целей нужно при создании МЭП-транзистора (см. рис. 5.1)?
25. Найдите сопротивление и паразитную емкость ионно-легированного резистора (см. рис. 6.3) с топологией, как на рис. 6.1, б, при $a = 100$ мкм, $b = 5$ мкм, $N_{д,а} = 10^{19}$ см $^{-2}$, $\mu_p = 300$ см 2 /(В \cdot с), концентрации доноров в эпитаксиальном слое $N_{д,эп} = 10^{18}$ см $^{-3}$, напряжениях на концах резистора относительно подложки $U_1 = 1$ В, $U_2 = 4$ В, $U_{и,п} = 5$ В. Формулу для расчета емкости следует получить самостоятельно, применив формулу для барьерной емкости плоского p - n перехода со ступенчатым распределением примесей [3]. Емкостью и сопротивлением краевых (контактных) областей можно пренебречь. Ответ: $R \approx 42$ кОм, $C_R = 0,08$ пФ.
26. Найдите максимальную емкость тонкопленочного конденсатора (см. рис. 6.8) с диэлектриком из SiO и размерами верхней обкладки 100×100 мкм при напряжении пробоя 30 В. Ответ: 5 пФ.
27. Какие параметры простейшего элемента ТТЛ (см. рис. 7.7) и как изменяются при: а) повышении напряжения $U_{и,п}$, б) повышении температуры, в) увеличении сопротивления R_1 (при неизменных R_2 и $U_{и,п}$), г) замене эпитаксиально-планарных транзисторов на изопланарные, д) исключении в структуре многоэмиттерного транзистора (см. рис. 3.7, в) области I или слоя металлизации

- 3, расположенного в середине базовой области, е) легировании кристалла атомами золота?
28. Для элемента ТТЛ со сложным инвертором (рис. 7.12): а) определите напряжения на базах всех входящих в него транзисторов для обоих логических состояний при температуре $-60, 25, 125^\circ\text{C}$ и $U_{и.п} = 5\text{ В}$, б) оцените максимальный выходной ток при замыкании выхода с общей шиной и $U_{вх} = U^0$, если $U_{и.п} = 5\text{ В}$, $T = 25^\circ\text{C}$, $R_4 = 200\text{ Ом}$ (ответ: 20 мА), в) нарисуйте входные и выходные характеристики и укажите их отличия от соответствующих характеристик для простейшего элемента ТТЛ (см. рис. 7.10, 7.11).
 29. Можно ли в элементе ТТЛ (см. рис. 7.7) использовать многоэмиттерный транзистор с диодом Шотки, аналогичный одноэмиттерному (см. § 3.4)?
 30. Почему при повышении напряжения на входе переключателя тока (см. рис. 7.15) уменьшается эмиттерный ток опорного транзистора, хотя напряжение на его базе остается постоянным (равным $-U_{об}$)?
 31. Почему напряжение низкого уровня элементов ЭСЛ (рис. 7.17, 7.19) для инверсного выхода уменьшается с ростом входного напряжения, а для прямого остается постоянным?
 32. На какие параметры элементов ЭСЛ влияет расстояние между краями эмиттера и базового контакта (см. рис. 3.12)?
 33. Какие параметры элемента МЭСЛ (см. рис. 7.16) и как изменяются при: а) повышении модуля напряжения источника питания (опорное напряжение постоянно), б) повышении модуля опорного напряжения (напряжение источника питания постоянно), в) увеличении сопротивлений R_K (при постоянных $U_{и.п}$, $U_{об}$, R_a), г) увеличении сопротивления R_3 (при постоянных $U_{и.п}$, $U_{об}$, R_K), д) увеличении числа нагрузок, е) увеличении числа входных транзисторов, ж) замене полупроводниковых резисторов пленочными резисторами из поликристаллического кремния?
 34. Определите входные токи простейшего элемента ТТЛ (см. рис. 7.8) при $U_{и.п} = 2,5\text{ В}$, $U'_{БЭ} = U'_{КЭ} = 0,7\text{ В}$ ($T = 25^\circ\text{C}$), $R_1 = 2\text{ кОм}$, $\beta_{11} = 0,05$ при $U_{вх} = 0,2\text{ В}$ и $U_{вх} = 2,2\text{ В}$ (ответ: $I_{вх}^0 = 0,8\text{ мА}$, $I_{вх}^1 = 27\text{ мкА}$). Как изменяются эти токи при повышении температуры до 125°C ($\beta_{11} = 0,07$), если используются полупроводниковые резисторы на основе базового слоя (см. гл. 6)? Ответ: $I_{вх}^0 = 0,79...0,82\text{ мА}$, $I_{вх}^1 = 40...48\text{ мкА}$.
 35. Почему при создании элементов ЭСЛ (см. рис. 7.16, 7.18): а) не используют транзисторы с диодом Шотки, б) не легируют структуру атомами золота?
 36. Как изменится передаточная характеристика элементов ТТЛ со сложным инвертором (рис. 7.13) при: а) повышении температуры, б) использовании транзисторов с диодом Шотки?
 37. Почему в элементе И²Л можно в широких пределах изменять ток питания, а в элементах ТТЛ и ЭСЛ нельзя?

38. Чем ограничено минимальное напряжение источника питания для элемента И²Л?
39. Сколько фотошаблонов и для каких целей необходимо при создании элементов И²Л (см. рис. 7.20)?
40. Почему нельзя получить передаточную характеристику (см. рис. 7.26) для ненагруженного элемента И²Л?
41. Какие параметры элемента И²Л улучшаются при уменьшении расстояния между инжекторной и базовой областями в структуре на рис. 7.20?
42. Как и почему зависит от температуры напряжение высокого уровня элемента И²Л?
43. Почему для структуры, показанной на рис. 7.29, *a*, в базе переключающего транзистора существует ускоряющее электрическое поле для электронов, движущихся от эмиттера к коллекторам? Чем определяется напряженность этого поля и на какие параметры элемента И²Л оно влияет?
44. Для каких ЛЭ на биполярных транзисторах (ТТЛ, ЭСЛ, И²Л) и почему могут быть получены: а) наибольшее быстродействие, б) наибольшая помехоустойчивость, в) наименьшая потребляемая мощность, г) наибольшая нагрузочная способность, д) наименьшая работа переключения, е) наименьшая площадь?
45. Как изменятся передаточная характеристика, уровни лог. 0, лог. 1 и помехоустойчивость инвертора на *n*-канальных МДП-транзисторах (см. рис. 8.1) при увеличении: а) дозы легирования канала активного транзистора, б) дозы легирования канала пассивного транзистора, в) концентрации примесей в подложке?
46. То же для элемента И-НЕ на комплементарных транзисторах (см. рис. 8.15, *a*) при увеличении: а) дозы легирования каналов транзисторов обоих типов, б) концентрации доноров в кармане.
47. Как изменятся средняя задержка и потребляемая мощность для инверторов на *n*-канальных (см. рис. 8.1) и комплементарных (см. рис. 8.9) МДП-транзисторах при уменьшении: а) толщины подзатворного диэлектрика, б) длины канала одного из транзисторов, в) ширины канала одного из транзисторов, г) топологических размеров, толщины диэлектрика и напряжения питания в одинаковое число (*M*) раз? Емкостями проводников и *p-n* переходов можно пренебречь и канал считать длинным. Ответ на последний вопрос: $t_{зд, ср} \sim 1/M$, $P_{ср} \sim 1/M^2$ для инвертора на рис. 8.1, $P_{ср} \sim 1/M^3$ для инвертора на рис. 8.9.
48. Как изменятся средняя задержка и потребляемая мощность ЛЭ на *n*-канальных (см. рис. 8.14) и комплементарных (см. рис. 8.15) транзисторах при повышении температуры?
49. Найдите нагрузочную способность инвертора (рис. 8.9) при одинаковых размерах транзисторов, $U_{и.п} = 5$ В, $U_{пор п} = |U_{пор р}| = 1$ В, $L = 2$ мкм, $\mu_n = 600$ см²/(В · с), $\mu_n/\mu_p = 2$, $t_{зд, ср} = 2$ нс. Ответ: $n = 16$.

50. Во сколько раз изменится средняя задержка инвертора (см. рис. 8.9) при уменьшении длины канала в 2 раза в случае короткого канала? Емкостями проводников и p - n переходов можно пренебречь.
51. Найдите период генерации в схеме кольцевого генератора (рис. 7.6), выполненного на инверторах (рис. 8.1), при $k_r = 21$, $L_a = L_n = 3$ мкм, $K_a = K_n$, $|U_{пор\ n}| = 1$ В, $\mu_n = 500$ см²/(В · с), $k_i^{q,1} = 1$. Ответ: $T = 15$ нс.
52. Нарисуйте поперечный разрез структуры элемента И-НЕ (см. рис. 8.13, б) по линии, проходящей через все транзисторы.
53. Чем ограничены снизу длительность тактовых импульсов и сверху их период в инверторах динамического типа (см. рис. 8.17, 8.20)?
54. Как изменятся логические уровни для инвертора на МЭП-транзисторах (см. рис. 8.21) при: а) повышении температуры, б) повышении напряжения источника питания, в) увеличении ширины или уменьшении длины канала активного транзистора (пассивного транзистора), г) увеличении порогового напряжения активного транзистора?
55. Опишите последовательность основных операций при создании структур полупроводниковых микросхем: а) на комплементарных МДП-транзисторах на кремниевой подложке (см. рис. 4.13), б) то же на сапфировой подложке (см. рис. 4.15), в) ЛЭ динамического типа на МДП-транзисторах (см. рис. 8.20), г) элементов памяти динамического типа (см. рис. 9.8).
56. Перечислите основные транзисторные структуры полупроводниковых микросхем, для создания которых применяются: а) эпитаксия, б) окисление через маску, в) ионное легирование.
57. Выразите минимальную площадь через параметры фотолитографии (Δ , δ) для: а) эпитаксиально-планарного транзистора (см. рис. 3.1), б) изопланарного транзистора (см. рис. 3.5, е), в) МДП-транзистора (см. рис. 4.1), г) МЭП-транзистора на арсениде галлия (см. рис. 5.1) д) резистора (см. рис. 6.1) с заданной длиной L .
58. Найдите минимальную мощность, потребляемую элементом памяти (см. рис. 9.2) в режиме хранения при $U_{пор\ 3,4} = -1,5$ В, $U_{пор\ 1,2,4,5} = 0,7$ В (помехоустойчивость не ниже 0,2 В). Удельная крутизна всех транзисторов одинакова и равна 0,1 мА/В². Ответ: 0,27 мВт.
59. Найдите помехоустойчивость элемента памяти (см. рис. 9.5) при одинаковых размерах всех транзисторов и модулях их пороговых напряжений $|U_{пор}| = 1$ В, $U_{н,п} = 3$ В. Ответ: $U_n \approx 1,4$ В.
60. Найдите минимальную мощность, потребляемую элементом памяти (см. рис. 9.6) в режиме хранения при $U_{пор} = 0,7$ В, остаточном токе транзисторов VT_1 , VT_2 , равном 10 нА, и помехоустойчивости не ниже 0,2 В. Ответ: $P_{мин} = 52$ нВт.
61. Как изменится период регенерации элемента памяти (см. рис. 9.8) при повышении: а) концентрации акцепторов в подложке в 2 раза

- (ответ: уменьшится в $\sqrt{2}$ раз), б) температуры на 20° (ответ: уменьшится в 4 раза)?
62. Как различаются амплитуды сигналов считывания δU элементов памяти на рис. 9.8—9.10 при одной и той же емкости шин Y и площадях элементов?
 63. Как различаются элементы памяти на рис. 9.8 и 9.9 по занимаемой площади при одной и той же емкости запоминающих конденсаторов?
 64. Как различаются токи утечки конденсаторов и период регенерации для элементов памяти на рис. 9.9 и 9.10 при одной и той же емкости запоминающих конденсаторов?
 65. Почему нарушится работоспособность элемента памяти на рис. 9.8, если исключить противоканальные p^+ -слои?
 66. Как влияет на работу элементов памяти на рис. 9.8 и 9.9 паразитная емкость между шинами X и Y ?
 67. Нарисуйте топологию элемента памяти на рис. 9.8.
 68. Как мощность, потребляемая в режиме хранения, зависит от температуры для элементов памяти: а) на рис. 9.2, б) на рис. 9.5, в) на рис. 9.6, г) на рис. 9.7 (при максимально возможном периоде регенерации)?
 69. Найдите информационный заряд в элементе памяти на рис. 9.11 при $U_{пор 1} = 5$ В, $U_{пор 0} = 1$ В; толщина слоя SiO_2 между затворами 4 и 3, а также затвором 4 и подложкой равна 0,05 мкм. Ответ: 0,6 пКл.
 70. Как время программирования в элементе памяти на рис. 9.11 зависит от: а) длины канала, б) тока стока, в) напряжения на шине X ?
 71. Как различаются времена стирания информации в элементах памяти на рис. 9.13 и 9.16 при одинаковой толщине диэлектрического слоя между плавающим затвором и шиной стирания?
 72. Как изменится время стирания в элементе памяти на рис. 9.13, если напряжение на шине $Y_{ст}$ увеличить на 3 В? Емкости между шиной $Y_{ст}$ и затвором 4 и между затвором 4 и шиной X можно считать одинаковыми. Ответ: уменьшится примерно в 30 раз.
 73. Найдите минимальный ток, который необходимо обеспечить при записи информации в элемент памяти на рис. 9.20 при $I_{п} = 10$ мкА, $\alpha_{NТ} = 0,2$, $\alpha_{Iп} = 0,9$, $\beta_{NэК} = 3$. Ответ 13 мкА.
 74. Какие параметры элементов ПЗС (см. рис. 11.1) зависят от расстояния между затворами? Чем ограничено максимально допустимое расстояние между ними?
 75. Какие параметры элементов ПЗС (см. рис. 11.1) будут различными для структур на подложках n - или p -типа при одинаковых размерах?
 76. Как зависят от температуры минимальная и максимальная тактовые частоты ПЗС?
 77. Найдите значения выходного тока и выходного сопротивления формирователя на рис. 12.2, а, если $U_{и.п2} = 5$ В, $R = 4,7$ кОм,

$\beta = 200$, $U_{БЭ} = 0,65$ В, $I_K = 5$ мА, $U_A = 100$ В. Ответ: 0,93 мА, 21 МОм.

78. Оцените относительную температурную нестабильность выходного тока формирователя (см. задание 77), обусловленную дрейфом напряжения на входе повторителя тока при изменении температуры на 60 °С. Ответ: 2,7%.
79. Как изменится выходной ток и выходное сопротивление формирователя тока (см. задание 77), если вместо биполярного транзистора использовать полевой с параметрами $U_{зи\ отс} = 3$ В, $I_{с\ нач} = 2$ мА, $U_A = 70$ В. Ответ: 1,2 мА, 341 кОм.
80. Оцените выходное сопротивление отражателя тока на биполярном транзисторе при $I_{вых} = 0,1$ мА, $\beta = 200$, $U_A = 100$ В. Ответ: 1 МОм.
81. Оцените приведенное ко входу напряжение смещения дифференциального каскада на рис. 12.11, если $I_0 = 1$ мА, $U_{и.п} = 15$ В, $U_{вых} = 5$ В, а согласованная транзисторная пара имеет параметры: $\beta = 200 \pm 5\%$, $U_{см\ макс} = 1$ мВ, $U_A \geq 100$ В. Ответ: 4,5 мВ.
82. Оцените входное сопротивление дифференциального каскада (см. задание 81). Ответ: 10 кОм.
83. Оцените выходное сопротивление ОУ (см. рис. 12.19), если в качестве источника тока $I_2 = 0,5$ мА использован отражатель тока (см. рис. 12.3, б), полагая для транзисторов $\beta = 300$, $U_A = 100$ В и $R_2 = R_3 = 50$ Ом. Ответ: 355 Ом.
84. Определите емкость корректирующего конденсатора C и максимальную скорость изменения выходного напряжения ОУ (см. рис. 12.19), если $I_1 = 1$ мА, частота единичного усиления $f_1 = 2,5$ МГц, параметры полевых транзисторов: $U_{зи\ отс} = 3$ В, $I_{с\ нач} = 1$ мА. Ответ: $C = 30$ пФ, $(dU_{вых}/dt)_{макс} = 33$ В/мкс.
85. Какие параметры дифференциального усилительного каскада (рис. 12.11) и как изменятся при: а) замене эпитаксиально-планарных транзисторов на изопланарные, б) исключении из структур эпитаксиально-планарных транзисторов скрытых слоев?
86. В чем различие топологии транзисторов $VT8$ и $VT6$ в схеме ОУ на рис. 12.19? Можно ли в одном кармане с транзистором $VT8$ разместить другие элементы, как повлияет образующаяся при этом большая емкость коллектор—подложка транзистора $VT8$ на быстродействие схемы?
87. Подсчитайте минимальное число карманов, необходимое для размещения всех элементов схемы на рис. 12.19.

СПИСОК ЛИТЕРАТУРЫ

1. Степаненко И. П. Основы микроэлектроники.—М.: Сов. радио, 1980.—423 с.
2. Ефимов И. Е., Козырь И. Я. Основы микроэлектроники.—М.: Высшая школа, 1983.—384 с.
3. Электронные приборы / В. Н. Дулин, Н. А. Аваев, В. П. Демин и др.; Под ред. Г. Г. Шишкина.—М.: Энергоатомиздат, 1989.—495 с.
4. Алексенко А. Г., Шагурин И. И. Микросхемотехника.—М.: Радио и связь, 1982.—414 с.
5. Ефимов И. Е., Горбунов Ю. И., Козырь И. Я. Микроэлектроника: физические и технологические основы, надежность.—М.: Высшая школа, 1986.—463 с.
6. Валиев К. А. Микроэлектроника: достижения и пути развития.—М.: Наука, 1986.—142 с.
7. Аваев Н. А., Наумов Ю. Е. Элементы сверхбольших интегральных схем.—М.: Радио и связь, 1986.—196 с.
8. Зи С. Физика полупроводниковых приборов: Пер. с англ./Под ред. Р. А. Сурьса: В 2 т.—М.: Мир, 1984.
9. Валиев К. А., Орликовский А. А. Полупроводниковые интегральные схемы памяти на биполярных транзисторных структурах.—М. Сов. радио, 1979.—296 с.
10. Схемотехника БИС постоянных запоминающихся устройств / О. А. Петросян, И. Я. Козырь, Л. А. Коледов, Ю. И. Шетинин.—Радио и связь, 1987.—304 с.
11. Сугано Т., Икома Т., Такэиси Е. Введение в микроэлектронику: Пер. с япон. / Под ред. В. Г. Ржанова.—М.: Мир, 1988.—320 с.
12. Микроэлектроника / Под ред. Л. А. Коледова: В 9 т.—М.: Высшая школа, 1987.
13. Аваев Н. А., Дулин В. Н., Наумов Ю. Е. Большие интегральные схемы с инжекционным питанием.—М.: Сов. радио, 1977.—247 с.
14. Интегральные микросхемы. Справочник / Б. В. Тарабрин, Л. Ф. Лунии, Ю. Н. Смирнов и др.; Под ред. Б. В. Тарабрин.—М.: Энергоатомиздат, 1985.—528 с.
15. Соклоф С. Аналоговые интегральные схемы: Пер. с англ. / Под ред. В. Д. Вернера.—М.: Мир, 1988.—533 с.
16. Пономарев М. Ф. Конструкции и расчет микросхем и микроэлементов ЭВА.—М.: Радио и связь, 1982.—288 с.
17. Парфенов О. Д. Технология микросхем.—М.: Высшая школа, 1986.—269 с.
18. Броудай И., Мерей Дж. Физические основы микротехнологии: Пер. с англ. / Под ред. А. В. Шальнова.—М.: Мир, 1985.—492 с.
19. Тилл У., Лаксон Дж. Интегральные схемы. Материалы, приборы, применение: Пер. с англ. / Под ред. М. В. Гальперина.—М.: Мир, 1985.—504 с.
20. Мейзда Ф. Интегральные схемы: Пер. с англ. / Под ред. М. В. Гальперина.—М.: Мир, 1981.—279 с.
21. Полупроводниковые БИС запоминающих устройств: Справочник / Под ред. А. Ю. Гордонова и Ю. Н. Дьякова.—М.: Радио и связь, 1986.—360 с.
22. Приборы с зарядовой связью: Пер. с англ. / Под ред. Р. А. Сурьса.—М.: Мир, 1982.—240 с.
23. Баякин И. А., Егоров Ю. М., Родзивилов В. А. Приборы с переносом заряда в радиотехнических устройствах обработки информации.—М.: Радио и связь, 1987.—174 с.

24. **Основы оптоэлектроники** / Я. Суэмацу, С. Катаока, К. Кисино и др.: Пер. с япон. / Под ред. К. М. Голанта.— М.: Мир, 1988.— 285 с.
25. **Аксенико М. Д., Бараночников М. Л.** Приемники оптического излучения: Справочник.— М.: Радио и связь, 1987.— 295 с.
26. **Аналоговые и цифровые интегральные микросхемы:** Справочник / С. В. Якубовский, Н. А. Барканов, Л. И. Ниссельсон и др.; Под ред. Якубовского С. В.— М.: Радио и связь, 1985.— 432 с.
27. **Егудин А. Б., Елинский В. Г., Крауз А. Я.** Монолитные интегральные схемы СВЧ диапазона, элементная база и технология // Зарубежная радиоэлектроника.— 1984.— № 12.— С. 83—93.
28. **Речицкий В. И.** Радиокомпоненты на поверхностных акустических волнах.— М.: Радио и связь, 1984.— 112 с.
29. **Темия Л. Н.** Монолитные оптические и оптоэлектронные интегральные схемы // Зарубежная электронная техника.— 1987.— № 11.— С. 77—88.
30. **Юрченко С. Е.** Магнитные запоминающие устройства на вертикальных блоховских линиях // Микроэлектроника.— 1986.— № 1.— С. 3—15.
31. **Маллер Р., Кейминс Т.** Элементы интегральных схем: Пер. с англ.— М.: Мир, 1989.— 630 с.

ПРЕДМЕТНЫЙ УКАЗАТЕЛЬ

- Адгезия 27
Активация примесей 22
Акустоэлектроника 262
Анизотропное травление 25
Асинхронный триггер 203
Базовый кристалл 214
Баллистическое движение электронов 98
Вертикальные блоховские линии 274
Вертикальные МДП-структуры 93
Высоочастотное распыление 29
Гетероструктурный полевой транзистор 104
Гибридная микросхема 13, 42
Двумерный электронный газ 105
Динамическая мощность 125, 137
Динамические схемы памяти 181
Диффузانت 19
Диффузия примесей 18
Доза легирования 20
Загонка примесей 20
Заряд поверхностный 23
Зарядовый пакет 216
Избирательность травления 25
Изолирующая область 51
Изолирующий *p-n* переход 52
Изопланарный транзистор 55
Инвертор 121, 134, 156, 162, 175, 179
Инжекционное питание 145
Информационная емкость микросхемы памяти 207
Ионное легирование 20
Ионно-плазменное напыление 28
Карман 52
Кермет 113
Кольцевой генератор 126
Комбинированная изоляция 55
Комплементарные МДП-микросхемы 13, 162
Компонент 8
Короткий канал 82
Коэффициент диффузии 19
Коэффициент объединения по входу 125
Коэффициент подложки 79
Коэффициент помехоустойчивости 123
Коэффициент потерь ПЗС 223
Кристалл интегральных микросхем 10, 16
Легирование 18
— ионное 20
Литография 10, 34
Логический перепад 123
Логический элемент 120
Магнитоэлектрическая ловушка 270
Микрополосковая линия 117
Микропроцессорный комплект 211
Минимальный топологический размер 11
Многоколлекторный транзистор 68, 144
Многослойные МДП-структуры 93
Многоэмиттерный транзистор 60, 129
Нагрузочная способность 125, 131, 149
Накопитель 180
Нормально закрытый МЭП-транзистор 96
Нормально открытый МЭП-транзистор 96
Окисление термическое 23
Оптические системы передач 254
Оптопары 254
Оптоэлектроника 253
Относительная площадь логического элемента 128, 134, 154
Паразитный транзистор 54
Передающая характеристика 122, 131, 140, 148, 176
Переключатель тока 138
Плотность упаковки 8
Поверхностные акустические волны 262
Поверхностный заряд 23
Помехоустойчивость логического элемента 123
Полуизолирующая подложка 95
Полупроводниковая микросхема 9

Пороги переключения 123, 177
Предельная растворимость примесей 19
Преобразователь ПАВ 263
Противоканальная область 55, 57
Работа переключения 127, 151
Разгонка примесей 20
Распыление катодное 27
Регенерация 186
Регистры ЦМД 270
Самосовмещенный затвор 76, 78
Сегрегация примесей 23
Серия микросхем 202
Синхронный триггер 203
Скрайбирование 40
Скрытый слой 51, 132
Смыкание в МДП-транзисторе 85
Совмещенные микросхемы 11
Среднее время задержки распространения сигнала 126, 133, 178
Степень интеграции 9
Тактовый вход 203
Тактовый импульс 203
Термическое вакуумное испарение 27
Термокомпрессия 41
Технологический цикл 15
Тиристорный эффект в КМДП ИС 90

Травление 24
Триггер симметричный 181
Триггер RS 203
Триггер RST 204
Триггер D, T 205
Триггер JK 206
Фильтры на поверхностных акустических волнах 267
Фоновый заряд в ПЗС 224
Фотолитография 34
Фотооригинал 35
Фотоповторитель 35
Фотоприемники 253, 255, 257
Фоторезист 34
Фотомаска 34
Характеристическое уравнение 204, 205
Химическое осаждение 29
Цилиндрические магнитные домены 269
Элемент 8
Эпитаксия 16
Эффект бокового затвора 103
— модуляция длины канала 80
— сильного поля 84
Эффективность переноса ПЗС 223

ОГЛАВЛЕНИЕ

Предисловие	3
Основные условные обозначения	4
Глава 1. ПРЕДМЕТ МИКРОЭЛЕКТРОНИКИ	8
1.1. Основные термины и определения	8
1.2. Конструктивно-технологические типы интегральных микросхем	9
Глава 2. ТЕХНОЛОГИЧЕСКИЕ ОСНОВЫ МИКРОЭЛЕКТРОНИКИ	15
2.1. Общие сведения о технологии изготовления полупроводниковых микросхем	15
2.2. Эпитаксия	16
2.3. Диффузия примесей	18
2.4. Ионное легирование	20
2.5. Термическое окисление и свойства пленки диоксида кремния	23
2.6. Травление	24
2.7. Нанесение тонких пленок	26
2.8. Методы получения структур типа Si—SiO ₂ —Si	30
2.9. Проводники соединений и контакты в полупроводниковых микросхемах	32
2.10. Литография	34
2.11. Сборка полупроводниковых микросхем	40
2.12. Технология гибридных микросхем	42
Глава 3. БИПОЛЯРНЫЕ ТРАНЗИСТОРЫ ИНТЕГРАЛЬНЫХ МИКРОСХЕМ	50
3.1. Особенности структур биполярных транзисторов	50
3.2. Транзисторы с комбинированной изоляцией	55
3.3. Многоэмиттерные транзисторы	60
3.4. Транзисторы с диодом Шоттки	61
3.5. Новые структуры биполярных транзисторов	64
3.6. Транзисторы типа <i>p-n-p</i>	67
3.7. Диодное включение транзисторов	69
3.8. Модель интегрального биполярного транзистора	72
3.9. Биполярные и полевые транзисторы на одном кристалле	74
Глава 4. МДП-ТРАНЗИСТОРЫ ИНТЕГРАЛЬНЫХ МИКРОСХЕМ	75
4.1. Транзисторы с каналами <i>n</i> -типа и самосовмещенными затворами	76
4.2. Параметры и характеристики транзисторов с коротким каналом	82
4.3. Разновидности транзисторных структур СБИС	88
Глава 5. ПОЛЕВЫЕ ТРАНЗИСТОРЫ С УПРАВЛЯЮЩИМ ПЕРЕХОДОМ МЕТАЛЛ-ПОЛУПРОВОДНИК	94
5.1. Простейшая структура МЭП-транзистора	95
5.2. Разновидности структур МЭП-транзисторов	100
5.3. Паразитная связь между элементами через полужолирующую подложку	102
5.4. Полевые транзисторы с управляющим переходом металл-полупроводник и гетеропереходом	104

Глава 6. ПАССИВНЫЕ ЭЛЕМЕНТЫ	109
6.1. Полупроводниковые резисторы	111
6.2. Пленочные резисторы	113
6.3. Конденсаторы и индуктивные элементы	114
6.4. Микрополосковые линии и элементы на их основе	117
Глава 7. ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ НА БИПОЛЯРНЫХ ТРАНЗИСТОРАХ	120
7.1. Классификация логических элементов	120
7.2. Основные характеристики и параметры логических элементов	122
7.3. Элементы транзисторно-транзисторной логики	129
7.4. Элементы эмиттерно-связанной логики	138
7.5. Логические элементы БИС с инжекционным питанием	143
7.6. Элементы Шотки-транзисторной логики и интегральной Шотки-логики	154
Глава 8. ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ НА ПОЛЕВЫХ ТРАНЗИСТОРАХ	156
8.1. Инвертор на <i>n</i> -канальных МДП-транзисторах	156
8.2. Инвертор на комплементарных транзисторах	162
8.3. Логические элементы И-НЕ и ИЛИ-НЕ	166
8.4. Логические элементы динамического типа	171
8.5. Логические элементы сверхскоростных микросхем на МЭП-транзисторах	175
Глава 9. ЭЛЕМЕНТЫ ПАМЯТИ	180
9.1. Элементы памяти статического типа на МДП-транзисторах	181
9.2. Элементы памяти динамического типа на МДП-транзисторах	186
9.3. Элементы микросхем репрограммируемых постоянных запоминающих устройств	191
9.4. Элементы памяти на биполярных транзисторах	197
Глава 10. ЦИФРОВЫЕ ИНТЕГРАЛЬНЫЕ МИКРОСХЕМЫ	202
10.1. Триггеры	203
10.2. Полупроводниковые микросхемы памяти	206
10.3. Микропроцессоры и микроЭВМ	211
10.4. Логические БИС	213
Глава 11. ПРИБОРЫ С ЗАРЯДОВОЙ СВЯЗЬЮ	215
11.1. Устройство, принцип действия	215
11.2. Параметры элементов ПЗС	222
11.3. Разновидности конструкций	224
Глава 12. АНАЛОГОВЫЕ ИНТЕГРАЛЬНЫЕ МИКРОСХЕМЫ	228
12.1. Общие сведения	228
12.2. Каскады формирователей тока	231
12.3. Дифференциальные усилительные каскады на биполярных транзисторах	236
12.4. Дифференциальные усилительные каскады на полевых транзисторах	240
12.5. Дифференциальные каскады с однофазным выходом	242
12.6. Выходные каскады	243
12.7. Устройство интегрирования аналоговых сигналов	245
12.8. Схемотехника операционных усилителей	247
Глава 13. МИКРОЭЛЕКТРОНИКА И СМЕЖНЫЕ НАПРАВЛЕНИЯ	253
13.1. Оптоэлектроника и оптоэлектронные микросхемы	253
13.2. Элементы акустоэлектроники	262
13.3. Элементы магнитных СВИС постоянных запоминающих устройств	269
Контрольные вопросы и задачи	270
Список литературы	283
Предметный указатель	286

*Н.А. Аваев
Ю.Е. Наумов
В.Т. Фролкин*

ОСНОВЫ МИКРОЭЛЕКТРОНИКИ

**Учебник
для высших
учебных
заведений**